

135 GHz 전력증폭기에 대한 DSP 기반 적응형 바이어스 기법의 구현 및 측정

Implementation and Measurement of a DSP-Based Adaptive Bias Technique for a 135 GHz Power Amplifier

이 준 규 · 서 문 교

Junkyu Lee · Munkyo Seo

요 약

본 논문에서는 D -대역 전력증폭기의 백오프 영역에서 적응형 바이어스 기법의 실험적 검증을 제시한다. 135 GHz에서 다양한 게이트 바이어스 조건의 전력증폭기 특성을 측정하여 입력 전력에 따른 최적 바이어스 함수를 도출하였다. 임의 파형발생기를 이용하여 입력 신호의 포락선에 따라 동적으로 변화하는 바이어스 전압을 생성하였으며, 측정 경로의 손실을 보정하여 실제 소자 입력 전력 기준의 바이어스 함수를 구현하였다. 측정 결과, 적응형 바이어스 조건에서의 평균 전력부가효율이 최대 전력부가효율 포락선과 근접한 수준을 나타내어 도출된 바이어스 함수가 최적 동작점을 잘 추종하고 있음을 확인하였으며, 16-직교진폭변조 신호를 이용한 검증에서도 양호한 신호 품질이 유지됨을 확인하였다.

Abstract

This study presents the experimental validation of an adaptive bias technique for a D -band power amplifier operating in the back-off region. The optimal bias function as a function of the input power was derived by measuring the power amplifier characteristics under various gate bias conditions at 135 GHz. A dynamically varying bias voltage according to the envelope of the input signal was generated using an arbitrary waveform generator. The bias function based on the actual device input power was implemented by compensating for losses in the measurement path. The measurement results demonstrate that the average power-added efficiency under the adaptive bias condition closely follows the maximum power-added efficiency envelope, confirming that the derived bias function accurately tracks the optimal operating point. Satisfactory signal quality was maintained in the verification using 16-quadrature amplitude modulation signals.

Key words: D -Band, Power Amplifier, Adaptive Bias, Power-Added Efficiency

I. 서 론

차세대 6세대(6G) 무선통신 시스템은 초고속 데이터

전송을 위해 D -대역(110~170 GHz) 주파수 대역을 활용할 것으로 예상된다^[1]. 변조 신호의 높은 피크전력 대 평균전력비(PAPR, peak-to-average power ratio)로 인해 전력

「본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였음.」

「본 연구는 2021년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구임(No. 2021-0-00198, 저전력 MIMO 및 고효율 공강합성 QAM 기반 6G RF 전단 핵심기술개발).」

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

· Manuscript received April 6, 2026 ; Revised April 10, 2026 ; Accepted June 1, 2026. (ID No. 20260406-026)

· Corresponding Author: Munkyo Seo (e-mail: mkseo@skku.edu)

증폭기(PA, power amplifier)는 대부분의 시간 동안 백오프 영역에서 동작하게 되며, 이는 전력 효율 저하의 주요 원인이 된다^[2].

PA의 백오프 효율을 개선하기 위한 기법으로 도허티(Doherty) 증폭기, 공급 전압 변조(supply modulation), 적응형 바이어스(adaptive bias) 기법 등이 연구되어 왔다^[3-7]. 공급 전압 변조 방식은 이론적으로 높은 효율 향상을 기대할 수 있으나, 변조 대역폭의 2~3배 이상의 광대역 동작이 요구되며 현재 보고된 supply modulator의 실용적 대역폭은 수십~100 MHz 수준에 머물러 있다^[8]. 또한 PA 동작에 필요한 대전류 공급과 광대역 변조 특성을 동시에 만족하는 전용 회로가 반드시 요구된다. 반면 게이트 바이어스 변조 방식은 MOSFET 게이트의 고임피던스 특성으로 인해 DC 전류 부담이 없으며, 별도의 고전력 modulator 없이 DSP 기반으로 구현 가능한 장점이 있다^[9].

그러나 D -대역과 같은 밀리미터파 대역에서는 프로브 및 측정 경로의 손실이 크고 주파수 의존적이며, 변조 신호의 포락선을 실시간으로 측정하기 어렵기 때문에 정확한 소자 입력 전력 기준의 바이어스 함수 도출이 어렵다. 본 논문에서는 손실 보정(de-embedding) 기법을 적용하여 실제 소자 입력 전력을 기준으로 한 적응형 바이어스 함수를 도출하고, 임의파형발생기(AWG, arbitrary waveform generator)를 이용하여 이를 실험적으로 구현 및 검증하였다.

II. 적응형 바이어스 구현

2.1 소자 특성 측정 및 바이어스 함수 도출

측정 대상 소자는 40-nm CMOS 공정으로 제작된 D -대역 PA^[10]이다. 4단 차동 공통 소스 구조로 구성되어 있으며, 116 GHz에서 최대 이득 22.3 dB, 3-dB 대역폭 27 GHz(106~133 GHz)의 광대역 특성을 갖는다. 120 GHz에서 출력 포화 전력 9.4 dBm, 최대 전력부가효율 9.3 %의 성능을 나타낸다.

그림 1은 소자 특성 측정을 위한 온-웨이퍼 측정 환경을 보여준다. VDI사의 VNA 확장기를 이용해 135 GHz 입력 신호를 생성하여 D -대역 프로브를 통해 소자에 공급하였다. 소자의 출력 전력은 D -대역 프로브를 통해 추

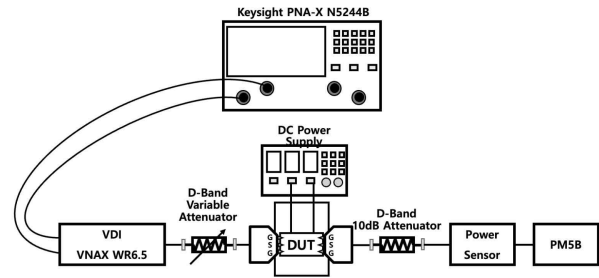


그림 1. 소자 특성 측정을 위한 온-웨이퍼 측정 환경

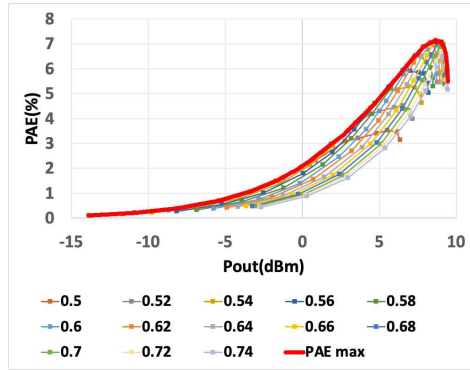
Fig. 1. On-wafer measurement setup for device characterization.

출되어 VDI사 전력계 PM5B로 측정되었다. D -대역 프로브 손실은 별도의 thru 측정을 통해 보정하였다.

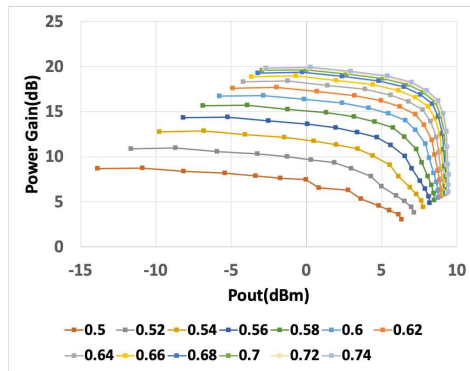
적응형 바이어스 함수를 도출하기 위해 게이트 바이어스 전압을 0.5 V부터 0.74 V까지 0.02 V 간격으로 변화시키며 각 조건에서 연속파(CW, continuous wave) 신호의 입력 전력을 증가시키면서 출력 전력 및 전력부가효율(PAE, power-added efficiency)을 측정하였다.

그림 2는 측정된 출력 전력 대 전력부가효율 특성을 보여준다. 낮은 출력 전력 영역에서는 낮은 바이어스에서 더 높은 효율을 보이며, 높은 출력 전력 영역에서는 높은 바이어스에서 더 높은 효율을 나타낸다. 진한 빨간색 선은 각 출력 전력 값에서의 최대 전력부가효율을 연결한 포락선을 나타낸다.

그림 2의 전력부가효율 포락선상의 각 점에서 최대 효율을 나타내는 최적 바이어스 전압과 해당하는 입력 전력을 추출하였다. 그림 2의 전력부가효율 포락선 상의 각 점에서 최대 효율을 나타내는 최적 바이어스 전압과 해당하는 입력 전력을 추출하였다. 그림 3(a)는 추출된 입력 전력 대 최적 바이어스 전압의 관계를 보여준다. 측정된 점들에 대해 3차 다항식 피팅을 적용하였으며, 고입력 전력 영역에서는 바이어스가 더 이상 증가하지 않도록 평탄 영역을 추가하였다. 그림 3(b)는 도출된 바이어스 곡선을 적용하였을 때의 출력 전력 대 전력 이득 및 최대 전력부가효율 특성을 함께 나타낸 것이다. 왼쪽 축은 바이어스 곡선 적용 시의 전력 이득을, 오른쪽 축은 그림 2에서 도출된 최대 전력부가효율 포락선을 나타낸다. 낮은 출력 전력 영역에서 더 높은 바이어스를 유지하면 비교



(a) 출력 전력 대 전력부가효율
(a) Output power versus PAE



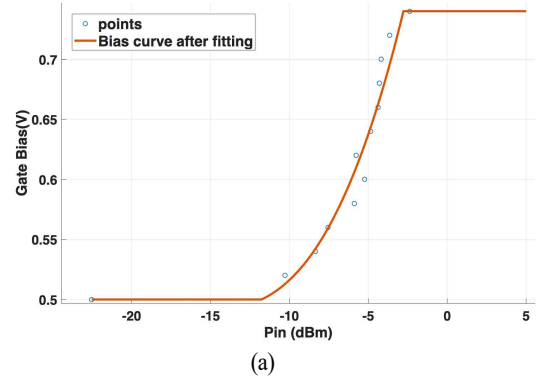
(b) 출력 전력 대 전력 이득
(b) Output power versus power gain

그림 2. 바이어스 조건별 소자 특성 측정 결과
Fig. 2. Measured device characteristics for various bias conditions.

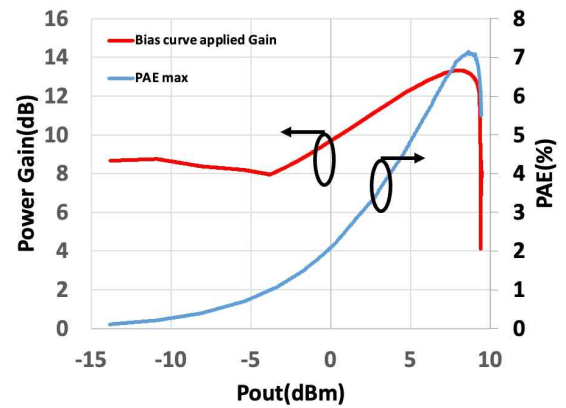
적 평탄한 이득 특성, 즉 향상된 선형성을 확보할 수 있으나, 이는 소비 전류 증가에 따른 효율 저하를 수반한다. 본 연구에서 적용한 적응형 바이어스 기법은 이러한 선형성과 효율 간의 trade-off를 고려하여 효율 최적화를 우선으로 바이어스 전압을 결정하였으므로, 전력 백오프 구간에서의 이득 평탄도보다 효율 향상에 초점을 맞추었다.

2-2 측정 시스템 구성 및 손실 보정

그림 4는 적응형 바이어스 구현을 위한 전체 측정 시스템 구성도이다. AWG(Keysight M8195A)를 이용하여 중심 주파수 25 GHz, 전송률 1 GBaud/s의 16-직교진폭변조(16-QAM) 기저대역 신호를 생성하였다.



(a)



(b)

그림 3. (a) 입력 전력에 따른 최적 게이트 바이어스 전압 및 피팅 곡선, (b) (a)의 바이어스 곡선을 적용하였을 때 출력 전력에 따른 전력 이득 및 최대 PAE 특성

Fig. 3. (a) Optimal gate bias voltage as a function of input power with fitted curve. (b) Power gain and maximum PAE versus output power when the bias curve in (a) is applied.

생성된 신호는 VDI 사의 고조파 혼합기(SHM, sub-harmonic mixer)에 입력되며, 국부발진기(LO, local oscillator) 신호 110 GHz와 혼합되어 상측파대는 135 GHz, 하측파대는 85 GHz에 위치하게 된다. 하측파대가 WR6.5 도파관의 차단 주파수인 90.8 GHz보다 낮게 설정되어 도파관을 통과하지 않으므로, 135 GHz 상측파대 신호만 VDI WR6.5 PA를 통해 증폭되어 소자로 전달된다.

정확한 적응형 바이어스 함수를 구현하기 위해서는 측정 경로의 손실을 보상하여 실제 소자 입력단의 전력을

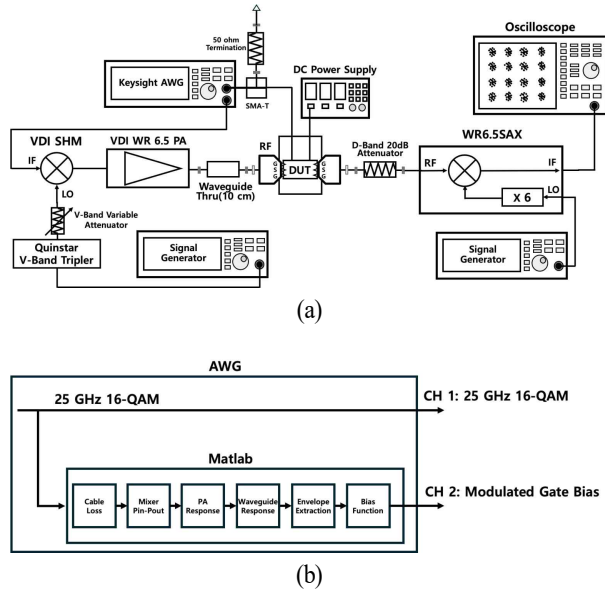


그림 4. 적응형 바이어스 구현을 위한 (a) 측정 시스템 구성도 (b) AWG 내부 신호 처리 블록도

Fig. 4. (a) Measurement system configuration for adaptive bias implementation. (b) Internal signal processing block diagram of the AWG.

기준으로 해야 한다. 먼저 VDI SHM의 변환 이득을 측정하여 기저대역에서 D -대역으로의 주파수 변환 특성을 정량화하였다. 신호 경로에 포함된 VDI WR6.5 PA의 산란 계수를 VNA 확장기를 이용하여 측정하였다. PA의 손상을 방지하기 위해 출력단에 30 dB 감쇠기를 연결한 상태로 측정을 수행하였으며, 측정된 산란 계수로부터 D -대역 전반에 걸친 이득 및 군지연(group delay)을 추출하였다. 중심 주파수 135 GHz에서 VDI WR6.5 PA의 이득은 20.2 dB로 측정되었으며, 변조 신호 대역폭 내에서 0.1 dB 이내의 편차를 보여 매우 평탄한 이득 특성을 나타내었다. 또한 SMA 케이블, 10 cm 도파관 thru, 그리고 프로브의 산란 계수를 측정하여 각각의 삽입손실 및 군지연을 정량화하였다. 중심 주파수 135 GHz에서 케이블의 삽입손실은 -2.7 dB, 프로브의 삽입손실은 -1.7 dB, 10 cm 도파관 thru의 삽입손실은 -0.8 dB로 확인되었다. 변조 신호 대역폭 내에서 케이블은 0.3 dB 이내의 편차를, 프로브 및 도파관은 0.1 dB 이내의 편차를 보였다. 이를 통해 AWG 출력부터 소자 입력단까지의 전체 신호 경로에 대

한 이득 및 군지연 특성을 정밀하게 모델링할 수 있었다.

MATLAB을 이용하여 AWG 출력 신호를 생성하는 과정은 다음과 같다. 먼저 기저대역 변조 신호를 생성한 후, 앞서 측정한 신호 경로의 주파수 응답 특성을 적용하여 실제 소자 입력 신호를 계산한다. 이 과정은 그림 4(b)에 나타난 바와 같이 cable loss, mixer pin-pout, PA response, waveguide response, envelope extraction, bias function의 순차적 처리 블록으로 구성된다. AWG 기저대역 신호에 케이블, 믹서, VDI WR6.5 PA, 도파관의 이득 및 군지연 정보를 순차적으로 반영함으로써, 측정 경로를 거쳐 실제 소자 입력단에 인가되는 신호의 포락선을 계산하였다. D -대역과 같은 sub-terahertz 영역에서는 측정 경로의 손실이 크고 주파수 의존성이 강하기 때문에, 이를 정밀하게 보정하지 않으면 실제 소자 입력 전력과 AWG 출력 전력 간의 오차가 커져 바이어스 함수의 정확도가 저하된다. 이후 그림 3에서 도출된 바이어스 함수를 적용하여 입력 전력에 따른 최적 게이트 바이어스 전압 신호를 생성한다. AWG는 CH1을 통해 25 GHz 16-QAM 변조 신호를, CH2를 통해 포락선 기반으로 생성된 게이트 바이어스 변조 신호를 동시에 출력하며, 두 채널 간의 시간 정렬은 측정된 군지연을 기반으로 보정하였다.

그림 5는 AWG 기저대역 출력 파형과 최종 적응형 바이어스 파형의 시간 영역 오버레이를 보여준다. 파란색 곡선은 16-QAM 신호의 포락선 변화를 나타내는 AWG

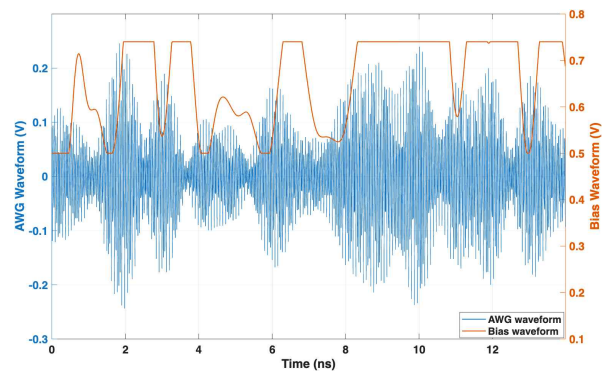


그림 5. AWG 기저대역 출력 파형과 적응형 바이어스 신호의 시간 영역 오버레이

Fig. 5. Time-domain overlay of AWG baseband output and adaptive bias waveforms.

기저대역 파형이며, 주황색 곡선은 이에 대응하여 생성된 게이트 바이어스 신호이다. 바이어스 파형은 그림 3(a)의 다항식 피팅 함수를 통해 산출되었으며, CSV 파일 형식으로 AWG에 로드되었다.

신호 경로에서 발생하는 군지연을 사전에 측정한 결과 중심 주파수 135 GHz에서 약 470 ps로 확인되었으며, 변조 신호 대역폭 내에서는 약 2 ps의 편차를 보였다. 측정된 군지연을 바이어스 파형에 반영하여 두 파형의 타이밍을 정렬하였으며, 이를 통해 실제 소자 입력단에서 입력 신호 포락선과 바이어스 전압이 동기화되도록 하였다.

III. 측정 결과

그림 6은 적응형 바이어스 성능 검증을 위한 실제 측정 환경을 보여준다. AWG, 신호 발생기, VDI SHM, VDI WR6.5 PA, 오실로스코프로 구성되어 있다. 소자 출력은 측정 장비를 보호하기 위해 D -대역 20 dB 감쇠기를 거쳐 WR6.5SAX 수신기 모듈로 하향 변환된 후 오실로스코프로 측정되었다. 한편, 본 측정에서는 25 GHz의 높은 IF 주파수로 인해 AWG의 출력 전력에 제한이 존재하였으며, 입력 신호의 왜곡을 최소화하기 위해 VDI SHM에 인가되는 평균 전력이 믹서의 IP1 dB 이하가 되도록 설정하였다. 또한 VDI WR6.5 PA를 연결하였음에도 불구하고 DUT를 완전히 포화시키기에는 가용 입력 전력이 충분하

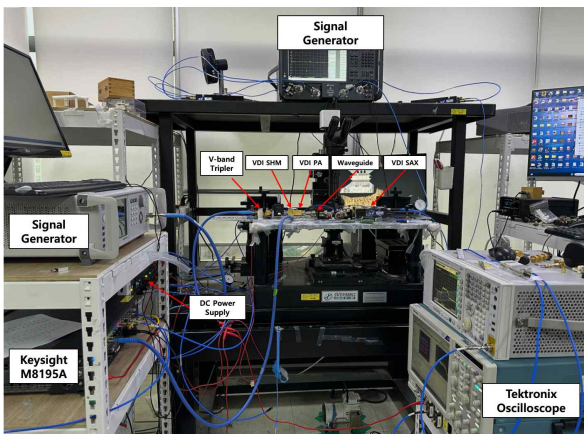
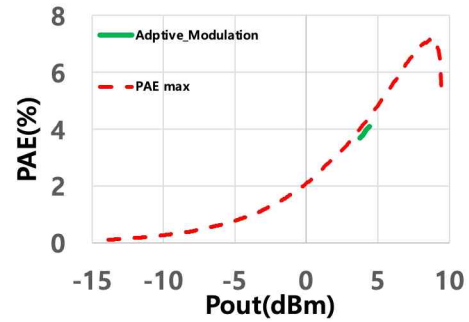
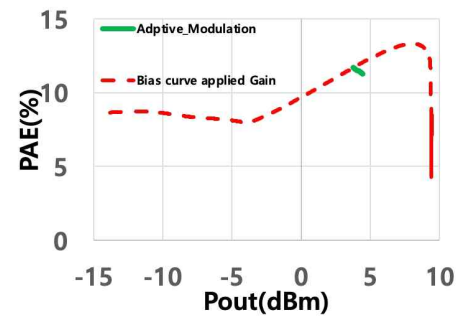


그림 6. 적응형 바이어스 성능 검증을 위한 측정 환경
Fig. 6. Measurement setup for adaptive bias performance verification.



(a) 출력 전력 대 전력부가효율
(a) output power versus PAE



(b) 출력 전력 대 전력 이득
(b) output power versus power gain

그림 7. 고정 바이어스 및 적응형 바이어스 조건에서의 16-QAM 변조 신호 측정 결과

Fig. 7. Measured results with 16-QAM modulated signal under fixed bias and adaptive bias conditions.

지 않아, 측정 가능한 최대 출력 전력 범위 내에서 성능을 평가하였다.

그림 7은 적응형 바이어스 조건에서 측정된 출력 전력 대 전력부가효율 및 전력 이득 특성을 보여준다. 그림 7(a)에서 빨간색 점선은 그림 2에서 도출한 최대 전력부가효율 포락선을 나타내며, 초록색 실선은 적응형 바이어스를 적용하여 16-QAM 변조 신호를 인가했을 때의 측정 결과이다. 측정 결과, 적응형 바이어스 조건에서의 평균 전력부가효율은 최대 전력부가효율 포락선과 근접한 수준을 나타내었으며, 이는 도출된 바이어스 함수가 각 출력 전력 조건에서의 동작점을 잘 추종하고 있음을 보여준다. 그림 7(b)는 동일 조건에서의 출력 전력 대 전력 이득 특성을 나타낸다.

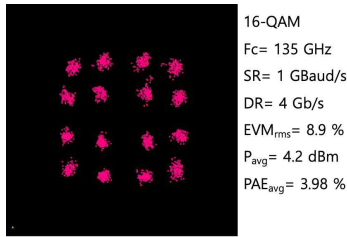


그림 8. 적응형 바이어스 조건에서 측정된 16-QAM 신호 정상도

Fig. 8. Constellation of 16-QAM signal under adaptive bias condition.

그림 8은 적응형 바이어스 조건에서 측정된 16-QAM 신호의 정상도를 보여준다. 중심 주파수 135 GHz, 심볼률 1 GBaud/s, 데이터율 4 Gb/s 조건에서 측정되었으며, 평균 출력 전력 4.2 dBm에서 EVMrms 8.9 %, 평균 전력부가효율 3.98 %를 달성하였다. 심볼 분포가 고르게 나타나 적응형 바이어스 적용 시에도 양호한 신호 품질이 유지됨을 확인하였다.

IV. 결 론

본 논문에서는 D-대역 PA에 대한 적응형 바이어스 기법을 임의파형발생기 기반으로 구현하고 실험적으로 검증하였다. 40-nm CMOS 공정으로 제작된 PA를 135 GHz에서 다양한 바이어스 조건으로 특성 측정하여 입력 전력에 따른 최적 바이어스 함수를 도출하였다. 또한 신호 경로에 포함된 PA, 케이블, 프로브의 손실 및 군지연을 정밀하게 측정하여 실제 소자 입력단 기준의 바이어스 함수를 구현하였다.

16-QAM 신호를 이용한 측정 결과, 적응형 바이어스 조건에서의 평균 전력부가효율이 최대 전력부가효율 포락선과 근접한 수준을 나타내어 도출된 바이어스 함수가 동작점을 잘 추종하고 있음을 확인하였다. 정상도 측정을 통한 신호 품질 분석 결과, 적응형 바이어스 적용 시에도 양호한 신호 품질이 유지됨을 확인하였다. 다만, 본 연구에 사용된 소자는 기존에 제작된 소자로, 게이트 바이어스 라인의 9 kΩ 저항으로 인해 바이어스 경로의 차단 주파수가 약 1 GHz로 제한되어 광대역 변조 신호에 대한 envelope 추적 성능에 한계가 존재한다. 본 연구는 DSP

기반 적응형 바이어스 기법의 유효성을 검증하는 개념 증명 차원에서 수행되었으며, 향후 설계 단계에서 바이어스 경로의 대역폭을 최적화한 전용 회로를 집적함으로써 보다 광대역에서의 적용이 가능할 것으로 기대된다.

References

- [1] A. Shafie, N. Yang, C. Han, J. M. Jornet, M. Juntti, and T. Kürner, "Terahertz communications for 6G and beyond wireless networks: Challenges, key advancements, and opportunities," *IEEE Network*, vol. 37, no. 3, pp. 162-169, May/Jun. 2023.
- [2] F. H. Raab, P. Asbeck, S. Cripps, P. B. Kenington, Z. B. Popovic, and N. Potheary, et al., "Power amplifiers and transmitters for RF and microwave," *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 3, pp. 814-826, Mar. 2002.
- [3] X. Li, W. Chen, H. Wu, S. Li, X. Yi, and R. Han, "A 110-to-130 GHz SiGe BiCMOS Doherty power amplifier with a slotline-based power combiner," *IEEE Journal of Solid-State Circuits*, vol. 57, no. 12, pp. 3567-3581, Dec. 2022.
- [4] J. Tu, G. He, A. Hong, Y. Yang, X. Yi, and P. Qin, et al., "A 140-GHz CMOS four-way power combining Doherty power amplifier with adaptive biasing," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 72, no. 4, pp. 539-543, Apr. 2025.
- [5] J. Kim, D. Kim, Y. Cho, D. Kang, B. Park, and B. Kim, "Envelope-tracking two-stage power amplifier with dual-mode supply modulator for LTE applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 1, pp. 543-552, Jan. 2013.
- [6] M. Eleraky, T. Y. Huang, Y. Liu, and H. Wang, "Design and analysis of complex neutralization gain-boosting technique with low-loss power combining for efficient, linear D-band power amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 73, no. 1, pp. 195-205, Jan. 2025.
- [7] L. C. Tsai, Z. J. Li, and L. H. Lu, "A 28-GHz CMOS

power amplifier with adaptive bias and phase compensation for gain and phase linearity enhancement," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 72, no. 8, pp. 1028-1032, Aug. 2025.

- [8] J. S. Paek, D. Kim, J. S. Bang, J. Back, J. Choi, and T. Nomiya, et al., "15.1 An 88%-efficiency supply modulator achieving 1.08 μ s/V fast transition and 100MHz envelope-tracking bandwidth for 5G new radio RF power amplifier," in *2019 IEEE International Solid-State Circuits Conference(ISSCC)*, San Francisco, CA, Feb. 2019, pp.

238-240.

- [9] G. Kaval, G. Lasser, M. Gavell, and C. Fager, "Multi-stage gate modulation of E-band MMIC power amplifier for efficiency improvement," in *2022 International Workshop on Integrated Nonlinear Microwave and Millimetre-Wave Circuits(INMMiC)*, Cardiff, Apr. 2022.
- [10] J. H. Hwang, M. Seo, "A 106~133 GHz wideband power amplifier in 40-nm CMOS process," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 35, no. 11, pp. 880-887, Nov. 2024.

이 준 규 [성균관대학교/석사과정]

<https://orcid.org/0009-0009-2566-5790>



2024년 2월: 광운대학교 전자공학과 (공학사)
2024년 9월~현재: 성균관대학교 전자전
기컴퓨터공학과 석사과정
[주 관심분야] RF, Milimeter-Wave, Sub-
THz, Efficiency

서 문 교 [성균관대학교/부교수]

<https://orcid.org/0000-0002-0691-1783>



1994년 2월: 서울대학교 전자공학과 (공학사)
1996년 2월: 서울대학교 전자공학과 (공학석사)
2007년 12월: University of California, Santa
Barbara, USA (공학박사)
2009년~2013년: Teledyne Scientific Com-
pany, USA, Senior Engineer
2013년~현재: 성균관대학교 전자전기컴

퓨터공학과 부교수

[주 관심분야] Milimeter-Wave & Terahertz IC Design