

X-대역 데이터링크용 고집적 CMOS RF 송수신 IC

Fully Integrated X-Band CMOS RF Transceiver for Data Communications

장원일* · 김용호* · 정구* · 이광두* · 임태희** · 유민석** · 이지훈** · 오태현*** · 박형철**** · 어윤성*,***

Won-il Jang* · Yong-Ho Kim* · Gu Jung* · Kwang-Du Lee* · Tae-Hee Lim** · Min-Seok Yu** ·
Ji-Hun Lee** · Tae-Hyoun Oh*** · Hyung-chul Park**** · Yun-Seong Eo****

요 약

본 논문에서는 데이터 통신을 위한 X-대역의 CMOS 기반 RF 송수신 IC를 설계 및 제작하였다. RF 송수신기에는 RF 송수신부와 주파수합성기, 기저대역회로 및 ADC, DAC 및 디지털 전처리기까지 집적하였다. 수신기는 직접변환 수신기 구조를 사용하고 있으며 65 nm CMOS 공정을 이용하여 설계되었고 칩 크기는 5×5 mm이다. RF 송수신 회로들은 EM 기반 설계된 트랜스포머 정합회로를 이용하여 이득과 ESD 문제를 해결하였다. 제안된 RF 송수신기는 수신기의 최대 이득은 90 dB, 잡음 지수는 5.5 dB이다. 송신기의 최대 출력은 8 dBm이며 OIP3는 16 dBm이다. 전체 송수신 IC의 전류 소모는 1.2 V에서 송신 모드(@최소 4 dBm)에서 287 mW, 수신 모드에서 178 mW이다.

Abstract

This paper presents the design of an X-band complementary metal-oxide-semiconductor (CMOS) radio frequency (RF) transceiver integrated circuit (IC) for data communications, which comprises RF front ends, frequency synthesizers, baseband amplifier (BBA) blocks, analog-to-digital converter and digital-to-analog converter (ADC/DAC), and digital front-end blocks. The receiver is designed with a direct-conversion architecture, using a 65 nm CMOS process. The dimensions of the die are 5×5 mm. The RF circuits achieves sufficient gain and electrostatic discharge (ESD) reliability using an on-chip transformer. The measured gain and noise figure (NF) of the receiver are over 90 dB and below 5.5 dB, respectively. The maximum output power and output third-order intercept point (OIP3) of the transmitter exceed 8 dBm and 16 dBm, respectively. The power consumed by the transmitter and receiver modes are 287 mW and 178 mW, respectively, for a 1.2 V supply.

Key words: Data-Link, Fully Integrated RF Transceiver, X-Band Transceiver, Calibration

I. 서 론

본 논문에서는 X-대역에서의 공통 데이터링크를 위한

CMOS 기반의 고집적된 RF 송수신 IC(integrated circuits)를 설계 및 제작한 결과에 대해 소개하고자 한다.

민간 영역의 경우 5G까지 이르는 셀룰라 통신용 RF 송

「이 연구는 2025년도 LIG 디펜스&에어로스페이스(LIG Defense & Aerospace)의 지원으로 연구되었음.」

*실리콘 알앤디(SiliconR&D)

**LIG 디펜스&에어로스페이스 미사일시스템핵심기술연구소 항법/통신개발단 3팀(Missile System Core Technology Research Institute Navigation/Communication Development Team 3, LIG Defense & Aerospace)

***광운대학교 전자공학과(Department of Electronic Engineering, Kwangwoon University)

****서울과학기술대학교 전자공학과(Department of Electronic Engineering, Seoul National University of Science and Technology)

· Manuscript received December 29, 2025 ; Revised January 22, 2026 ; Accepted February 6, 2026. (ID No. 20251229-159)

· Corresponding Author: Yun-Seong Eo (e-mail: yseo71@kw.ac.kr)

수신 IC와 WiFi, Bluetooth 등 다양한 분야에서 RF SoC(system on a chip)의 형태로 송수신이 모두 집적된 기술이 완성되어 있으나 대부분 6 GHz 이하의 주파수 영역이며 X-대역 이상의 높은 주파수에서는 설계 난이도와 상용 시장이 적어 극히 일부의 개발 사례만이 발표되고 있으며 이들의 집적수준은 비교적 낮은 편이고 대부분 레이더용 송수신기로 통신에 적용하기는 부적합하다^{[1]-[3]}.

기존에 발표된 논문들의 경우 RF 송수신부만 집적되거나, 주파수 합성기인 PLL(phase locked loop)가 집적되지 않거나, ADC(analog to digital convertter), DAC(digital to analog converter)가 없어 사실상 집적도가 떨어지는 RF 송수신기의 형태이다. 또한 주파수가 높아지면서 IQ 신호의 mismatch가 증가하고 LO leakage가 증가하며 PLL에서 생성된 LO(local oscillator)의 신호의 위상잡음 및 주파수 안정성이 떨어지게 되는데 이를 해결하기 위한 발표사례는 없다.

본 연구에서는 X-대역의 높은 주파수에서 동작하는 RF 송수신부와 PLL, 기저대역(BBA, base band analog)부 및 ADC, DAC와 IQ 보정, DC offset 보정 및 LO leakage 제어를 위한 DFE(digital front end)부가 모두 집적된 진정한 의미의 fully integrated RF 송수신 IC를 처음으로 설계하였다.

X-대역에서 CMOS RF 증폭기들 간의 매칭은 트랜스포머를 이용하였고 EM(electro-magnetic) simulation을 통한 수동소자 모델 기반으로 회로설계를 진행하였다.

주파수 합성기의 경우 X-대역의 VCO(voltage controlled oscillator)와 PLL이 사용되며 IQ quadrature의 LO 신호 생성을 위해 LC 기반의 IQ 생성회로를 사용하였다. RF 대역폭은 1.5 GHz 이상이 가능하도록 설계되었고 기저대역의 경우 I와 Q 각각에 대해 10~20 MHz의 대역폭으로 조절이 가능하면서 이득제어도 가능한 6차 Butterworth 방식의 LPF(low pass filter)와 3단의 VGA(variable gain amplifier) 및 DCOC(DC offset cancellation) loop 등으로 구성되어 있다.

ADC의 경우 pipeline 구조의 12 bit ADC를 설계하였고 12 bit의 DAC도 함께 집적이 되었다. ADC, DAC의 디지털 신호부분은 모뎀과 연결되기 전에 디지털 전처리 DFE를 거쳐야 하는데 DFE에서는 IQ 위상, 크기 에러의 보정과

Lo leakage의 보정, 수신기 DC offset 보정 및 디지털 필터와 AGC(automatic gain control)과 같은 기능들이 집적된다.

설계된 X-대역 고집적 RF 송수신 IC의 경우 65 nm CMOS 공정을 이용하여 제작되었고, 본 논문은 RF 송수신기와 PLL, 기저대역부 및 ADC, DAC를 포함하여 설명하고자 하며 DFE의 경우 수동모드를 통한 결과에 대해 설명하고자 한다.

II. 송수신기 구조 및 회로 설계

2-1 RF 송수신기 구조 설계

RF 송수신기는 그림 1과 같이 직접변환 송수신기 구조를 채택하였다. 직접변환의 경우 단일 LO 주파수로 상향, 하향변환이 가능하며 IF 필터가 불필요하고 active RC 기반의 기저대역 필터 및 가변이득 증폭기 등으로 기저대역 신호처리가 가능하고 기저대역 신호이므로 ADC의 샘플링 주파수도 작아져 높은 SNR(signal to noise ratio)이 가능하고, 단일칩 집적에 무엇보다 유리하다.

주파수 합성기의 경우 송수신 대역을 자유롭게 변경이 가능하도록 송신 PLL과 수신 PLL을 별도로 두어 상이한 LO 주파수가 가능하도록 하였다. RF 수신부의 경우 저잡음 LNA(low noise amplifier)와 VGA 및 IQ down-conversion mixer로 구성되며, IQ LO 생성을 위한 IQ LO generation 회로 및 buffer들로 구성된다.

RF 송신부도 동일하게 IQ up-conversion mixer와 VGA, DA(driver amplifier)로 구성되어 있다.

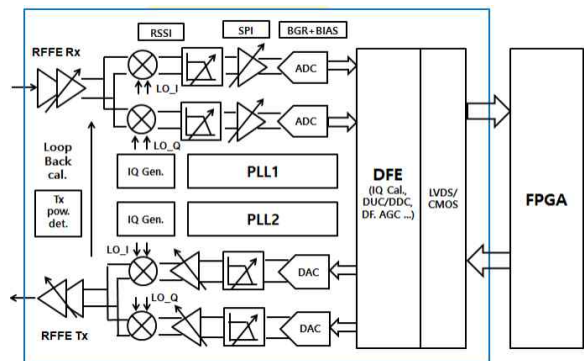


그림 1. X-band 통신 RFIC 구조

Fig. 1. X-band Comm. RFIC block diagram.

수신 기저대역의 경우 10~20 MHz의 범위에서 가변이 가능한 active RC의 6차 LPF와 1 dB step의 이득정밀도로 제어가 가능한 PGA(programmable gain amplifier)를 다단으로 설계하여 집적하였다.

송신 기저대역도 3 dB step의 이득제어와 LPF를 통한 필터링 기능을 가지게 된다.

또한 수신, 송신에 대해 12 bit의 ADC와 DAC가 집적되어 있고 SPI를 통한 디지털 제어가 가능하다. IQ mismatch와 수신 기저대역 DC offset, 송신의 LO leakage 및 IQ mismatch는 DFE를 통해 보정을 할 수 있도록 설계되었고 IQ mismatch와 LO leakage의 경우 수동 및 반자동으로 보정이 가능하고 DC offset의 경우 자동으로 보정이 가능하다.

DFE 내부에 대한 자세한 내용은 본 논문에는 포함되지 않았으나 RF, 아날로그와 연동되어 디지털필터, 디지털 상하향 변환, 자동이득제어 등의 기능이 포함되었다. 송신기의 경우 5 dBm 이상의 출력이 가능하도록 설계되었고 수신기의 경우 10 MHz의 대역폭에서 6 dB 잡음지수, SNR은 최소 10 dB를 가정할 때 -88 dBm의 수신 신호가 감지 가능하게 되며 ADC에 0 dBm 수준의 입력이 된다고 가정하면 88 dB의 이득이 나오게 되며 마진을 두어 90 dB 이상의 수신이득을 목표로 설계하였다.

RF 단의 이득은 기저대역 회로의 잡음지수가 30 dB 전후로 클 수 있으므로 전체 수신 잡음지수를 RF단의 잡음지수와 거의 같은 수준이 되기 위해 RF부의 이득을 35 dB 이상으로 설계하고 나머지 이득인 55 dB 이상을 기저대역에서 달성하게 된다.

2-2 수신기 회로 설계

수신기는 RFFE(RF front end)와 기저대역부(BBA)와 PLL에서 생성된 LO 신호를 quadrature의 IQ LO 신호로 생성하고 증폭하여 RFFE의 mixer에 전달하는 IQ LO generation부로 구성된다.

RFFE부는 먼저 저잡음을 위한 LNA와 이득가변을 위한 RF VGA, 그리고 하향 변환 mixer로 구성되어 있다. X-대역으로 주파수가 상당히 높아 일반적인 LNA 회로구조로 충분한 이득과 잡음특성의 달성이 어렵고 ESD(electro

static discharge)의 요구사항을 만족할 수 없어 트랜스포머를 이용한 입력력 매칭회로 설계구조를 선택하였다.

그림 2(a) 및 그림 2(b)는 각각 on-chip 트랜스포머와 LNA 회로도를 보여준다. LNA 입력단의 on-chip 트랜스포머를 통해 RF 신호의 single to differential 변환과 동시에 입력 임피던스 매칭을 하였다. 트랜스포머는 EM simulation 기반으로 다양한 기하적인 파라미터들을 최적화하여 목표한 X-대역에서 공진특성과 quality factor Q, 손실 및 임피던스가 최적화되도록 설계하였으며, 최상층 metal을 사용하였고 두께 및 간격은 각각 6, 3 um이다. LNA와 VGA의 증폭기 core는 cascode common source 증폭기 구조로 설계되었으며, M3 shunt 스위치를 이용한 이득 제어를 통해 수신기 이득제어와 선형성 조정이 가능하게 하였다. LNA 출력단과 VGA의 inter-stage 정합도

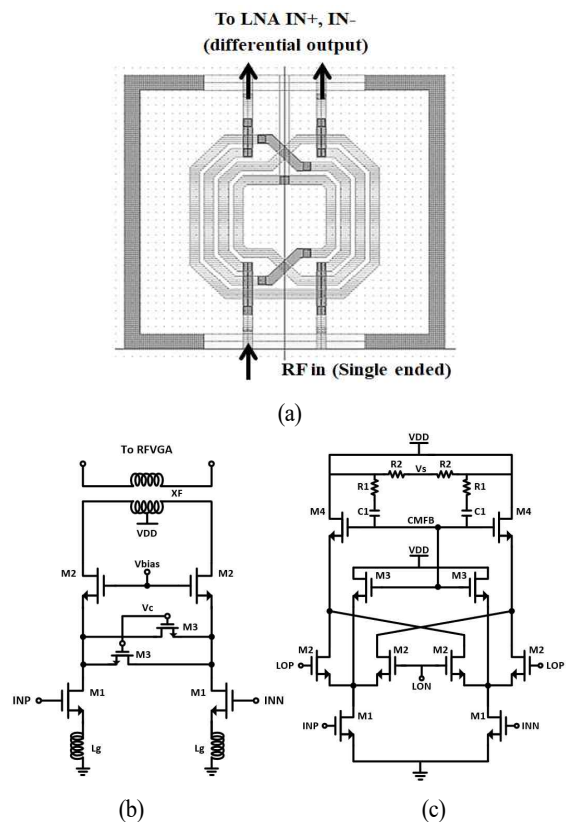


그림 2. (a) On-chip 트랜스포머 (b) LNA 회로도 (c) Mixer 회로도

Fig. 2. Circuit diagram of (a) on-chip transformer (b) LNA circuit schematic (c) Mixer circuit schematic.

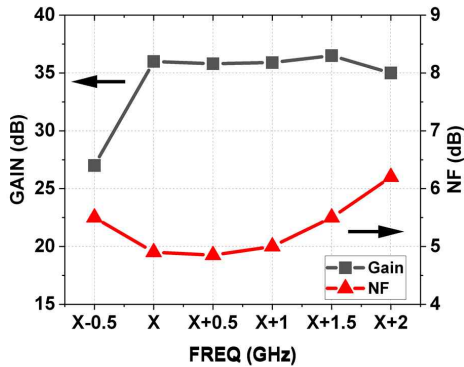


그림 3. 수신기 RFFE의 이득 및 잡음지수
Fig. 3. Gain and noise figure (NF) of receiver RFFE.

on-chip 트랜스포머를 통하여 진행하였다. 그림 2(c)는 하향 변환 믹서의 구조를 보여준다. Gilbert cell 구조 기반의 능동 믹서를 사용하였으며 current bleeding 기법을 사용하여 전압 headroom을 증가시켰다. 또한 MOSFETs에 의한 flicker noise를 줄임과 동시에 DC offset에 영향을 줄 수 있는 LO leakage를 줄여 LO-RF isolation을 증가시켰다^[6].

그림 3에 나온 바와 같이 X~X+1.5 GHz의 대역폭에서 설계된 RFFE의 이득은 35.7~36.4 dB이고 최대이득에서의 잡음지수는 4.8~5.5 dB이며, IIP3는 -25.8 dBm 이상이다. Mixer에 필요한 LO 구동신호는 PLL+VCO에서 생성된 10 GHz의 LO 신호를 이용하여 IQ mixer에 필요한 90도 위상차이의 quadrature인 I와 Q의 LO 신호를 생성해야 한다.

이를 위해 그림 4와 같이 PLL+VCO에서 생성된 LO 신

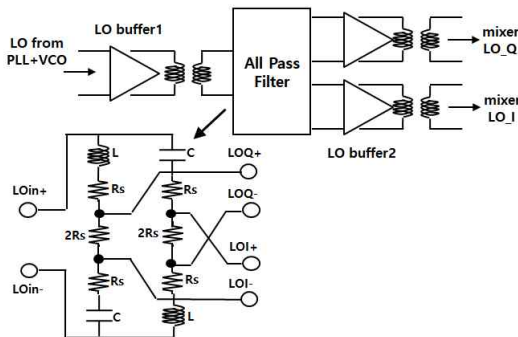


그림 4. 수신기 IQ LO 신호 생성회로 구조도
Fig. 4. Block diagram of Receiver IQ LO generator.

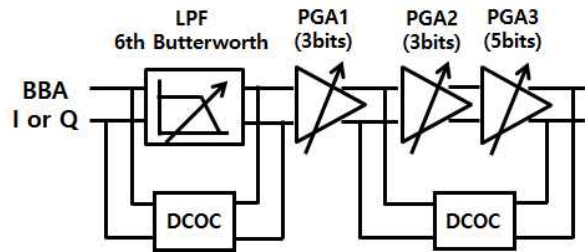


그림 5. 수신기 BBA의 구조도
Fig. 5. Block diagram of Receiver BBA.

호를 1차로 LO buffer1에서 증폭하고 LC 기반의 all pass filter 구조 회로에서 90도 위상차이의 I와 Q의 quadrature LO 신호를 각각 만들어 최종 버퍼인 LO buffer2를 통해 수신기 mixer의 I, Q LO 입력에 각각 제공하게 된다. 1.5 GHz의 비교적 넓은 대역에서 균일한 90도의 위상 차이와 동일한 진폭을 유지하기 위해 L, C, Rs 값의 최적화와 L의 경우 인덕터는 EM simulation을 통해 정확한 설계를 진행하였다.

믹서를 통해 하향 변환된 신호는 TIA(trans-impedance amplifier)를 통해 전류-전압 mode에서 증폭된 후, 기저대역부에서 필터링과 가변이득 증폭이 된다.

기저대역단인 BBA는 그림 5와 같이 먼저 LPF와 3단의 기저대역 PGA(programmable gain amplifier)와 DC offset 제거를 위한 loop 형태의 DCOC 회로로 구성되어 있다. LPF의 경우 active RC로 Tow Thomas Biquad로 구성된 6차 Butterworth filter로 설계되었다. 각 biquad의 저항부분은 디지털 가변이 가능하며 C 역시 디지털 가변이 가능하여 주파수 대역폭 제어가 10, 20 MHz로 변경이 가능하고 6 dB step의 이득제어도 가능하다.

PGA의 경우 PGA1과 PGA2는 inverting amplifier 구조로 저항을 디지털 가변 하여 이득제어를 5 dB step으로 가능하며 두 단을 합하여 총 6 bit으로 30 dB의 가변이득 범위를 갖는다. 마지막 PGA3의 경우 1 dB step이며 5단계로 이득제어가 가능하며 PGA들은 모두 Thermometer code 방식의 이득제어를 하게 된다. 기저대역 전체의 최대 이득은 65 dB이며 PGA3를 이용해 1dB step 이득제어가 가능하여 대략 70 dB의 범위에서 이득제어가 가능하다.

수신기 동작 모드에서 PLL을 제외한 RFFE, BBA, LO generator를 포함한 전체 전력소모는 128.6 mW로 설계되었다.

2-3 송신기 회로 설계

송신부는 수신부와 유사하게 기저대역부와 송신 RF부, 그리고 IQ LO generator부로 구성이 된다. 먼저 DAC에서 나온 아날로그 출력 신호는 이득제어가 가능한 4차 Butterworth LPF를 통해 증폭 및 필터링이 된다. LPF는 DAC에서 출력되는 각종 디지털 잡음 및 하모닉과 spurious 등을 제거한다. 회로는 active RC 기반으로 설계되었고, DAC에서 나온 신호의 크기가 이미 상당히 큰 진폭을 가지고 있으므로 이득은 $-30 \sim +5$ dB로 대략 5 dB의 이득 step을 가지고 있다. 그리고 LPF의 대역폭은 10, 20 MHz로 가변이 가능한 구조로 설계되었다.

송신용 LO IQ generator 회로는 수신기의 것과 동일하게 설계되었다. 송신 RFFE의 첫 단인 상향변환 mixer의 경우 Gilbert cell 구조를 사용하였고 수신 RF 회로설계와 마찬가지로 X-대역에서의 기준 L, C와 같은 수동소자를 이용한 회로간 매칭이 어려움이 있어 트랜스포머를 이용한 inter-stage 매칭으로 설계하였다.

송신기 RF부는 mixer와 두 개의 DA(driver amplifier)로 구성되어 있다. DA들의 증폭기 core는 cascode amplifier이며 전류제어가 가능하다. 이득제어를 위해 DA core의 cascode에서 common source 트랜지스터를 크기별로 스위칭함으로써 크기에 비례하여 이득이 제어되도록 설계하였다. 최종 출력과 연결되는 두 번째 DA는 differential to single의 트랜스포머를 이용하고 있다. 송신기의 선형성을 위해 최종 단은 load line을 이용한 설계로 주어진 전류에서 최적의 전력이 나올 수 있도록 최적화하였다. 또한 송신기 RF 출력은 pad와 와이어 본딩 및 패키징과 PCB에 의한 기생성분들을 모두 EM으로 모델링하여 설계에 반영하였다.

그림 6은 설계된 송신부의 RF 출력기준 주파수에 따른 OIP3와 P_{1dB} 를 보여주고 있다. OIP3의 경우 16.2 dBm 이상, P_{1dB} 는 5.9 dBm 이상으로 설계되었으며 이는 해당 칩이 $-10 \sim 0$ dBm 범위에서 동작된다는 관점에서 충분한 선형성을 보장할 수 있게 된다.

2-4 Fractional-N 주파수 합성기 회로 설계

그림 7은 설계된 Fractional-N 구조의 주파수 합성기 블록도이다. Divide 2를 이용한 IQ LO 생성방식이 아니므로 X-대

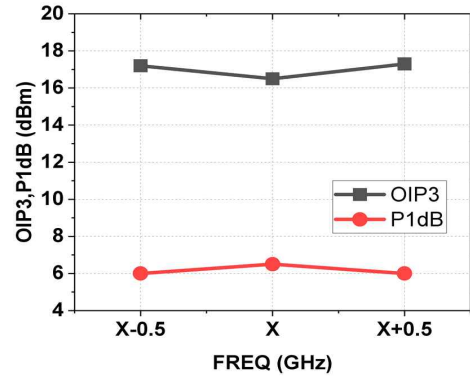


그림 6. 송신기 RF 출력 선형성 OIP3와 P1 dB
Fig. 6. RF transmitter linearity OIP3 and P1 dB.

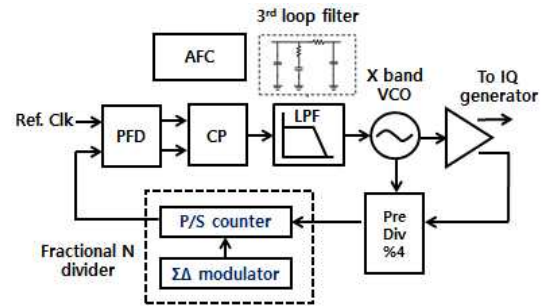


그림 7. 주파수 합성기 블록도
Fig. 7. Block diagram of frequency synthesizer.

역의 VCO를 이용하고 있고 X-대역의 LO 신호를 %4의 prescaler를 통해 나누고 이후 P/S counter 및 fractional divider로 구성되어 있다. 총 20 bits의 SDM(sigma-delta modulator)을 사용하여 주파수 정확도를 높이고자 하였다. 기준 주파수(reference clock)는 40 MHz를 이용하고 있다. VCO는 voltage headroom과 1/f noise 저감 및 기생 capacitance를 줄이기 위해 NMOS cross coupled의 오실레이터 회로이며 capacitor bank를 통해 넓은 주파수 범위를 얻으면서 낮은 위상잡음 특성을 얻고자 하였고 AFC(automatic frequency control)을 통해 자동으로 적절한 capacitor code를 찾아가게 설계되었다. 적절한 phase margin 확보를 위해 루프 필터는 3차 저대역 통과 필터로 설계하였고 위상마진은 78도를 얻었다.

그림 8은 설계된 VCO의 varactor 가변전압 Vc와 커패시터 뱅크(C-bank)의 5-bit code에 따른 출력주파수의 변화를 보여주고 있다. 출력주파수의 범위는 X~X+1.9 GHz이며

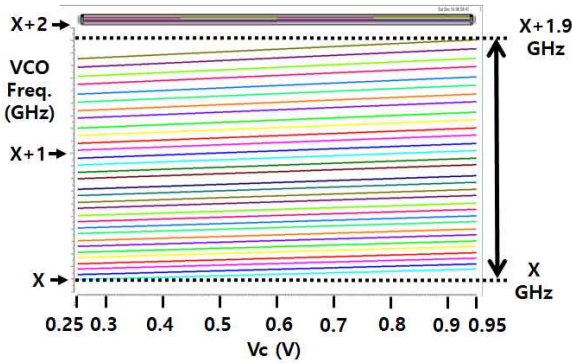


그림 8. VCO 가변전압과 코드에 따른 출력 주파수
Fig. 8. Output frequency of VCO vs Vc and C code.

측정결과가 설계결과에 비해 추가의 기생성분 등으로 약간 하향으로 변하는 문제를 감안하여 200 MHz 전후로 높은 주파수로 설계하였다. 위상잡음의 경우 -115.3 dBc/Hz @1 MHz로 설계되었고 lock time은 $15 \mu\text{s}$ 이다. 그리고 전력소모는 1.2 V에서 41.2 mA를 소모하고 있다.

2-5 수신기 ADC와 DAC 회로 설계

송수신기와 디지털부와의 연결을 위해 수신기의 경우 ADC가 송신기의 경우 DAC가 기저대역부 회로와 연결된다. 다양한 통신규격에 대해 충분한 SNR(signal to noise ratio)를 확보하기 위해 양자화 잡음이 요구되는 SNR을 크게 상회해야 하며 ADC의 경우 수신신호가 최대전압 스윙을 하지 못하고 시간에 따라 상당히 변할 수 있으므로 충분한 back off와 SNR 마진을 감안하여 결정되어야 한다. 설계된 송수신 IC는 이를 감안하여 12 bit의 ADC와 DAC를 설계하여 집적하였다.

ADC의 경우 12 bit이며 실질적인 SNR이 60 dB 이상을 목표로 하였으며 이는 20 dB의 back off를 감안하더라도 40 dB의 SNR이 가능하여 마진까지 충분히 감당이 가능한 수준이다.

수신기 ADC의 경우 그림 9와 같이 12 bit로 1.5b/ stage의 pipeline 구조로 설계가 되었다. 전력소모와 면적을 최소화하기 위해 인접 stage와 증폭기를 공유하고 있으며, ADC 내부에 기준전압 및 전류생성회로도 내장하였다.

DAC의 경우는 12 bit의 DAC로 설계하였고 4 bit의 current steering DAC가 3개가 결합된 형태의 구조로 설계하였다. 출력저항의 값을 제어할 수 있어 출력 전압스윙

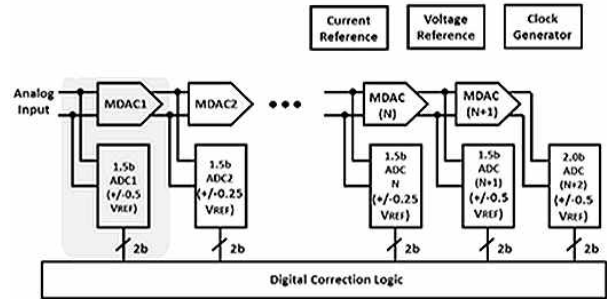


그림 9. 설계된 12 bit pipeline 구조의 ADC 구조도
Fig. 9. Block diagram of 12 bit pipeline ADC.

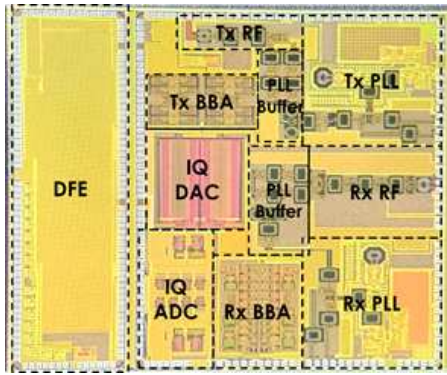
의 크기를 조절이 가능하고, 개별 트랜지스터 소자를 랜덤한 여러 개의 크기의 소자로 분리하여 트랜지스터의 mismatch를 최소화하는 randomization technique를 사용하여 설계하였다. 설계된 DAC의 SNR은 1 MHz 신호에 대하여 67.3 dB로 설계되었다.

III. 측정 결과

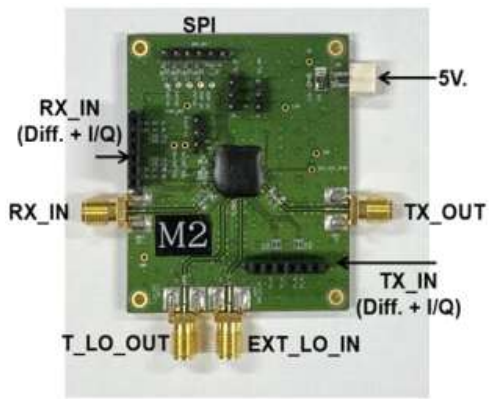
설계된 고집적 X-대역 송수신 IC는 65 nm CMOS 공정으로 제작되었고 그림 10은 제작된 IC와 테스트를 위한 보드의 사진을 보여준다. 송수신 IC의 크기는 $5 \times 5 \text{ mm}^2$ 이다. 1.2 V 전압 기준, 수신기는 PLL을 포함하여 178 mW를 소모하고 송신기의 경우 PLL을 포함하여 최대출력 조건에서 287 mW를 소모하고 있다.

수신기의 경우 측정된 이득은 그림 11과 같이 최대 90 dB 이상이며 RFFE와 BBA의 VGA와 PGA를 제어하여 거의 0 dB까지 낮은 이득도 가능하다. 잡음지수는 RFFE에 대해 측정을 하였고 5.5 dB 이하를 전대역에서 얻을 수 있었다. 이득과 잡음지수는 LO power에 따라 고주파로 갈수록 열화되어 제어를 통해 높은 주파수에서 LO power를 높여 주어 측정하였다. 수신기 IIP3의 경우 최대이득에서 $-26 \sim -29.4$ dBm으로 측정되었고, 저이득에서는 $-8.3 \sim -3.9$ dBm으로 측정되었다. 수신기의 기저대역 대역폭은 10, 20 MHz로 제어가 가능하며 2배 BW 주파수에서의 신호 제거비는 -30.5 dB 수준으로 측정되었다.

BBA단의 이득제어는 LPF와 PGA1, PGA2, PGA3를 이용할 수 있으며 LPF와 PGA1 및 PGA2는 5 dB step의 이득제어를, PGA3는 1 dB step의 이득제어를 통해 총 50 dB



(a)



(b)

그림 10. (a) X-대역 RF 송수신 IC의 사진, (b) test board 사진
 Fig. 10. (a) Photo of X band RF transceiver IC (b) photo of test board.

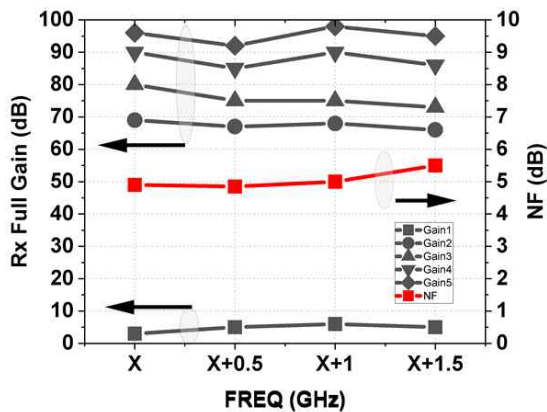


그림 11. 주파수별 수신기 전체 이득과 잡음지수
 Fig. 11. Receiver full gain and NF vs. frequency.

의 이득범위에 대해 1 dB step 이득제어가 가능하다.

그림 12는 RF 입력에 X+0.5 GHz의 주파수 신호 크기를 0 dBm에서 -90 dBm까지 가변하며 IF 주파수가 1 MHz인 신호를 입력 후 10 MHz BW의 BBA LPF를 거쳐 10 Ms/s의 속도의 ADC를 통해 디지털화된 수신신호를 FPGA 처리부에서 다시 아날로그로 복원하여 확인한 파형으로 -90 dBm에서 SNR(signal to noise ratio)이 10 dB에 조금 하회하는 수준으로 이는 이론적 계산과 상당히 잘 일치하고 있음을 알 수 있다.

그림 13은 송신용과 수신용 PLL의 위상잡음을 주파수

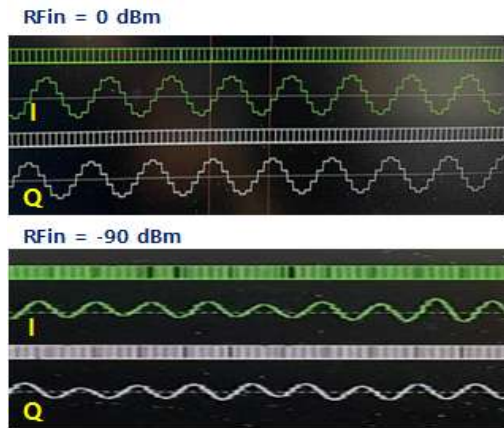


그림 12. ADC 통과 후 복원된 수신기 I, Q 출력(수신 입력: 0 dBm, -90 dBm이며 이득제어)
 Fig. 12. Receiver I, Q output through ADC (Rx input: 0 dBm, -90 dBm with gain control).

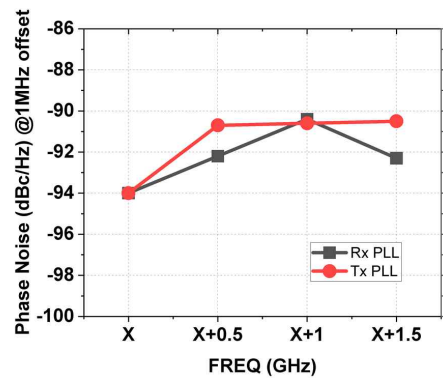


그림 13. 측정된 Rx와 Tx의 PLL 위상잡음
 Fig. 13. Measured phase noises of Tx and Rx PLLs.

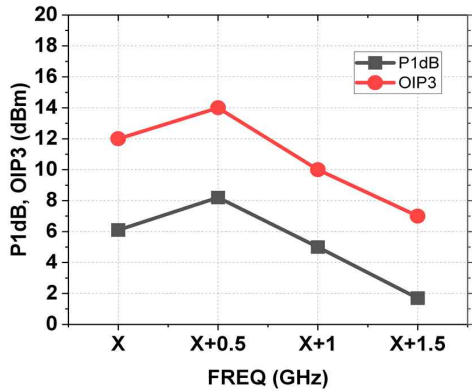
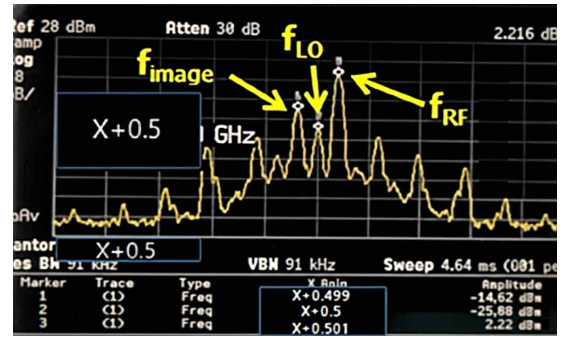


그림 14. 송신기 RF 출력 P1 dB, OIP3 측정결과
Fig. 14. Measured P1 dB and OIP3 of RF transmitter.

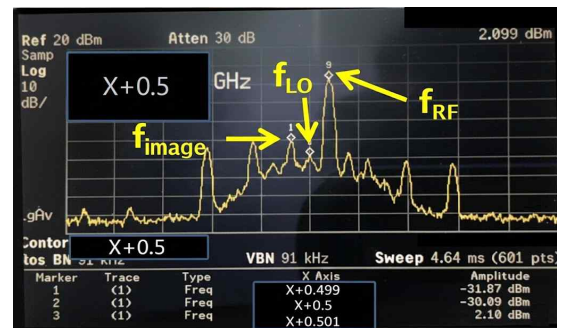
채널에 따라 각각 측정한 것으로 1 MHz offset에서 대체적으로 -90 dBc/Hz 이상의 성능을 보여주고 있다.

송신기의 경우 주파수에 따라 편차가 있으나 그림 14와 같이 출력 P_{1dB} 가 1.5~8.5 dBm이며 X+1.5 GHz에서 출력 전력이 떨어지는 것은 트랜스포머 기반 RF 증폭기 설계에서 기생성분 등으로 중심주파수 이동과 고주파 대역에서 성능저하가 나타난 것으로 분석되었다. 또한 OIP3의 경우 X~X+1.5 GHz의 대역에서 +7~+14.1 dBm 이상의 성능을 보이고 있다. 이들은 수신기와 마찬가지로 FPGA를 통해 디지털로 1 MHz의 신호파형을 만들어 DAC를 거쳐 RF 출력으로 파형을 확인하며 측정할 수 있다.

Calibration 성능 측정은 먼저 송신기의 경우 DFE의 자동모드가 아닌 수동모드로 SPI를 통해 보정회로의 레지스터 값을 조절하여 IQ의 위상과 진폭 보정, DAC DC offset 보정을 통한 Tx LO leakage 제거를 수행하였다. 그림 15는 X+0.5 GHz에서 RF 출력 송신으로 나오는 RF 신호와 LO leakage 신호, 그리고 Image 신호의 크기를 보여주고 있다. 그림 15(a)는 보정 전이며 그림 15(b)는 보정 후의 결과를 보여준다. 측정결과에서 보여주듯이 RF 신호의 크기는 거의 변하지 않으며 LO leakage의 크기는 -25.08 dBm에서 -38.89 dBm으로 13.69 dB 개선되어 보정 후 RF신호와 LO rejection이 40.99 dB로 개선되었고, image rejection의 경우도 17.14 dB에서 33.17 dB로 16.03 dB 개선이 되었음을 알 수 있다. 실제 IQ 보정의 경우 DFE의 수동제어를 통해 DAC에서 나오는 IQ 기저대역 신호의 위상과



(a)



(b)

그림 15. 측정된 IQ & LO 보정 (a) 전 (b) 후의 RF, LO leakage, Image 신호의 크기

Fig. 15. Measured RF, LO leakage, image power (a) before and (b) after IQ and LO calibration.

진폭을 제어하는 방식을 사용하고 있다. 위와 같이 IQ 보정과 DC offset 보정을 통한 LO leakage 저감으로 신호의 품질인 EVM(error vector magnitude)를 크게 개선할 수 있다. 수신기도 마찬가지로 DFE에서 수신된 신호의 I와 Q의 진폭, 위상 차이를 측정하고 보정할 수 있는 기능이 집적되었고 DC offset 보정회로도 함께 집적되었으나 측정결과는 본 논문에서 포함하지 않았다.

표 1은 X-대역에서 동작하는 RF 트랜시버 IC 관련 논문들의 성능비교표이다. 발표된 바에 따르면 대부분이 레이더용 트랜시버로 ADC, DAC가 없고 수신 잡음지수가 높아 통신용 트랜시버로 부적합하다.

본 논문은 X-대역에서 RF 송수신, 기저대역, PLL과 ADC 및 DAC, 그리고 DFE를 통한 보정회로까지 집적된 첫 논문이며 IQ 보정과 AGC 등이 집적되고 고집적이면서도 저전력으로 실제 저전력, 초소형 통신용 장비 등

표 1. 발표된 X-대역 RF 송수신기 IC 비교표
 Table 1. Comparison table of X band RF transceiver ICs.

Ref	Band (GHz)	Rx NF (dB)	PLL PN (dBc/Hz)	Tx P1 dB (dBm)	DC pow (Tx/Rx) (mW)	CMOS tech (nm)	Integration	Year
1	10.5	>11.5	-93	1	350	180	RF+VCO (radar)	2009
2	9.5~12	no Rx	no PLL	0.2	192/N.A.	65	Radar only Tx RF+LO	2012
3	9.8~10.2	16.8	-102.3	2	147	65	Radar TRx RF+PLL+ADC+DFE	2018
4	9.1~10.6	4.8~6.2	-116.4	~10	162/65	65	4ch radar Rx/Tx RF, PLL, DDS	2021
5	8.5~11	no Rx	no PLL	19	378/N.A.	65	Only Tx	2019
This work	X~X+1.5	<5.5	-90.5	2~8	287/178	65	Data com RF TRx RF+PLL+ADC/DAC+DFE	2026

에 효과적으로 사용될 수 있는 진정한 RF 송수신 단일칩으로 설계되었다.

IV. 결 론

본 논문에서는 X-대역 데이터링크 및 레이더에 사용 가능한 CMOS 기반 고집적 RF 송수신 IC(integrated circuits)를 설계 및 제작하였다. 최초로 발표된 X-대역에서 RF부와 기저대역부, PLL뿐만 아니라 ADC, DAC 그리고 IQ 보정 등이 포함된 디지털 전단부까지 집적된 송수신 IC로서 이득은 90 dB 수준이며 잡음지수는 5.5 dB 이하이다. 또한 최대 8 dBm 수준의 출력전력이 가능하며 송신과 수신에 PLL을 다른 주파수로 개별적으로 사용이 가능한 칩이다. 전력소모는 수신 178 mW와 송신 287 mW 수준으로 저전력, 초소형의 데이터 링크 및 레이더 시스템 구현을 가능하게 하는 단일칩 송수신 IC로 설계하였다.

References

- [1] S. Wang, K. H. Tsai, K. K. Huang, S. X. Li, H. S. Wu, and C. K. C. Tzuang, "Design of X-band RF CMOS transceiver for FMCW monopulse radar," *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, no. 1, pp. 61-70, Jan. 2009.
- [2] M. Camponeschi, A. Bevilacqua, M. Tiebout, and A. Neviani, "A X-band I/Q upconverter in 65 nm CMOS for high resolution FMCW radars," *IEEE Microwave and Wireless Components Letters*, vol. 22, no. 3, pp. 141-143, Mar. 2012.
- [3] H. C. Chou, Y. H. Kao, C. C. Peng, Y. J. Wang, and T. S. Chu, "An X-band frequency-modulated continuous-wave radar sensor system with a single-antenna interface for ranging applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 66, no. 9, pp. 4216-4231, Sep. 2018.
- [4] Y. M. Wu, H. C. Chou, C. Y. Ke, C. C. Wang, C. T. Li, and L. H. Chang, et al., "An X-band CMOS digital phased array radar from hardware to software," *Sensors*, vol. 21, no. 21, p. 7382, Nov. 2021.
- [5] J. Li, R. Shu, and Q. J. Gu, "An 8.5-11 GHz CMOS transmitter with >19 dBm OP_{1dB} and 24 % efficiency," in *IEEE Custom Integrated Circuits Conference*, Austin, TX, Apr. 2019, pp. 14-17.
- [6] G. H. Tan, R. M. Sidek, H. Ramiah, W. K. Chong, and D. X. Lioe, "Ultra-low-voltage CMOS-based current bleeding mixer with high LO-RF isolation," *The Scientific World Journal*, vol. 2014, p. 163414, Jan. 2014.

장 원 일 [실리콘 알엔디/책임연구원]

<https://orcid.org/0009-0002-9034-7712>



2013년 2월: 광운대학교 전자공학과 (공학사)
2019년 2월: 광운대학교 전자공학과 (공학박사)
2020년 3월~현재: 실리콘 알엔디 모듈개발팀 책임연구원
[주 관심분야] CMOS RF Transceiver, RF

통신 SoC 설계

이 광 두 [실리콘 알엔디/이사]

<https://orcid.org/0009-0008-7766-4469>



2000년 3월: 광운대학교 전자공학부 (공학사)
2002년 3월: 광운대학교 전자공학과 (공학석사)
2002년 3월~2024년 6월: 삼성전기 수석연구원
2024년 7월~현재: 실리콘 알엔디 이사

[주 관심분야] RFIC, MMIC, RF Module 설계 등

김 용 호 [실리콘 알엔디/선임연구원]

<https://orcid.org/0009-0006-0664-3172>



2020년 8월: 경희대학교 물리학과 (이학사)
2021년 10월~현재: 실리콘 알엔디 칩솔루션팀 선임연구원
[주 관심분야] CMOS RF Transceiver, RF 통신 SoC 설계 등

임 태 희 [LIG 디펜스&에어로스페이스/수석연구원]

<https://orcid.org/0009-0006-8748-5785>

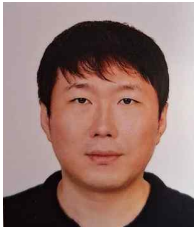


1999년 3월: 광운대학교 전자공학과 (공학사)
2018년 3월: 한양대학교 통신정보공학과 (공학석사)
2007년 1월~현재: LIG 디펜스&에어로스페이스 미사일시스템핵심기술연구소 항법/통신개발단 3팀 수석연구원

[주 관심분야] RF, 통신, 데이터링크 시스템 개발

정 구 [실리콘 알엔디/수석연구원]

<https://orcid.org/0009-0005-9741-8458>



2009년 2월: 광운대학교 전자공학과 (공학사)
2012년 9월~현재: 실리콘 알엔디 칩솔루션팀 수석연구원
[주 관심분야] CMOS RF Transceiver, Radar 설계

유 민 석 [LIG 디펜스&에어로스페이스/선임연구원]

<https://orcid.org/0009-0001-9658-6653>



2021년 8월: 인천대학교 정보통신공학과 (공학사)
2023년 3월: 인천대학교 정보통신공학과 (공학석사)
2023년 5월~현재: LIG 디펜스&에어로스페이스 미사일시스템핵심기술연구소 항법/통신개발단 3팀 선임연구원

[주 관심분야] 디지털 신호처리, 통신 시스템 설계 등

이 지 훈 [LIG 디펜스&에어로스페이스/선임연구원]

<https://orcid.org/0009-0009-3774-3469>



2016년 3월: 한양대학교 ERICA 전자공학과 (공학사)
2022년 1월~현재: LIG 디펜스&에어로스페이스 미사일시스템핵심기술연구소 항법/통신개발단 3팀 선임연구원
[주 관심분야] RF, 통신, 임베디드 소프트웨어 개발

박 형 철 [서울과학기술대학교/교수]

<https://orcid.org/0000-0002-7621-8060>



1996년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
1998년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
2003년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)
2003년 3월~2005년 2월: 하이닉스반도체, SoC팀, 선임연구원
2005년 3월~2010년 2월: 한밭대학교 전파공학과 조교수
2010년 3월~현재: 서울과학기술대학교 전자공학과 교수
[주 관심분야] 디지털 ASIC, 디지털 신호처리, 변복조, 레이더 신호처리 등

오 태 현 [광운대학교/교수]

<https://orcid.org/0000-0002-6574-0590>



2005년 2월: 서울대학교 전자공학부 (공학사)
2007년 2월: 서울대학교 전자공학부 (공학석사)
2012년 7월: 미국 University of Minnesota, Twin-Cities 전자/컴퓨터공학과-ECE (공학박사)

2012년 8월: 미국 IBM Fishkill, High-Speed SerDes Group, Advisory Circuit Designers

2013년 3월~현재: 광운대학교 전자공학과 교수

[주 관심분야] Digital Phase-Locked Loops, High-Resolution Analog-to-Digital Converters, High-Speed Interface Transceivers 등

어 윤 성 [실리콘 알엔디/대표이사]

<https://orcid.org/0000-0003-4508-6672>



1993년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
1995년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
2001년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)
2000년 8월~2002년 8월: LG전자기술원 RF Team 선임연구원
2002년 9월~2005년 8월: 삼성종합기술원 RF Chip Solution Center 책임연구원
2005년 9월~현재: 광운대학교 전자공학과 교수
2009년 9월~현재: 실리콘 알엔디 대표이사 (겸)
[주 관심분야] 통신/레이더용 CMOS RF Transceiver 설계, UWB Radar IC 등