

130 nm SOI 공정을 이용한 6G Upper-Mid Band용 소형 6-비트 위상 변위기 설계

Design Compact 6-Bit Phase Shifter for 6G Upper-Mid Band Using 130-nm SOI

임 태 형 · 심 상 훈

Tae-Hyeong Lim · Sang-Hoon Sim

요 약

본 논문에서는 130 nm SOI 공정을 이용하여 6G upper-mid band 통신을 위한 6비트 위상 변위기를 설계하고 측정하였다. 제안된 위상 변위기는 6.8~8.8 GHz에서 동작하며 적층 인덕터를 적용하여 칩 면적을 최소화하였다. 측정 결과, 7.8 GHz에서 4.7 dB의 낮은 삽입 손실과 3.7°의 낮은 RMS 위상 오차를 달성하였으며, RMS 진폭 편차는 0.3 dB로 측정되었다. 패드를 포함한 칩의 크기는 1.1×0.56 mm이다.

Abstract

This paper presents the design and measurement of a 6-bit phase shifter for 6G upper-mid band communication implemented using a 130 nm SOI process. The proposed phase shifter operates in the 6.8~8.8 GHz frequency range and achieves a compact chip area by utilizing stacked inductors. The measurement results demonstrate a low insertion loss of 4.7 dB at 7.8 GHz and a low root mean square (RMS) phase error of 3.7°, with an RMS amplitude variation of 0.3 dB. The total chip size, including pads, is 1.1×0.56 mm.

Key words: 6G Upper-Mid Band, SOI, Phase Shifter, STPS, Stacked Inductor

I. 서 론

무선 데이터 트래픽의 기하급수적인 증가로 인해 차세대 무선 이동통신 시스템인 6G에 대한 필요성이 대두되고 있다. 6G 통신은 기존 통신보다 높은 데이터 속도와 대규모 연결성을 요구하며, 이를 충족하기 위해 더 높은 주파수 대역과 넓은 대역폭 활용이 필수적이다^[1].

6G upper-mid band 주파수 대역으로 WRC-23에서 논의된 4.4~4.8 GHz, 7.125~8.4 GHz, 14.8~15.35 GHz 세 대

역은 WRC-27의 의제 1.7 안건으로 상정되어 본격적인 검토가 진행되고 있다^[2]. 이 중 7.125~8.4 GHz 대역은 가장 유력한 후보로 주목받고 있다^[3]. 6G 통신에서 요구되는 커버리지와 셀 용량을 확보하기 위해서는 다중 채널을 지원하는 MIMO 안테나가 필요하며, 이를 위해 빔포머IC의 집적도와 성능 향상이 필수적이다.

본 논문에서는 이러한 요구를 충족하기 위해 SOI 공정을 기반으로 6.8~8.8 GHz에서 동작하는 6비트 위상 변위기를 설계하였다. 제안된 위상 변위기는 적층 인덕터

「이 논문은 2024년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구임(RS-2024-00400864).」

충북대학교 전자공학과(School of Electronics Engineering, Chungbuk National University)

· Manuscript received December 19, 2025 ; Revised January 1, 2026 ; Accepted January 30, 2026. (ID No. 20251219-155)

· Corresponding Author: Sang-Hoon Sim (e-mail: shsim@cbnu.ac.kr)

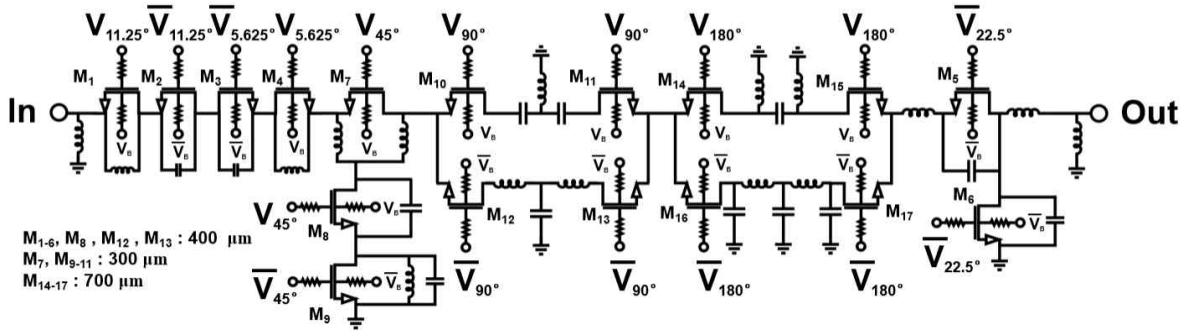


그림 1. 설계된 위상 변위기의 회로도
Fig. 1. Schematic of designed phase shifter.

(stacked inductor)를 적용해 소형화하였으며, SOI 공정의 우수한 스위치 특성과 수동 소자 특성을 활용해 전체 성능을 최적화하였다.

II. 위상 변위기 설계

그림 1은 설계된 6비트 위상 변위기의 회로도를 나타낸다. 본 설계는 칩 크기 최소화를 위해 비트 배열을 최적화하였다. 인덕터 크기가 상대적으로 작은 11.25°, 5.625°, 22.5° 비트를 입출력 패드 근처에 배치하여 레이아웃 효율을 높였으며, 최종 배열은 11.25°→5.625°→45°→90°→180°→22.5° 순서로 구성되었다.

위상 변위기의 면적은 대부분 인덕터가 차지하므로, 소형화를 위해 적층 인덕터를 사용하였다. 적층 인덕터는 동일 면적에서 일반 인덕터 대비 약 4배의 인덕턴스를 구현할 수 있어 면적 감소에 효과적이다^[4]. 그러나 기생 성분 증가로 인해 품질 계수(Q-factor)와 자기공명 주파수가 낮아지는 단점이 있다. 이를 보완하기 위해 금속 패턴 간 간격을 최적화하여 안정적인 인덕턴스를 확보하였다. 그림 2는 사용된 공정의 금속층 정보를 보여주며, 두꺼운 금속층인 MA와 E1을 활용해 적층 인덕터를 구현하였다. 이를 통해 단일 금속층을 사용한 인덕터 대비 약 70%의 면적만으로 동일한 인덕턴스 구현이 가능하였다. 그림 3은 적층 인덕터와 단일 금속층 인덕터의 비교 결과를 나타낸다. 설계된 적층 인덕터는 품질 계수 저하를 최소화하여 단일 금속층 인덕터와 유사한 성능을 달성함을 확인

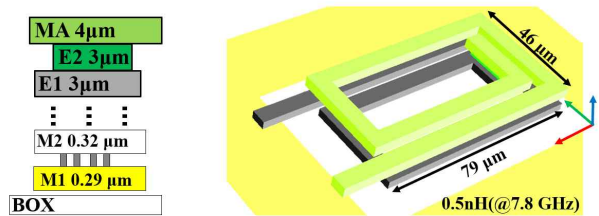


그림 2. 130-nm SOI 공정 금속층 정보와 적층 인덕터
Fig. 2. Metal layer information of 130-nm SOI process and stacked inductor.

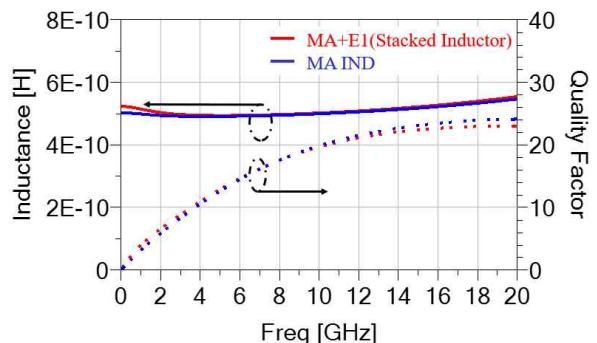


그림 3. 단일 금속층 인덕터와 적층 인덕터의 EM 시뮬레이션 결과 비교
Fig. 3. EM simulation result of single metal inductor and stacked inductor.

할 수 있다.

각 단일 비트는 크기와 성능을 고려하여 구현하였다. 180° 및 90° 비트는 스위치 제어를 통해 저역통과 필터(LPF)와 고역통과 필터(HPF)를 선택하고, 두 필터 간의

위상차를 이용해 위상 변위를 구현하는 구조를 채택하였다. 특히, 180° 비트는 사용 대역에서 위상 오차를 최소화하기 위해 π 형 HPF와 LPF를 적용하였고, 90° 비트는 T형 HPF와 LPF를 사용하였다. 이러한 경로 스위칭 방식은 두 개의 직렬 스위치를 사용하므로 on 저항 증가로 삽입 손실이 커질 수 있다. 이를 보완하기 위해 스위치의 크기를 극대화하고, off 커패시턴스는 필터의 커패시턴스에 포함시켜 삽입 손실을 최소화하였다.

45° 및 22.5° 비트는 저손실 구현을 위해 하나의 직렬 스위치만 사용하는 구조로 설계하여 on 저항을 줄였다. 두 비트 모두 LCL 저역통과 필터와 공진 필터의 바이패스 동작을 통해 위상차를 생성한다. 45° 비트는 T형 위상 변위기로 구현되었으며, phase 상태에서는 LCL LPF가 동작하고 reference 상태에서는 병렬 LC 탱크가 공진하여 바이패스 기능을 수행한다. 22.5° 비트는 소형화를 위해 직렬 공진을 이용한 바이패스 구조로 구현하였다.

5.625° 및 11.25° 비트는 스위치-LC 방식으로 구현되었다. 이 방식은 하나의 인덕터로 구성된 LPF와 하나의 커패시터로 구성된 HPF 간 위상차를 활용하여 작은 면적에서 균일한 위상 변위를 제공한다.

칩 설계를 위하여 130-nm SOI 공정을 이용하였다. 해당 공정은 5개의 메탈 레이어를 제공하고 HRS(high resistivity silicon) 기판으로 되어있어 인덕터 구현 시 기판에 의한 손실을 최소화할 수 있다. Keysight ADS를 이용하여 회로 및 EM 시뮬레이션, 레이아웃을 진행하였다.

III. 실험 및 측정결과

그림 4는 제작된 위상 변위기의 칩 사진이다. 칩 크기는 1.1×0.56 mm 이며, RF 및 I/O 패드를 제외한 코어 크기는 0.345 mm²이다. 제작된 칩은 on-wafer 프루빙으로 측정하였으며 on, off 전압은 게이트: 2.5 V, -2.5 V, 바다: 0, -2.5 V를 인가하였다. S-파라미터 측정은 벡터 네트워크 분석기 (ZNA43)를 사용하였고, 대신호 특성 측정을 위해 드라이버증폭기(ZVE-3W-183+)를 이용하였다. 그림 5는 위상 변위기의 전체 비트 설정에 따른 삽입 손실 및 RMS 편차를 측정한 결과이다. 측정 결과를 보면 6.8~8.8 GHz

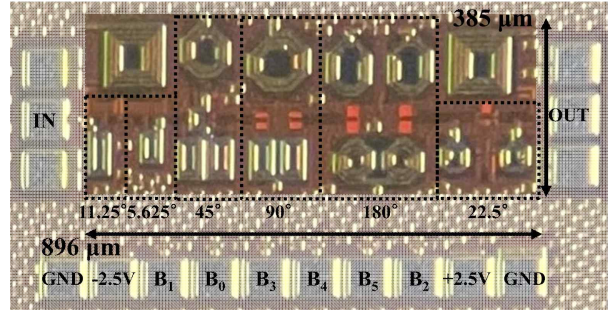


그림 4. 제작된 위상 변위기의 칩 사진
Fig. 4. Photograph of fabricated phase shifter.

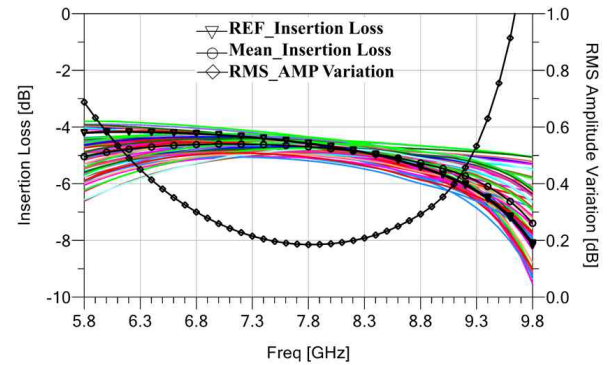


그림 5. 위상 변위기의 삽입손실, RMS 편차 측정결과
Fig. 5. Measured insertion loss, RMS amplitude variation results of the phase shifter.

에서 삽입 손실 -6 dB 이내, 삽입손실의 최대편차 1.34 dB 이내, 삽입손실의 RMS 편차(RMS amplitude variation)는 0.18~0.3 dB의 결과를 보여준다. 그림 6 및 그림 7은 각각 입·출력 반사 손실 측정 결과를 보여준다. 6.8~8.8 GHz에서 입력 반사 손실은 -7 dB 이하, 출력 반사 손실은 -11 dB 이하의 특성을 갖는다.

그림 8은 위상 변위기의 전체 비트 설정에 따른 위상 제어 특성 및 RMS 위상 오차 측정 결과를 보여준다. 6.8~8.8 GHz에서 2.8°~3.7°의 RMS 위상오차 특성을 갖는다. 그림 9는 메인 비트의 대신호 동작에 따른 입력 P1 dB 측정 결과를 보여준다. 측정 결과를 보면 주파수가 증가할수록 입력 P1 dB가 감소하는 것을 알 수 있는데, 6.8~8.8 GHz에서 17.3~21.6 dBm의 입력 P1dB 특성을 갖는다.

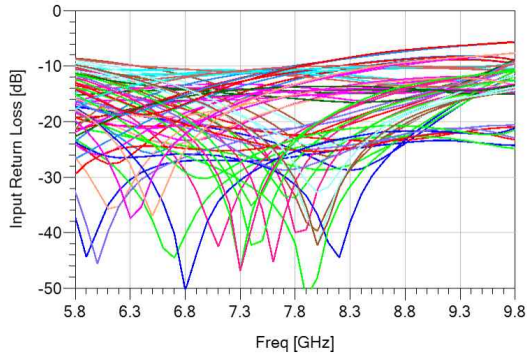


그림 6. 위상 변위기의 입력 반사 손실 측정결과
Fig. 6. Measured input return loss results of the phase shifter.

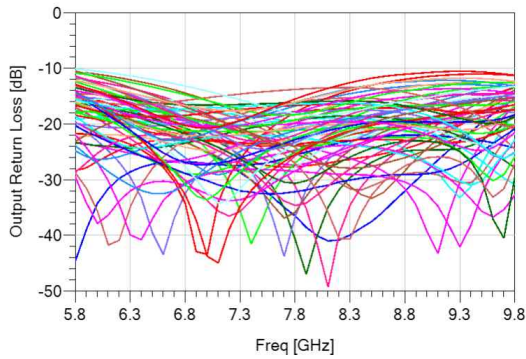


그림 7. 위상 변위기의 출력 반사 손실 측정결과
Fig. 7. Measured output return loss results of the phase shifter.

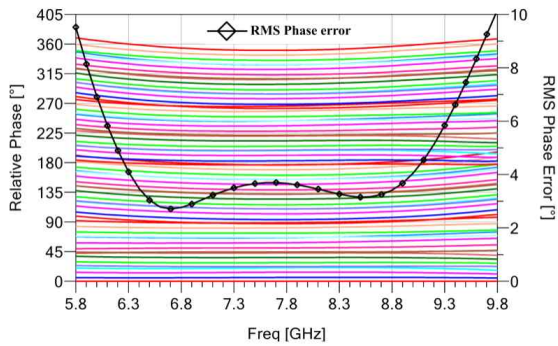


그림 8. 위상 변위기의 위상 변위, RMS 위상 오차 측정 결과
Fig. 8. Measured relative phase, RMS phase error results of the phase shifter.

표 1은 본 연구에서 설계된 위상 변위기의 성능과 기준에 발표된 결과들을 비교한 것이다. 제안된 위상 변위기

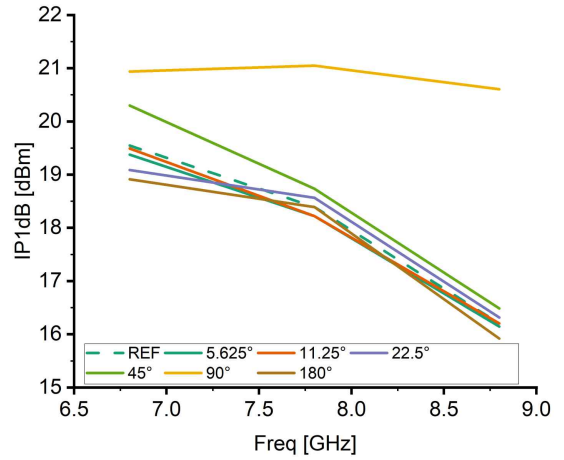


그림 9. 주파수에 따른 입력 P1 dB 측정 결과
Fig. 9. Measured input P1 dB of frequency.

표 1. 성능 비교표

Table 1. Comparison with other works.

Ref.	[5]	[6]	[7]	This work
Process (nm)	180 SOI	130 CMOS	180 SOI	130 SOI
Freq. (GHz)	5~6	8.5~10.5	7.5~10.5	6.8~8.8
Fractional band width (%)	18	21	33	26
No. of bit	6	6	6	6
IP1 dB (dBm)	29.6	N/A	20	17.3
Insertion loss (dB)	-4.8	-14	-11	-4.7
MAX amplitude variation (dB)	2.4*	N/A	4	1.3
RMS amplitude variation (dB)	0.4	0.4	N/A	0.3
RMS phase error (°)	10	4	7.5	3.7
Chip area (mm ²)	1.03**	3.52	2.2	0.63

*Estimated from graph, **With charge pump.

는 넓은 동작 주파수 범위에서 낮은 삽입 손실과 RMS(위상 및 진폭) 에러를 달성함과 동시에 작은 칩 크기로 구현되었음을 확인할 수 있다.

IV. 결 론

본 논문에서는 130-nm SOI CMOS 공정을 기반으로 6G upper-mid band 대역(7.125~8.4 GHz)을 지원하는 6비트 위상 변위기를 설계하고 제작하였다. 제안된 회로는 적층 인덕터를 적용하고 비트 간 간격을 최적화함으로써, 0.345 mm² (패드 제외)의 작은 면적 내에서 7.8 GHz 기준 -4.7 dB의 낮은 삽입 손실을 달성하였다. 이러한 결과는 향후 소형화 및 저전력이 요구되는 6G 통신 빔포밍 시스템에 효과적으로 적용될 수 있을 것으로 기대된다.

References

- [1] T. H. Kim, "Global Trends in Spectrum Management for Mobile Communications," *ETRI Electronics and Telecommunications Trends*, Aug. 2025.
- [2] *Sharing and Compatibility Studies and Development of Technical Conditions for the Use of International Mobile Telecommunications (IMT) in the Frequency Bands 4.400-4.800 MHz, 7.125-8.400 MHz (or parts thereof), and 14.8-15.35 GHz for the Terrestrial Component of IMT*, Final Acts WRC-23, ITU-R, Dec. 2023.
- [3] B. H. Jang, D. Lee, Y. Kim, Y. Cho, and H. S. Jo, "Interference analysis between IMT-2030 and low Earth orbit satellite services using phased array antennas and multi-user beamforming," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 36, no. 11, pp. 1043-1054, Nov. 2025.
- [4] A. Zolfaghari, A. Chan, and B. Razavi, "Stacked inductors and transformers in CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 4, pp. 620-628, Apr. 2001.
- [5] H. Jeon, K. W. Kobayashi, "A high linearity +44.5-dBm IP 3 C-band 6-bit digital phase shifter using SOI technology for phased array applications," *IEEE Microwave and Wireless Components Letters*, vol. 29, no. 11, pp. 733-736, Nov. 2019.
- [6] S. Wu, D. Pang, "A 6-bit CMOS passive phase shifter for X-band phased arrays," in *2019 International Conference on Microwave and Millimeter Wave Technology(ICMMT)*, Guangzhou, May 2019.
- [7] L. Chen, X. Chen, Y. Zhang, Z. Li, and L. Yang, "A high linearity X-band SOI CMOS digitally-controlled phase shifter," *Journal of Semiconductors*, vol. 36, no. 6, p. 065004, Jun. 2015.

임 태 형 [충북대학교/석사과정]

<https://orcid.org/0009-0008-9435-5342>



2023년 8월: 충북대학교 전자공학과 (공학사)

2023년 9월 ~ 현재: 충북대학교 전자공학과 석사과정

[주 관심분야] RF 프론트엔드

심 상 훈 [충북대학교/부교수]

<https://orcid.org/0009-0007-2431-4687>



2001년 2월: KAIST 전기 및 전자공학과 (공학사)

2004년 2월: KAIST 전기 및 전자공학과 (공학석사)

2009년 2월: KAIST 전기 및 전자공학과 (공학박사)

2018년 9월: 알에프코어(주) 수석 연구원

2020년 3월: 삼성전자(주) 수석 연구원

2020년 3월 ~ 현재: 충북대학교 전자공학과 부교수

[주 관심분야] 차세대 통신 및 레이다 응용을 위한 MMIC 및 시스템