THE JOURNAL OF KOREAN INSTITUTE OF ELECTROMAGNETIC ENGINEERING AND SCIENCE. 2026 October; 37(10), 1065～1068.

https://doi.org/10.5515/KJKIEES.2026.37.10.1065
ISSN 1226-3133 (Print) · ISSN 2288-226X (Online)

40-nm CMOS 기반 D-대역 2-Way 전력 증폭기

A D-Band 2-Way Power Amplifier in a 40-nm CMOS Process

강준모[1] · 김재관[2*] · 나준형[3*] · 이남혁[4*] · 장정호[5] · 서문교[6]

Junmo Kang[1] · Jaegwan Kim[2*] · Junhyeong Na[3*] · Namhyeok Lee[4*] · Jeongho Jang[5] · Munkyo Seo[6]

요 약

본 논문에서는 광대역 무선 통신 및 고해상도 레이다 응용을 위한 40-nm CMOS 기반 D-대역(110～170 GHz) 2-way 전력 증폭기를 제안한다. 제안한 전력 증폭기는 발룬, 전력 분배·결합기 및 입출력 정합망을 일체화하고, 전송선과 입출력 패드를 정합 구조의 일부로 활용하여 수동 회로의 삽입 손실과 칩 면적을 줄였다. 증폭기 코어는 교차 결합 중성화 커패시터를 적용한 4단 차동 공통 소스 구조로 설계하여 게이트-드레인 기생 커패시턴스에 의한 역방향 결합을 보상하였다. 측정 결과, 139.2 GHz에서 최대 소신호 이득 19.52 dB, 포화 출력 전력 12.68 dBm, 1-dB 출력 압축점 6.9 dBm 및 최대 전력 부가 효율 10.52 %를 달성하였으며, 핵심 회로 면적은 0.114 mm^{2}이다.

Abstract

A 40-nm CMOS D-band (110～170 GHz) two-way power amplifier is presented for broadband wireless communications and high-resolution radar. Its baluns, power divider/combiner, and I/O matching networks are integrated, with transmission lines and I/O pads serving as matching elements to reduce passive insertion loss and chip area. The four-stage differential common-source core uses cross-coupled neutralization capacitors to compensate for gate-drain parasitic reverse coupling. At 139.2 GHz, the 0.114-mm^2 core achieves a maximum small-signal gain of 19.52 dB, saturated output power of 12.68 dBm, 1-dB output compression point of 6.9 dBm, and peak power-added efficiency of 10.52 %.

Key words: D-Band, Power Amplifier, Common-Source, 2-Way

Ⅰ. 서 론

광대역 무선 통신 및 고해상도 레이다 시스템의 구현을 위해 넓은 주파수 대역폭을 활용할 수 있는 서브테라헤르츠(Sub-THz) 대역에 대한 연구가 활발히 진행되고 있다. D-대역(110～170 GHz)은 넓은 가용 대역폭을 기반

「본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였음.」
「본 연구는 2026년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구임(No. 2021-0-00763, 테라헤르츠 6G 지능형 안테나 소자/구조/네트워크 혁신 융합기술 개발).」
성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)
*성균관대학교 반도체융합공학과(Department of Semiconductor Convergence Engineering, Sungkyunkwan University)
1: 석사과정(https://orcid.org/0009-0009-4404-9571), 2: 박사과정(https://orcid.org/0009-0004-4311-6086), 3: 석사과정(https://orcid.org/0009-0001-2671-6387), 4: 석사과정(https://orcid.org/0009-0000-1565-3504), 5: 박사과정(https://orcid.org/0009-0004-8268-9135), 6: 교수(https://orcid.org/0000-0002-0691-1783)
· Manuscript received August 14, 2026 ; Revised August 28, 2026 ; Accepted September 22, 2026. (ID No. 20260814-075)
· Corresponding Author: Munkyo Seo (e-mail: mkseo@skku.edu)

ⓒ Copyright The Korean Institute of Electromagnetic Engineering and Science. This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/4.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

으로 높은 데이터 전송률과 높은 거리 분해능을 요구하는 응용에 활용될 수 있다. 그러나 주파수가 증가함에 따라 자유 공간 경로 손실과 회로의 수동 손실이 증가하므로, 송신단에서 충분한 출력 전력을 확보하는 것이 중요하다.

CMOS 공정은 높은 집적도와 양산성 측면에서 장점을 가지지만, 낮은 항복 전압과 초고주파에서의 소자 기생 성분으로 인해 단일 증폭기 코어에서 확보할 수 있는 출력 전력과 효율에 한계가 있다. 이를 보완하기 위해 다수의 증폭기 코어의 출력을 결합하는 전력 결합 구조가 활용되지만, 전력 결합망에서 발생하는 삽입 손실은 출력 전력과 효율을 저하시키며 추가적인 수동 회로는 칩 면적을 증가시킬 수 있다[1].

본 논문에서는 이러한 문제를 개선하기 위해 발룬, 전력 분배기 및 결합기와 입출력 정합 회로를 일체화한 40-nm CMOS 기반 D-대역 2-way 전력 증폭기를 제안한다.

Ⅱ. 전력 증폭기 설계

2-1 2-Way 전력 증폭기 구조

그림 1은 제안하는 D-대역 2-경로 전력 증폭기의 회로이다. 입력된 단일 종단 신호는 입력 발룬에서 차동 신호로 변환된 후 두 개의 증폭기 코어로 분배되며, 각 경로에서 증폭된 신호는 출력단에서 결합된 후 단일 종단 신호로 변환된다.

각 증폭기 코어는 4단 차동 공통 소스 구조로 구성하였다. 각 단이 다음 증폭단을 충분히 구동하고 최종단의 높은 출력 전력을 확보할 수 있도록 전체 증폭단은 1:2:4의 비율로 구성하였다. 또한 두 증폭 경로는 동일한 회로 및 수동소자 구조를 적용하여 경로 간 특성 차이를 줄였다.

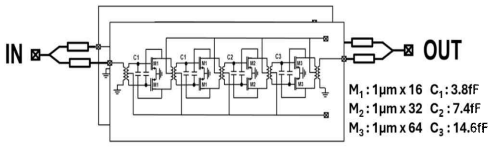


그림 1. 2-way 전력 증폭기의 회로도
Fig. 1. Schematic of proposed 2-way power amplifier.

2-2 교차 결합 중성화

각 차동 증폭단에는 게이트-드레인 기생 커패시턴스(C_{gd})에 의한 역방향 결합을 보상하기 위해 교차 결합 중성화 커패시터를 적용하였다. 차동 출력 신호를 반대편 입력으로 교차 결합하여 C_{gd}에 의한 피드백 성분을 상쇄함으로써 D-대역에서의 이득과 안정도를 확보하였다.

중성화 커패시터는 실리콘 기판과의 기생 커패시턴스를 줄이기 위해 상위 금속층을 이용하여 구현하였으며 C_1, C_2, C_3는 각각 3.8 fF, 7.4 fF, 14.6 fF로 설계하였다.

2-3 변압기 기반 단간 정합

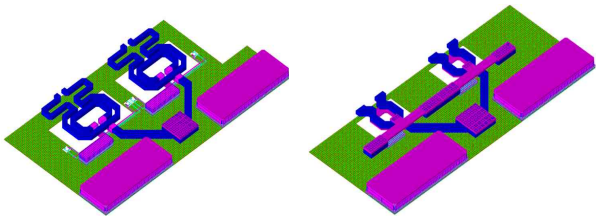
각 증폭단 사이의 임피던스 정합에는 변압기 기반의 단간 정합망을 적용하였다. 각 단의 출력 임피던스와 다음 단의 입력 임피던스를 기준으로 중심 주파수에서 복소 켤레 정합(conjugate matching)이 이루어지도록 변압기의 권선 인덕턴스, 결합 계수 및 권선비를 설계하였다. 이후 변압기와 연결 배선에서 발생하는 고주파 기생 성분 및 손실을 고려하기 위해 전자기장 해석을 수행하고, 추출된 수동 소자 모델을 이용하여 최종 정합 특성을 최적화하였다.

변압기의 중앙 탭은 각 증폭단의 게이트 및 드레인 직류 바이어스 인가 경로로 활용하였다. 이를 통해 별도의 바이어스 인덕터 사용을 줄였으며, 바이어스 선로에는 우회 커패시터를 인접하게 배치하여 고주파 신호가 직류 경로로 누설되는 것을 억제하였다. 또한 단간 변압기와 증폭단을 인접하게 배치하여 연결 배선에 의한 기생 성분을 줄였다.

2-4 일체형 입출력 정합 및 전력 분배·결합 구조

그림 2는 제안하는 일체형 입출력 정합 및 전력 분배·결합 구조를 나타낸다. 입력단에서는 발룬과 전력 분배기를 통합하여 단일 종단-차동 변환과 두 증폭 경로로의 전력 분배를 수행하며, 출력단에서는 전력 결합기와 발룬을 통합하여 두 증폭 경로의 전력 결합과 차동-단일 종단 변환을 수행한다.

최종 출력단의 정합 조건을 결정하기 위해 중심 주파수에서 로드풀(load-pull) 시뮬레이션을 수행하였다. 그림 3은



(a) 입력 구조 (b) 출력 구조
(a) Input network (b) Output network

그림 2. 제안하는 일체형 입출력 정합 및 전력 분배·결합 구조
Fig. 2. Proposed integrated input/output matching and power dividing/combining networks.

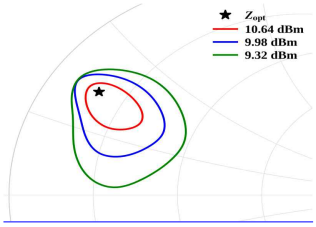


그림 3. 로드풀 시뮬레이션 결과
Fig. 3. Load-pull simulation result.

부하 임피던스에 따른 출력 전력의 등고선을 나타낸다. 로드풀 결과를 바탕으로 최적 부하 임피던스(6.1+j16.21 Ω)를 선정하였으며, 출력 전력 결합망은 두 증폭기 코어의 출력을 결합하는 동시에 각 최종 출력단에서 최적 부하 임피던스가 나타나도록 설계하였다. 해당 출력 구조의 손실은 1.8 dB이다.

발룬, 전력 분배·결합기 및 정합망을 개별적으로 구성하면 추가 정합 구간과 연결 전송선으로 인해 수동 회로의 면적과 손실이 증가한다. 본 설계에서는 전력 분배·결합에 사용되는 전송선을 발룬의 임피던스 정합에 함께 활용하고, 입출력 패드의 기생 성분을 정합 설계에 포함하였다. 이를 통해 하나의 입출력망에서 단일 종단-차동 변환, 전력 분배·결합 및 임피던스 정합을 동시에 구현하여 추가 정합 구간과 연결 라인을 줄였다. 특히 출력망은 두 코어의 전력을 결합하는 동시에 각 최종단에 로드풀로 선정한 최적 부하 임피던스를 제공하도록 설계하였다. 이러한 일체형 구조는 출력 전력 전달에 필요한 정합 조건을 확보하면서 수동 회로의 면적과 손실을 줄여 높은 전력 밀도 달성에 기여하였다.

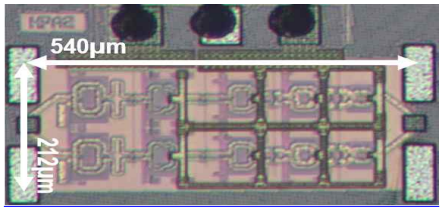


그림 4. 2-way 전력증폭기의 칩 사진
Fig. 4. Chip micrograph of 2-way power amplifier.

그림 4는 제작된 전력 증폭기의 칩 사진이다. 제안한 전력 증폭기는 40-nm CMOS 공정으로 제작되었으며, 패드를 포함한 전체 칩 크기는 0.596×0.392 mm²이고 핵심 회로 면적은 0.114 mm²이다.

Ⅲ. 측정 결과

그림 5는 전력 증폭기의 산란계수에 대한 시뮬레이션 및 측정 결과를 나타낸다. 측정 결과, 139.2 GHz에서 최대 소신호 이득은 19.52 dB이다. 그림 6은 대신호 측정 결과

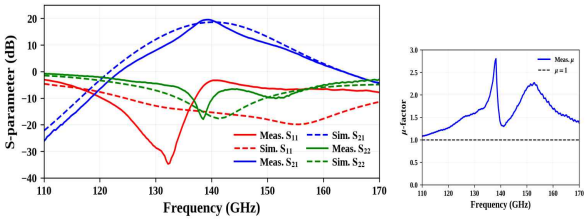


그림 5. 전력증폭기의 시뮬레이션 및 측정 산란계수
Fig. 5. Simulated and measured *S*-parameters of the PA.

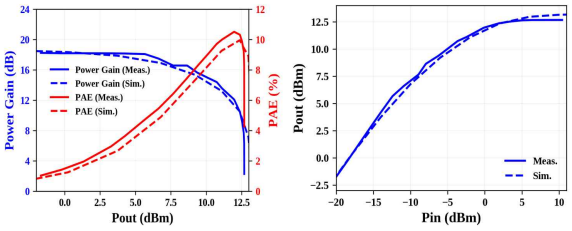


그림 6. 전력 증폭기의 대신호 특성 시뮬레이션 및 측정 결과
Fig. 6. Simulated and measured large-signal characteristics of the power amplifier.

표 1. D-대역 전력 증폭기 성능 비교표.
Table 1. Performance comparison table of D-band PAs.

Ref	[2]	[3]	[4]	[5]	This work
Tech	40-nm CMOS	45-nm SOI	28-nm CMOS	45-nm SOI	40-nm CMOS
Topology	3-stage 8-way	4-stage 4-way	3-stage 4-way	3-stage 2-way	4-stage 2-way
Freq (GHz)	132	140	138	127.5	139.2
OP_{1dB} (dBm)	12.3	14.2	11.4	8.2	6.9
P_{sat} (dBm)	16.4	17.5	16.2	11.9	12.68
Peak PAE(%)	7.2	13.4	8.6	14.98	10.52
Gain (dB)	14.5	24	22.6	21.7	19.52
Core area (mm^2)	0.46	0.425	0.33	0.117	0.114
*Power density (mW/mm^2)	94.9	132.3	126.3	132	162.6

이며 포화 출력 전력은 12.68 dBm, 1-dB 출력 압축점은 6.9 dBm, 최대 PAE는 10.52 %이다. 그림 5에서 나타난 산란계수의 차이는 소자 및 수동망의 기생 성분과 손실에 대한 모델 오차로 인해 정합 주파수와 이득 특성이 달라진 영향으로 판단된다. 표 1은 제안된 전력 증폭기의 측정 성능을 기존 D-대역 CMOS 전력 증폭기와 비교하여 나타낸다. 제안한 전력 증폭기는 162.6 mW/mm²의 전력 밀도를 달성하여 비교 대상 중 가장 높은 전력 밀도를 보였다.

Ⅳ. 결 론

본 논문에서는 발룬, 전력 분배·결합기 및 입출력 정합망을 일체화한 40-nm CMOS 기반 D-대역 2-way 전력 증폭기를 제안하였다. 제작된 전력 증폭기는 139.2 GHz에서 19.52 dB의 최대 전력 이득, 12.68 dBm의 포화 출력 전력 및 10.52 %의 최대 전력 부가 효율을 달성하였다. 제안한 구조를 통해 제한된 칩 면적에서 출력 전력과 집적도를 동시에 확보하였다.

References

[1] D. Simic, P. Reynaert, "A 14.8 dBm 20.3 dB power amplifier for D-band applications in 40 nm CMOS," in *2018 IEEE Radio Frequency Integrated Circuits Symposium(RFIC)*, Philadelphia, PA, Jun. 2018, pp. 232-235.

[2] V. S. Trinh, J. M. Song, and J. D. Park, "A 16.5-dBm *D*-band eight-way power amplifier utilizing cascaded transformers in 40-nm bulk CMOS," *IEEE Microwave and Wireless Technology Letters*, vol. 34, no. 8, pp. 1019-1022, Aug. 2024.

[3] S. Li, G. M. Rebeiz, "High efficiency *D*-band multiway power combined amplifiers with 17.5–19-dBm Psat and 14.2–12.1% peak PAE in 45-nm CMOS RFSOI," *IEEE Journal of Solid-State Circuits*, vol. 57, no. 5, pp. 1332-1343, May 2022.

[4] J. Zhang, Y. Wang, Y. Chen, J. Ren, and S. Ma, "A 124-to-152-GHz power amplifier exploiting Chebyshev-type two-section wideband and low-loss power-combining technique in 28-nm CMOS," *IEEE Transactions on Microwave Theory and Techniques*, vol. 71, no. 5, pp. 1852-1865, May 2023.

[5] M. Eleraky, T. Y. Huang, Y. Liu, and H. Wang, "Design and analysis of complex neutralization gain-boosting technique with low-loss power combining for efficient, linear D-band power amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 73, no. 1, pp. 195-205, Jan. 2025.