THE JOURNAL OF KOREAN INSTITUTE OF ELECTROMAGNETIC ENGINEERING AND SCIENCE. 2026 October; 37(10), 1011～1016.

https://doi.org/10.5515/KJKIEES.2026.37.10.1011
ISSN 1226-3133 (Print) · ISSN 2288-226X (Online)

기지국 전력 증폭기용 고전압 Buck Converter의 동작을 위한 Level Shifter 설계

Design of a Level Shifter for High-Voltage Buck Converters Driving Base Station Power Amplifiers

위성욱 · 박희성 · 이성민 · 이제헌 · 최익준 · 명주연* · 백지선

Sung-Uk We · Hee-Sung Park · Sung-Min Lee · Jeheon Lee · Ik-Jun Choi · Juyeon Myung* · Ji-Seon Paek

요 약

본 논문에서는 130 nm BCD 공정을 사용하여 5G 기지국용 GaN 전력 증폭기의 구동을 위한 high-voltage buck converter의 완전한 폐루프 동작에 필요한 low-to-high 및 high-to-low 고전압 레벨 시프터를 설계하였다. 제안한 회로는 과도 상태 동안 풀업을 강화하여 5～53 V의 넓은 입력 전압 범위에서도 안정적으로 동작함을 모든 코너 상황에서 검증하였다. 또한 부트스트랩 회로의 누수에도 강건하게 동작하며, 모든 코너 상황에서 15 ns 이하의 과도 응답 지연 시간을 달성하여 신뢰성을 확보하였다.

Abstract

This paper presents the design of low-to-high and high-to-low high-voltage level shifters in a 130-nm BCD process to enable full closed-loop operation of a high-voltage buck converter supplying a GaN power amplifier for 5G base stations. The proposed circuit enhanced the pull-up strength during transient states, and its stable operation over a wide input voltage range of 5～53 V was verified across all process corners. Furthermore, the proposed level shifter demonstrated a robust operation against bootstrap circuit leakage and secured high system reliability by achieving a propagation delay of less than 15 ns under all corner conditions.

Key words: Buck Converter, Closed-Loop, GaN Power Amplifier, High-Voltage, LDMOS

Ⅰ. 고전압 벅 컨버터에서 레벨 시프터의 필요성

통신 기지국 시스템은 광대역 신호 전송과 고속 데이터 처리를 위해 막대한 RF 출력 전력이 필요하다. 최근 5G 통신 기지국 송신단에서는 높은 전력 밀도와 넓은 대역폭을 감당하기 위해 GaN(질화갈륨) 기반 전력 증폭기가 표준으로 자리 잡고 있다. GaN 소자는 높은 전자 이동도와 큰 항복 전압을 바탕으로 고전압 동작이 가능하며, 작은 커패시턴스와 빠른 스위칭 속도를 제공하여 5G NR 대역의 신호 증폭에 유리하다. 하지만 기지국용 GaN PA

「이 연구는 부산대학교 기본연구지원사업(2년)에 의하여 연구되었음.」

부산대학교 전기전자공학부(School of Electrical and Electronics Engineering, Pusan National University)
*(주)NIK(NIK Co., Ltd)

· Manuscript received June 5, 2026 ; Revised July 5, 2026 ; Accepted July 18, 2026. (ID No. 20260605-052)

· Corresponding Author: Ji-Seon Paek (e-mail: js.paek@pusan.ac.kr)

ⓒ Copyright The Korean Institute of Electromagnetic Engineering and Science. This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/4.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

는 고전압 영역에서 동작하므로 동작을 위한 전원 회로는 매우 넓고, 높은 전압 스윙 범위를 가져야만 한다[1].

그림 1은 bootstrap gate driver가 적용된 NMOS high-side switch 기반 고전압 half-bridge buck converter이다. HV(고전압) 컨버터에서는 컨트롤러가 5 V의 LV(저전압)에서 작동하는 반면, 전력단의 high-side의 소스 노드는 0~48 V까지 고속으로 스위칭하는 플로팅 노드가 된다. 따라서 high-side NMOS 스위치를 온전히 구동하기 위해서는 저전압 제어 신호를 48~53 V의 고전압 도메인으로 매개하는 low-to-high 레벨 시프터가 필요하다. 또한 buck converter의 상·하단 파워 스위치의 dead-time을 만들어 동시 도통(shoot-through)을 원천 차단하려면 HV 도메인 드라이버의 최종단 정보를 피드백하여 LV 컨트롤러단으로 전달하는 high-to-low 레벨 시프터도 필요하다. 그러므로 스위칭 노드를 동기화하여 폐루프로 Buck converter를 제어하기 위해 그림 2와 같이 non-overlap 구조를 사용하여야 한다[2].

Buck converter에 구현된 부트스트랩 회로는, 고속 스위칭 시 발생하는 누설 전류, 전하 공유 손실로 인해 부트스트랩 커패시터가 목표 전압인 5 V로 온전히 충전되지 못

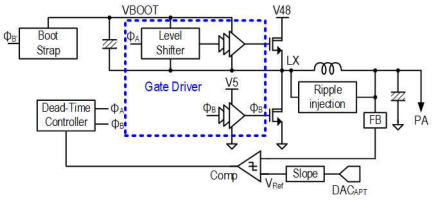


그림 1. 고전압 APT buck converter의 블록 다이어그램
Fig. 1. Block diagram of high voltage buck converter.

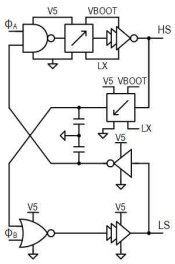


그림 2. 동시 도통을 방지하는 논오버랩 게이트 드라이버
Fig. 2. Non-overlap gate driver for shoot-through prevention.

하고, 4.5 V 부근까지 전압이 저하되는 상황이 발생한다. 이러한 부트스트랩 전압의 감소는 기존 레벨 시프터 내부 cross-coupled 래치의 구동 능력을 급격히 저하시켜 전파 지연(propagation delay)을 급증시키거나, 오동작을 유발하는 원인이다. 따라서 본 연구에서는 부트스트랩 전압이 4.5 V로 저하되는 상황 및 모든 공정 코너에서도 15 ns 이하의 고속 동작을 보장하는 레벨 시프터를 설계하였다. 이 양방향(bidirectional) 레벨 시프터 구조는 전압 저하 조건에서도 강건하게 동작하여, 논오버랩(non-overlap) 보호 회로의 완벽한 폐루프 제어를 가능하게 한다.

Ⅱ. 본 론

2-1 기존 고전압 레벨 시프터 검토

그림 3은 기존 고전압 레벨 시프터의 회로도이다. 기존 고전압 레벨 시프터에서 LDPMOS 캐스코드 트랜지스터는 플로팅 전압 공급 레일과 연결된 LV MOSFET을 보호한다. LDNMOS는 캐스코드 대신 풀다운 용도로 직접 사용하여 일부 면적을 절약한다. 두 개의 LV NMOS도 플로팅 회로에 추가되어, LDPMOS의 소스 전압이 VSSH보다 다이오드 강하 전압 이상 아래로 당겨지는 것을 방지한다. 기존 고전압 레벨 시프터는 LDMOS의 높은 게이트-드레인 기생 커패시턴스로 인해 스위칭 속도가 크게 저하되며, 레벨 시프터의 양쪽 브랜치 간 상당한 과도 응답 지연 차이가 발생한다.

기존 레벨 시프터는 다음의 과정을 통하여 과도 입력에 따른 결과가 도출된다.

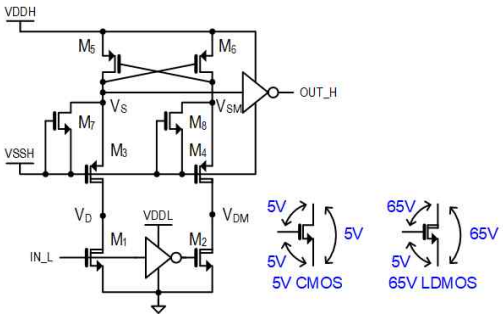


그림 3. 기존 고전압 레벨 시프터
Fig. 3. Conventional high voltage level shifter.

1. IN_L의 입력이 high가 되면, M_1의 게이트 커패시턴스는 충전, 인버터는 M_2의 게이트 커패시턴스는 방전된다.
1.1. M_1이 강하게 풀다운하여, V_D전압은 빠르게 떨어진다. 반대 브랜치는 M_2가 끊어져 V_{DM}에서 high impedance가 보이게 되며, 적은 전류가 흘러 노드 전압이 안정적으로 유지된다.
1.1.1. V_S는 cross-coupled 된 M_6이 켜지는 최소 과구동 전압인 $VDDH-|V_{THP}|$가 되기까지 V_D를 따라 전압이 빠르게 떨어진다.
1.1.1.1. V_{SM}이 V_S와 같은 전압이 되도록 충전된다.
1.1.1.1.1. V_{DM}은 큰 기생 커패시턴스가 보이는 동시에 작은 전류가 흘러 V_{SM}까지 충전될 때까지 매우 긴 지연이 걸린다.
1.1.1.1.1.1. 충전 이후 V_{DM}과 V_{SM}이 VDDH까지 같이 올라가게 되고, 반대쪽 M_5도 완전히 꺼진다.

즉, LDNMOS와 LDPMOS는 saturation 영역에서는 강하게 켜지므로 풀다운은 강해지지만, Cross-coupled 된 약한 LV PMOS를 통한 풀업은 느리다.

기존 구조에서 발생한 문제를 개선하기 위해 Clamping 및 Latching 구조가 적용된 고속 모드 레벨 시프터가 제안되었다[3]. 그러나 이 구조들은 LDPMOS의 풀다운 능력을 보장하기 위해 PMOS의 크기를 제한해야 하므로, 풀업 속도 저하를 피할 수 없는 트레이드오프(trade-off)를 겪게 된다.

이러한 한계를 극복하고자, 보조 PMOS를 추가하여 LDMOS의 기생 커패시턴스를 빠르게 충전시키고 전압 변화를 가속화하는 초고속 레벨 시프터가 제안되었다[3]. 이 회로는 전압이 상승하는 과도 순간에만 보조 소자를 도통시켜 속도를 높였으나, 초기 스타트업(start-up) 과정에서 양쪽 보조 풀업 경로가 동시에 켜져 한쪽으로 스위칭되지 않는 잠재적인 오류를 유발할 수 있다.

이를 보완하기 위해, 외부 제어 신호 대신 노드의 하강 에지(negative edge)를 센싱하여, 보조 PMOS의 게이트를 제어하는 새로운 구조가 발표되었다[4]. 이 구조는 에지 센싱 회로를 추가함으로써 속도 개선과 스타트업 오류를 해결하였으나, 센싱을 위해 수 ns 이상의 지연 시간이 요구될 경우, 면적이 큰 지연(delay) 회로를 사용해야 한다는 단점이 있다.

2-2 제안하는 고전압 레벨 시프터

그림 4는 제안하는 low-to-high 고전압 레벨 시프터의 회로도를 나타낸다. 입력 IN_L의 과도 상태 동안, V_{SM}으로 전류를 소싱하여 풀업 경로를 일시적으로 강화한다. LV PMOS M_9와 M_{10}은 각각 cross-coupled 된 M_5와 M_6에 병렬로 배치되어 과도 상태에서의 풀업 동작을 보조한다. 이때 보조 풀업 트랜지스터는 M_5와 M_6과 비슷한 크기로 설계하여 오동작을 최소화했다. 풀업 경로에서 약하게 켜진 M_8과 M_6을 통해 V_{SM}이 상승하기를 기다리는 대신, M_{10}을 짧은 시간 동안 도통시켜 풀업 속도를 증가시켰다. 또한, 회로의 스타트업 과정에서 초기값 문제를 해결하기 위해 기존의 NAND 래치 구조를 NOR 래치 구조로 교체하였고, 외부 신호(fast) 없이 자체적인 스타트업이 가능하도록 개선하였다. 더불어 양쪽 Sense Inv의 사이즈를 서로 비대칭으로 설계하여, 전원 인가 시 특정 브랜치의 상태가 우선적으로 결정되도록 유도했다. 마지막으로 전원 인가 시 인덕턴스에 의해 발생하는 전압 링잉 및 노이즈로부터 소자의 얇은 게이트 산화막 파괴를 방지하기 위해 게이트 입력단에 직렬 저항을 추가하여 회로의 전기적 신뢰성을 향상시켰다.

그림 5는 폐루프 논오버랩 제어를 위한 high-to-low 레벨 시프터의 회로도이다. Low-to-high와 같은 방법으로 설계되었으나, LDNMOS가 clamping 인버터 래치와 경합을

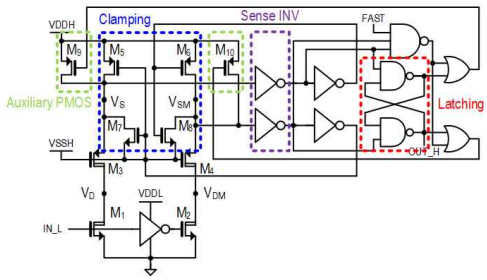


그림 4. 제안하는 low-to-high 고전압 레벨 시프터
Fig. 4. Schematic of proposed high voltage low-to-high level shifter.

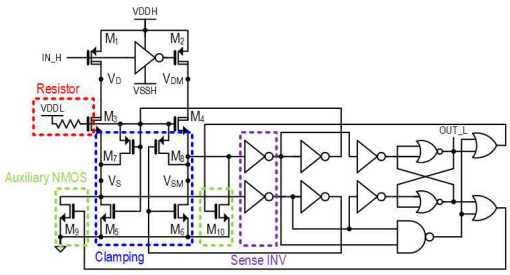


그림 5. 제안하는 high-to-low 고전압 레벨 시프터
Fig. 5. Schematic of proposed high voltage high-to-low level shifter.

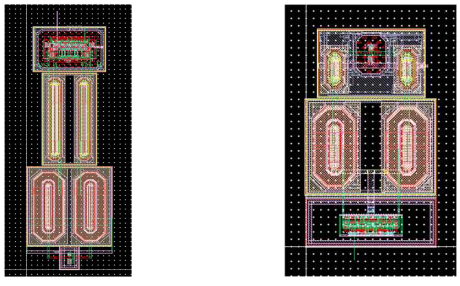
해야 하므로, 초기에 소스 전압을 VDDL까지 풀업시킬 구동력이 부족하다. 이를 극복하기 위해 래치 인버터의 PMOS를 NMOS보다 작게 설계하여 래치가 쉽게 상태를 천이할 수 있도록 하였다. 또한, Sense Inv가 낮은 소스 노드의 전압 스윙을 감지할 수 있게 인버터의 문턱전압을 $VSSL+|V_{thn}|$수준으로 낮추고자, NMOS를 크게 설계하였다.

그림 6은 레벨 시프터의 레이아웃이다.

Ⅲ. 시뮬레이션 결과

High-voltage level shifter는 130 nm BCD 공정을 사용하여 설계되었다. 그림 6의 레이아웃을 토대로 post-layout simulation으로 검증하였고, 그 결과를 그림 7 및 그림 8에 나타내었다.

그림 7은 48 V 고전압 입력 전원 환경에서 부트스트랩



(a) (b)

그림 6. (a) Low-to-high 레벨 시프터의 레이아웃, (b) high-to-low 레벨 시프터의 레이아웃
Fig. 6. (a) Layout of low-to-high level shifter, (b) layout of high-to-low level shifter.

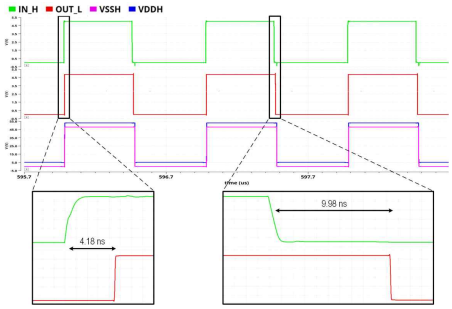


그림 7. 48 V low-to-high 레벨 시프터의 과도 응답 전압 파형
Fig. 7. Voltage waveforms of transient of the 48 V low-to-high level shifter.

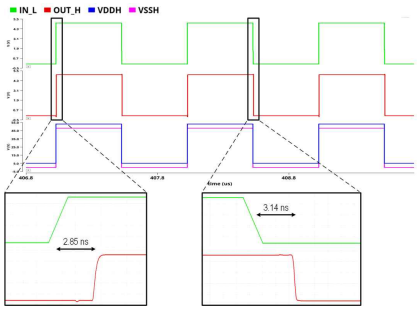


그림 8. 48 V high-to-low 레벨 시프터의 과도 응답 전압 파형
Fig. 8. Voltage waveforms of transient of the 48 V high-to-low level shifter.

회로가 적용된 low-to-high 레벨 시프터의 과도 응답 파형이다. 48 V 플로팅 도메인의 스위칭 환경에서도 출력 파형이 0~5 V의 온전한 출력을 보여준다. 과도 상승 및 하강의 전파 지연 시간은 각각 4.18, 9.98 ns로 빠른 응답 속도를 달성하였다.

그림 8은 동일한 48 V 스위칭 조건에서 high-to-low 레벨 시프터의 과도 응답 파형이다. 과도 상승 및 하강의 전파 지연 시간은 각각 2.85, 3.14 ns로 빠른 응답 속도를 달성하였다.

표 1은 이상적인 5 V 부트스트랩 전압 조건에서 제안된 레벨 시프터의 코너 시뮬레이션 결과이다.

표 2는 48 V 스위칭 동작 시 발생하는 전하 공유 손실 및 누설 전류로 인해 부트스트랩 커패시터가 4.5 V로 충전된 조건에서의 코너 시뮬레이션 결과이다.

표 1 및 표 2의 결과를 통해 제안된 회로가 극단적인

표 1. 코너 시뮬레이션 결과(부트스트랩 전압=5 V)
Table 1. Corner simulation results (bootstrap voltage=5 V).

5 V	Low-to-high		High-to-low	
delay	48～53		48～53	
(ns)	Rising	Falling	Rising	Falling
tt	4.18	9.98	2.85	3.14
ss	7.44	13.91	3.20	4.36
sf	4.27	9.45	3.38	3.19
fs	7.98	11.92	2.36	3.44
ff	3.67	7.94	2.54	2.50

표 2. 코너 시뮬레이션 결과(부트스트랩 전압=4.5 V)
Table 2. Corner simulation results (bootstrap voltage=4.5 V).

4.5 V	Low-to-high		High-to-low	
delay	48～53		48～53	
(ns)	Rising	Falling	Rising	Falling
tt	6.11	11.05	2.65	3.50
ss	9.47	14.04	3.10	5.22
sf	6.31	10.26	3.18	3.42
fs	9.98	11.99	2.32	4.26
ff	4.86	8.87	2.40	2.68

공정 및 전압 변동 환경에서도 15 ns 이하의 고속 동작을 보장하며, buck의 폐루프 제어가 가능함을 입증하였다.

Low-to-high의 falling delay가 상대적으로 긴 원인은, 고전압 스위칭 시 발생하는 dV/dt 노이즈로 인한 오동작을 방지하고자 Sense Inv의 사이즈를 의도적으로 편향 설계하여, 과도 상승 과정을 유리하게 만들어 노이즈 마진을 확보하는 대신, 하강의 지연 시간이 늘어나는 트레이드오프이다. 또한, 고전압 도메인의 구동 전압이 4.5 V로 감소하였음에도 high-to-low의 응답 속도가 빨라진 원인은, 저전압 도메인의 구동 전압은 여전히 5 V로 유지되는 상태에서 입력 전압의 스윙 폭만 감소하여, 임계값에 도달하는 시간이 단축되었기 때문이다.

표 3은 연구된 레벨 시프터의 성능을 비교하였다.

제안된 회로가 기존 단방향 구조보다 지연 시간이 긴 이유는, 본 회로가 4.5 V부터 최대 53 V에 이르는 매우 넓은 VDDH 동작 범위에서 안정성을 보장하기 위함이다. 최고 전압에서도 오동작을 막고자 고전압 트랜지스터의 폭(W)을 키웠으며, 이에 따라 증가한 기생 커패시턴스가 전파 지연을 늘리는 결과로 작용하였다.

표 3. 기존 연구와의 성능 비교
Table 3. Comparison with previous works.

Ref	[2]	[3]	[4]	This work	
Process (nm)	350 BCD	350 BCD	180 BCD	130 BCD	
Operating voltage (V)	41	10	40	4.5～53	
Structure	Bi-direction	Low-to-high	Low-to-high	Bi-direction	
Delay (ns)	3.4	2.4	2	3.5	<15*
Bootstrap compensate	Require**	N/A	N/A	Not require	

*:worst case (all corner and bootstrap voltage=4.5 V).
**:Active BST balancing (ABB).

Ⅳ. 결 론

본 논문에서는 130 nm BCD 공정을 사용하여 기지국용 GaN 전력 증폭기 구동을 위한 벅 컨버터의 폐루프 제어용 양방향 고전압 레벨 시프터를 설계하였다. 제안된 회로는 부트스트랩 전압 저하 환경에서도 안정적인 스위칭을 보장한다. 또한, 전 코너 시뮬레이션을 통해 공정 및 환경 변화에 대한 강건성을 검증하였고, 15 ns 이하의 전파 지연 시간을 달성하였다. 이를 통해 논오버랩 제어를 구현함으로써, 향후 GaN PA 전원 회로 시스템의 신뢰성 향상에 기여할 것으로 기대된다.

References

[1] S. J. You, J. Kim, M. J. Kim, G. Choi, S. J. Park, and S. M. Park, et al., "A 30V APT buck converter to improve efficiency of GaN power amplifiers in base-station applications," *Journal of the Institute of Electronics and Information Engineers*, vol. 63, no. 4, pp. 38-44, Apr. 2026.

[2] X. Ke, D. Yan, J. Sankman, M. K. Song, and D. Brian Ma, "A 3-to-40-V automotive-use GaN driver with active bootstrap balancing and VSW dual-edge dead-time modulation techniques," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 2, pp. 521-530, Feb. 2021.

[3] Y. Moghe, T. Lehmann, and T. Piessens, "Nanosecond delay floating high voltage level shifters in a 0.35 μm

HV-CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 2, pp. 485-497, Feb. 2011.

[4] A. Deo, A. Maity, and A. Patra, "A high voltage level shifter for automotive buck converter with a fast transient response," in *Proceedings of the 2022 35th International Conference on VLSI Design and 2022 21st International Conference on Embedded Systems(VLSID)*, Bangalore, Feb. 2022, pp. 257-262.

위 성 욱 [부산대학교/학사과정]

https://orcid.org/0009-0001-0788-5185



2018년 3월～현재: 부산대학교 전기전자공학부 전자공학전공 학사과정

[주 관심분야] PMIC/아날로그 집적 회로 및 시스템

박 희 성 [부산대학교/학사과정]

https://orcid.org/0009-0009-8477-468X



2021년 3월～현재: 부산대학교 전기전자공학부 전자공학전공 학사과정

[주 관심분야] RF/아날로그 집적 회로 및 시스템

이 성 민 [부산대학교/석사과정]

https://orcid.org/0009-0004-5470-8650



2026년 2월: 동아대학교 전자공학과 (공학사)

2026년 3월～현재: 부산대학교 전기전자공학부 석사과정

[주 관심분야] RF/아날로그 집적 회로 및 시스템

이 제 헌 [부산대학교/석·박사통합과정]

https://orcid.org/0009-0008-6236-2249



2023년 2월: 경북대학교 전기공학과 (공학사)

2024년 3월～현재: 부산대학교 전기전자공학부 석·박사통합과정

[주 관심분야] RF/아날로그 집적 회로 및 시스템

최 익 준 [부산대학교/석·박사통합과정]

https://orcid.org/0009-0007-1725-5172



2025년 2월: 부산대학교 전기전자공학부 전기공학전공 (공학사)

2025년 3월～현재: 부산대학교 전기전자공학부 석·박사통합과정

[주 관심분야] PMIC/아날로그 집적 회로 및 시스템

명 주 연 [(주)NIK/AE]

https://orcid.org/0009-0005-9246-2281



2019년 2월: 부산대학교 화공생명공학부 (공학사)

2026년 3월: 부산대학교 전기전자공학부 (공학석사)

2025년 10월～현재: (주)NIK AE

[주 관심분야] PMIC/아날로그 집적 회로 및 시스템

백 지 선 [부산대학교/부교수]

https://orcid.org/0000-0002-8055-7970



2004년 2월: 한국과학기술원 전자공학과 (공학사)

2006년 8월: 한국과학기술원 전자공학과 (공학석사)

2011년 2월: 한국과학기술원 전자공학과 (공학박사)

2011년 3월～2022년 8월: 삼성전자 s.LSI Power 그룹장

2019년 3월～2024년 3월: ISSCC TPC 멤버

2022년 9월～현재: 부산대학교 전기전자공학부 부교수

[주 관심분야] RF 및 PMIC 집적 회로 및 시스템 설계