THE JOURNAL OF KOREAN INSTITUTE OF ELECTROMAGNETIC ENGINEERING AND SCIENCE. 2026 October; 37(10), 1002～1010.

https://doi.org/10.5515/KJKIEES.2026.37.10.1002
ISSN 1226-3133 (Print) · ISSN 2288-226X (Online)

간소화된 출력 매칭 네트워크를 적용한 1.7～2.5 GHz 광대역 고효율 도허티 전력 증폭기 설계

A 1.7～2.5 GHz Broadband High-Efficiency Doherty Power Amplifier Using a Simplified Output Matching Network

김동혁 · 주윤형* · 이재경* · 김태우* · 이윤정* · 양영구*

Dong-hyeok Kim · Yun-hyung Ju* · Jae-Gyeong Lee* · Tae-woo Kim* · Yoon-jung Lee* · Youngoo Yang*

요 약

본 논문에서는 간소화된 출력 매칭 네트워크(OMN, output matching network)를 적용한 1.7～2.5 GHz 광대역 고효율 도허티 전력 증폭기(DPA, Doherty power amplifier)를 제안한다. 제안된 OMN은 기존의 π-네트워크 기반의 부하 네트워크 구조를 변환하여 구현되었으며, 부하 변조 특성을 유지하면서도 소자 수를 감소시켜 회로 복잡도를 효과적으로 줄인다. 설계된 DPA는 1.7～2.5 GHz 대역에서 동작하며 38.8 %의 대역폭(FBW, fractional bandwidth)을 달성하였다. CW 신호 측정 결과, 최대 출력 전력 40～42.7 dBm에서 55.1～69.7 %의 드레인 효율(DE, drain efficiency)을 얻었으며, 출력 백오프(output back-off, OBO) 영역에서도 40.6～68.2 %의 DE를 유지하였다. 또한, 100 MHz 대역폭의 5G NR 신호 측정 결과, 32.8～35.1 dBm의 출력 전력과 48.7～62.5 %의 DE를 달성하였으며, 인접 채널 누설비(ACLR, adjacent channel leakage ratio)는 −32.4～−20.7 dBc의 성능을 보였다. 제안된 구조는 간소화된 OMN을 통해 회로 복잡도를 감소시키면서도 광대역 및 고효율 특성을 동시에 달성할 수 있음을 확인하였다.

Abstract

This study presents a 1.7～2.5 GHz broadband high-efficiency Doherty power amplifier (DPA) employing a simplified output matching network (OMN). The proposed OMN is implemented by transforming a conventional π-network-based load network, which effectively reduces circuit complexity by decreasing the number of elements while preserving load modulation characteristics. The designed DPA operates over the 1.7～2.5 GHz frequency range, achieving a fractional bandwidth (FBW) of 38.8 %. Under continuous wave (CW) excitation, the fabricated DPA delivers a maximum output power of 40～42.7 dBm with a drain efficiency (DE) of 55.1～69.7 %, while maintaining 40.6～68.2 % DE in the output back-off (OBO) region. Furthermore, under a 5G NR signal with 100 MHz bandwidth, the DPA achieves an output power of 32.8～35.1 dBm with a DE of 48.7～62.5 %, and an adjacent channel leakage ratio (ACLR) ranging from −32.4 to −20.7 dBc. The proposed structure demonstrates that both broadband operation and high efficiency can be achieved while reducing the circuit complexity through OMN simplification.

Key words: Simplified Load Network, Doherty Power Amplifier, Broadband, 5G NR

「이 연구는 삼성전자의 지원을 받아 수행된 연구임.」

성균관대학교 DMC공학과(Department of Digital Media and Communication Engineering, Sungkyunkwan University)
*성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

· Manuscript received April 22, 2026 ; Revised May 12, 2026 ; Accepted July 20, 2026. (ID No. 20260422-039)

· Corresponding Author: Youngoo Yang (e-mail: yang09@skku.edu)

 ⓒ Copyright The Korean Institute of Electromagnetic Engineering and Science. This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/4.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Ⅰ. 서 론

더 넓은 주파수 대역의 활용과 기존보다 더 높은 데이터 전송률을 요구하는 이동통신 기술은 5G를 넘어 차세대 6G 통신으로 발전하고 있다. 특히, 4G 및 5G 시스템에서는 OFDM(orthogonal frequency division multiplexing) 기반의 변조 방식을 채택하여, 다수의 부반송파를 서로 직교하도록 배치함으로써 스펙트럼 효율을 향상시키고 고속 데이터 전송을 가능하게 한다. 그러나 OFDM 신호는 다수의 부반송파가 동시에 합해지는 특성으로 인해 높은 피크 대 평균 전력비(peak-to-average power ratio)를 가지게 된다. 높은 PAPR은 전력 증폭기(PA, power amplifier)가 최대 효율을 가지는 출력 지점이 아닌 그보다 낮은 효율을 가지는 OBO 영역에서 동작하게 하는 원인이 되며, 이는 PA 전력 효율 저하로 이어지는 주요 원인이 된다.

이러한 문제를 해결하기 위한 대표적인 구조로 두 개의 증폭기를 이용하는 DPA가 제안되었다. DPA는 부하 변조(load modulation)를 통해 출력 전력이 감소하는 OBO 영역에서도 높은 효율을 유지할 수 있도록 설계된 구조로, 단일 증폭기에 비해 우수한 효율 특성을 가진다. 특히, 기본 구조를 가지는 conventional DPA는 이론적으로 약 6 dB의 OBO 영역에서 높은 효율을 달성할 수 있으며[1], 이후 이러한 한계를 극복하기 위해 OBO 확장 및 효율 개선을 위한 다양한 구조적 기법들이 제안되어 왔다. 대표적으로 CCL(complex combining load), OCC(out-phased current combining), VS(virtual stub) 기반의 부하 네트워크(LN, load network) 설계 기법이 제시되었으며[2]-[4], 이러한 기법들을 통합한 구조 또한 제시되었다[5],[6]. 특히, 참고문헌 [5]에서는 출력 매칭 네트워크(OMN)를 구성하는 소자를 4개 소자로 간소화한 구조로 제시되었으며, 참고문헌 [6]에서는 carrier 증폭기에 연결된 부하 매칭 네트워크(LN_C)가 1개 소자, peaking 증폭기에 연결된 부하 매칭 네트워크(LN_P)가 2개 소자, 총 3개 소자로 OMN을 구현한 구조로 제안되었다.

본 논문에서는 참고문헌 [6]에서 제안된 π-to-TF 변환 기반의 간소화된 OMN 구조를 기반으로, LTE 및 5G 이동통신 시스템에서 널리 사용되는 대역인 1.7~2.5 GHz에 적용 가능한 광대역 DPA를 설계하고 성능을 검증하였다. 기존 참고문헌 [6] 구조를 1.7~2.5 GHz 대역에 적용하였으며, CW 및 100 MHz 대역폭의 5G NR 신호를 이용한 측정을 통해 광대역 동작 특성과 최대 8 dB OBO 영역에서의 성능을 검증하였다.

Ⅱ. 전력 증폭기 설계

2-1 부하 네트워크를 3개 소자로 간소화한 DPA 설계

그림 1은 carrier 및 peaking 증폭기를 구성하는 트랜지스터를 이상적인 전류원으로 모델링하고, 각 트랜지스터의 기생 성분을 C-L-C 형태의 π-네트워크로 표현한 등가회로를 나타낸다. 또한, LN_C와 LN_P는 각각 π-네트워크 형태로 구성된 OMN으로 도식화하였다. 여기서, jX_1~jX_3는 LN_C를 구성하는 리액턴스 성분이며, jX_4~jX_6는 LN_P를 구성하는 리액턴스 성분을 나타낸다. Z_L은 두 OMN이 결합되는 지점에서 출력단을 바라본 부하 임피던스를 의미한다.

부하 네트워크를 간소화하는 과정은 그림 1의 구조로부터 시작되며, 그 절차는 다음과 같다.

1) Carrier 및 peaking OMN에 포함된 jX_3와 jX_6를 그림 2(a)와 같이 결합 지점 (combining junction)과 Z_L 사이로 이동시킨다.
2) OMN의 π-to-TF 변환을 위해 carrier OMN과 결합 지점 사이에 병렬 리액턴스 jX_{add}를 추가한다. 이때 jX_{add}는 $jX_1 + jX_2 + jX_{add}$=0을 만족하도록 정의하며, 이는 π-to-TF 변환이 가능하도록 한다. 추가된 리액턴스를 상쇄하기 위해 결합 지점과 Z_L

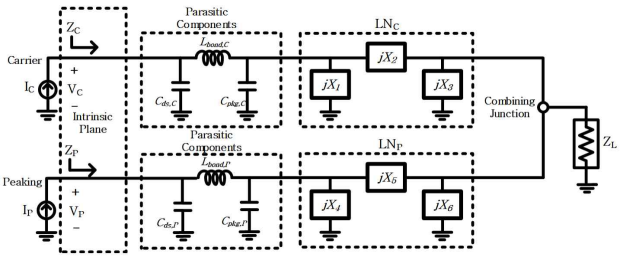


그림 1. 이상적인 전류원으로 모델링된 DPA의 부하 네트워크
Fig. 1. Load network of the DPA modeled using ideal current sources.

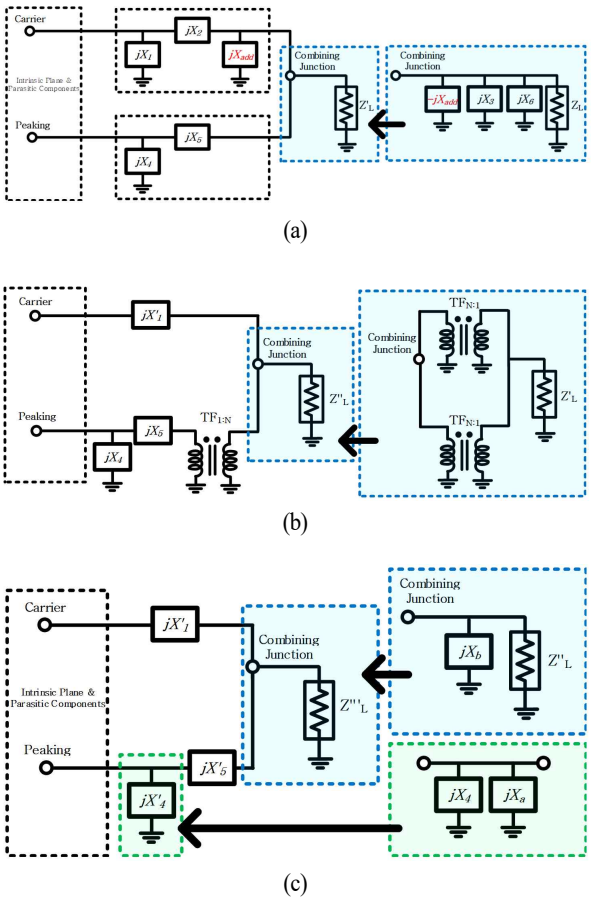


그림 2. (a) 결합 지점의 이동과 π-to-TF 변환을 위한 jX_{add}와 $-jX_{add}$를 추가한 OMN, (b) π-to-TF 변환과 OMN 간소화를 위한 TF를 추가한 OMN, (c) TF-to-π 변환과 Peaking과 부하 임피던스를 구성하는 리액턴스들을 등가화하여 단순화한 OMN

Fig. 2. (a) OMN after relocating the combining junction and introducing elements jX_{add} and $-jX_{add}$ for π-to-TF transformation, (b) OMN after introducing transformers for π-to-TF transformation and network simplification, (c) Simplified OMN obtained through TF-to-π transformation and equivalent combination of the peaking-path and load reactances.

사이에 $-jX_{add}$를 병렬로 삽입한다.

3) 병렬로 연결된 Z_L, $-jX_{add}$, jX_3, jX_6를 등가 부하 임피던스인 $Z_L^{'}$로 변환한다.

4) jX_1, jX_2, jX_{add}를 참고문헌 [6]의 방법에 따라 권선비 N:1을 가지는 무손실 트랜스포머로 그림 2(b)와 같이 변환한다.

5) Peaking OMN에서 1:N, N:1의 권선비를 가지는 무손실 트랜스포머를 삽입하고 그림 2(b)와 같이 N:1의 권선비를 가지는 무손실 트랜스포머 2개와 $Z_L^{'}$을 $Z_L^{''}$로 등가 변환한다.

6) Peaking OMN에 남아있는 1:N의 권선비를 가지는 무손실 트랜스포머를 TF-to-π 변환을 통해 jX_a, $jX_5^{'}$, jX_b로 구성된 π-네트워크로 변환한다.

7) jX_4와 jX_a는 $jX_4^{'}$로, jX_b와 $Z_L^{''}$을 각각 $jX_4^{'}$와 $Z_L^{'''}$로 등가화하여 구조를 단순화한다.

8) 최종적으로 carrier OMN은 단일 리액턴스 $jX_1^{'}$, peaking OMN은 $jX_4^{'}$와 $jX_5^{'}$로 구성되어 총 3개의 소자로 그림 2(c)와 같이 간소화된다.

Carrier와 peaking 증폭기에 동일한 드레인 바이어스 전압이 인가되는 경우, DPA의 OBO는 식 (1)과 같이 나타내어질 수 있다. α는 carrier와 peaking 증폭기의 최대 출력 전력비로 정의되며, 두 증폭기의 최적 부하 임피던스의 비와 동일하다. 또한, β는 carrier 증폭기의 부하 변조 비로 정의되며, 최대 출력 상태와 낮은 출력 상태에서의 부하 임피던스 비로 정의된다.

$$OBO = 10\log[\beta(\alpha+1)]. \text{ (dB)} \tag{1}$$

$Z_{C,peak}$와 $Z_{P,peak}$는 각각 고출력 영역에서의 carrier와 peaking 증폭기의 부하 임피던스를 의미하며, $Z_{C,low}$는 저출력 영역에서의 carrier 증폭기 부하 임피던스를 나타낸다. 이러한 임피던스 값은 load-pull 시뮬레이션을 통해 도출되었으며, OBO 8 dB를 달성하기 위한 주요 설계 파라미터는 표 1에 정리하였다.

$$\alpha = \frac{P_{P,peak}}{P_{C,peak}} = \frac{Z_{C,peak}}{Z_{P,peak}}, \tag{2}$$

$$\beta = \frac{P_{C,peak}}{P_{C,low}} = \frac{Z_{C,low}}{Z_{C,peak}}. \tag{3}$$

표 1. 각 트랜지스터의 기생성분 및 OBO 8 dB 확장을 위한 parameter

Table 1. Extracted parasitic components of each transistor and key design parameters for 8 dB OBO extension.

$C_{C,ds}$	$L_{C,bond}$	$C_{C,pkg}$	$Z_{C,peak}$	$Z_{P,peak}$
1.1 pF	0.4 nH	0.2 pF	35 Ω	25 Ω
$C_{P,ds}$	$L_{P,bond}$	$C_{P,pkg}$	α	β
1.65 pF	0.4 nH	0.2 pF	1.4	2.65

2-2 부하 네트워크 구조 비교 및 선정

3개 소자로 간소화된 OMN의 구조는 참고문헌 [6]에서 정의된 sign parameter u_1, u_2의 조합에 따라 총 4가지 형태로 나타낼 수 있다. 각 리액턴스 성분은 설계 중심 주파수 2.1 GHz에서 등가 인덕터 또는 커패시터로 구현될 수 있으며, 그림 3은 각 구조를 lumped 소자로 구현한 OMN을 나타낸다. 그림 4는 4가지 lumped 소자로 구현된 OMN 구조에 대해 1.7~2.5 GHz 대역에서 $Z_{C,peak}$, $Z_{C,low}$, $Z_{P,peak}$를 시뮬레이션하여 그 궤적들을 스미스 차트에 도시한 결과이다. 여기서 1 dB power contour는 최

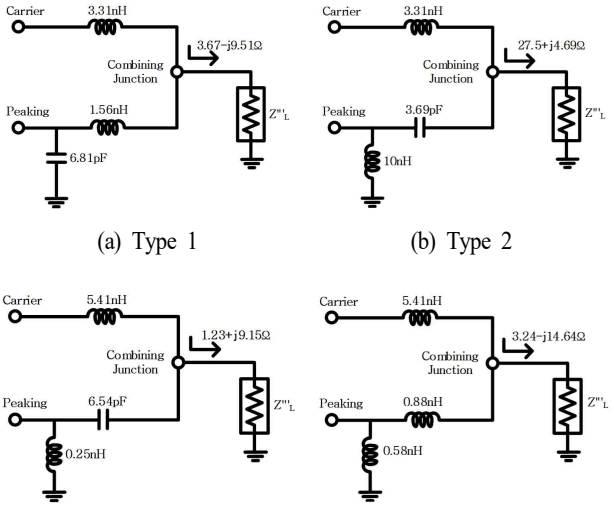


그림 3. u_1, u_2의 조합에 따라 총 4가지 형태로 나타나는 lumped OMN 구조

Fig. 3. Lumped OMN topologies categorized into four configurations based on the combinations of u_1 and u_2.

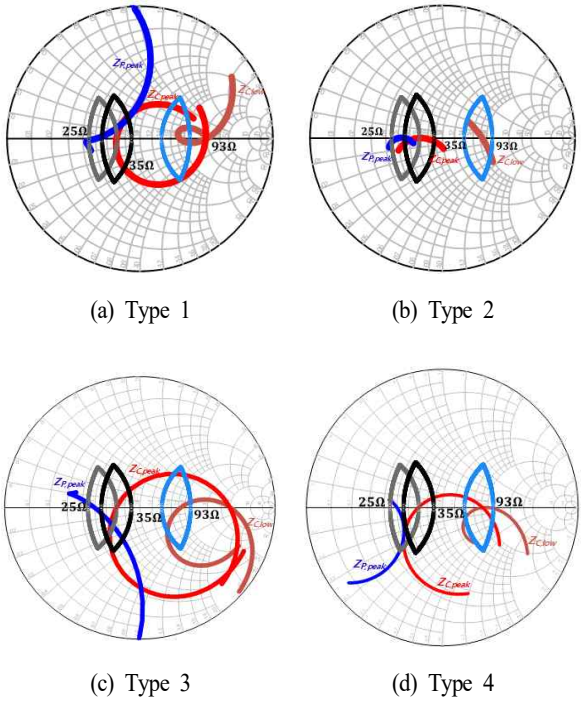


그림 4. 1.7~2.5 GHz 대역에서 type 1~4로 적용된 OMN의 $Z_{C,peak}$, $Z_{C,low}$, $Z_{P,peak}$의 궤적

Fig. 4. Smith chart trajectories of $Z_{C,peak}$, $Z_{C,low}$, $Z_{P,peak}$ for the OMNs (types 1~4) over the 1.7~2.5 GHz band.

대 출력 전력 대비 출력 전력이 1 dB 감소하는 부하 임피던스 경계를 의미한다. $Z_{C,peak}$는 검정색 실선, $Z_{C,low}$는 하늘색 실선, $Z_{P,peak}$는 회색 실선으로 표시하였다. 각 구조의 FBW는 1 dB power contour를 기준으로 식 (4)에 의해 계산되었으며, 그 결과는 표 2에 정리하였다.

$$FBW(\%) = \frac{f_{\max} - f_{\min}}{\sqrt{f_{\max} f_{\min}}} \tag{4}$$

Type 2의 광대역 특성은 그림 4의 1 dB power contour

표 2. Lumped 소자로 구현한 4가지 OMN 구조별 FBW 비교(%)

Table 2. FBW (%) comparison of four lumped-element OMN structures.

Type 1	Type 2	Type 3	Type 4
7.6	38.8	2.9	7.2

결과로부터 정량적으로도 확인할 수 있다. 각 type에 대해 carrier의 저출력 영역, carrier 최대 출력 영역, peaking 최대 출력 영역의 1 dB power contour가 동시에 만족되는 주파수 범위를 비교하면, type 2에서 공통 영역이 가장 넓게 형성된다. 이는 type 2의 carrier 및 peaking 경로가 각각 low pass 및 high pass 특성을 가지면서, 주파수 변화에 따른 각 동작 조건의 1 dB power contour에 따른 임피던스 영역이 가장 크게 중첩되기 때문이다. 따라서 type 2는 네 가지 구조 중 부하 변조 조건을 가장 넓은 주파수 범위에서 유지할 수 있으며, 결과적으로 38.8 %의 가장 넓은 FBW를 가지며 본 논문에서는 해당 구조를 DPA의 OMN 구조로 선정하였다.

결합 지점 이후에는 포스트 매칭 네트워크 PMN(post matching network)을 설계하였다. 결합 지점에서 바라본 임피던스 Z_{ML}=27.5+j4.69 Ω은 PMN을 통해 50 Ω으로 정합되도록 설계하였다. PMN은 다단 구조로 구성되었으며, 인덕터는 등가 전송선로로 변환하여 구현하였다.

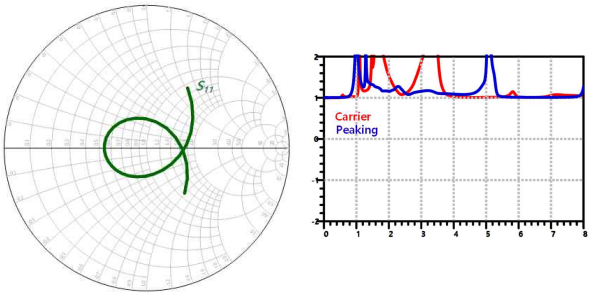
2-3 입력 매칭 네트워크 및 전력 분배기 설계

각 트랜지스터의 입력 매칭 네트워크(IMN, input matching network)는 intrinsic plane에서의 최적 부하 조건을 만족하도록 설계되었다. Carrier와 peaking 입력단 간 위상차는 109.37°로 설정되었으며, 광대역 특성을 확보하기 위해 다단 매칭 구조를 적용하였다. 그림 5(a)는 입력 포트에서 바라본 carrier 증폭기 입력 임피던스 궤적을 스미스 차트에 도식한 것이다. 또한 각 IMN에 안정성 향상을 위해 RC 병렬 회로가 추가되었고, 게이트 바이어스 경로에 10 Ω 저항을 삽입하였다. 그림 5(b)는 0~8 GHz 대역에서 μ-factor가 1 이상으로 나타나 안정적인 동작임을 보여준다. IMN은 각 증폭기의 최적 입력 임피던스를 만족하도록 설계되었으며, carrier와 peaking 증폭기의 위상 관계를 동시에 고려하여 최적화하였다.

입력 신호의 분배를 위해 Wilkinson 전력 분배기를 설계하였으며, 이를 통해 단일 RF 입력 신호를 carrier 및 peaking 증폭기로 분배하였다. 또한, Wilkinson 전력 분배기와 peaking 증폭기의 IMN 사이에 설정된 위상차를 구현하기 위하여 offset line이 추가되었다. Offset line의 길이는 설계 대역인 1.7~2.5 GHz에서 carrier와 peaking 사이의 요구되는 위상 조건을 만족하도록 설계되었다.

Ⅲ. 제작 및 측정 결과

그림 6은 설계한 DPA의 전체 회로도이다. Carrier 증폭기는 Cree 사의 CGH40006P, peaking 증폭기는 CG2H40010F를 사용하였다. 레이아웃에서 Wilkinson 전력 분배기와 IMN 사이를 연결하기 위한 전송선로가 필요하여 추가되었고, carrier와 peaking 증폭기로 연결되는 전송선로 길이가 같게 설계되어 기존에 설계한 위상차를 변화시키지 않게 한다. 그림 7은 제작된 도허티 전력 증폭기 사진이다. PCB는 Rogers 사의



(a) (b)

그림 5. (a) Carrier 증폭기의 입력단에서 본 입력 임피던스, (b) carrier 및 peaking 증폭기의 μ-factor

Fig. 5. (a) Input impedance at the carrier amplifier input, (b) stability (μ-factor) of the carrier and peaking amplifiers.

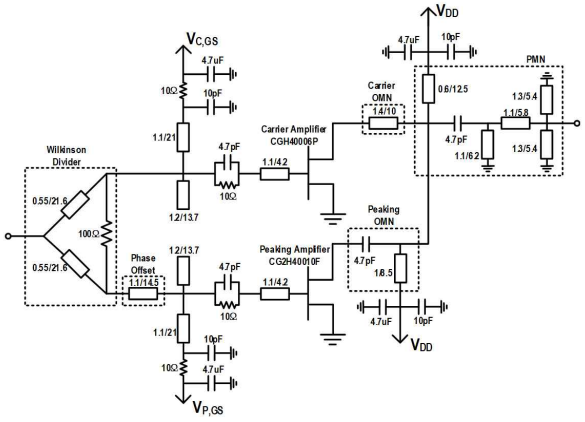


그림 6. 설계된 도허티 전력 증폭기 전체 회로도

Fig. 6. Schematic of the designed DPA.

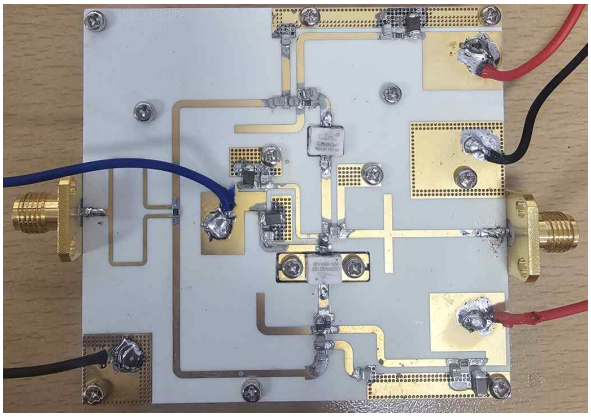


그림 7. 제작된 도허티 전력 증폭기
Fig. 7. Photograph of the fabricated DPA.

RO4350B 기판을 사용하였고 전체 PCB의 크기는 6.5×6.0 cm^2, 두께는 20 mil, 유전율은 3.78이다. Carrier 증폭기는 class AB로 동작하고, $V_{C,GS}$는 −2.95 V, 대기 전류는 55 mA이며 peaking 증폭기의 $V_{P,GS}$는 −5.1 V이다.

그림 8은 설계된 DPA의 시뮬레이션 결과 및 측정된 *S*-파라미터 성능을 나타낸다. 시뮬레이션에 따른 S_{21}은 12~15.6 dB, S_{11}은 −16.1~−7 dB가 측정되었다. 소신호 조건에서 측정된 S_{21}은 10.3~14.2 dB, S_{11}은 −20.3~−8.4 dB가 측정되었다.

그림 9는 1.7~2.5 GHz 대역에서 CW 신호를 사용하여 측정된 power gain과 DE를 나타낸다. 최대 출력 전력 40~42.7 dBm에서 55.1~69.7 %의 DE를 얻었으며, OBO 영역에서 40.6~68.2 %의 DE를 얻었다.

그림 10은 1.7~2.5 GHz 대역에서 5G NR 100 MHz 신호를 사용하여 측정된 power gain, DE, ACLR을 나타낸 것이다. 해당 주파수 대역에서 최대 출력 전력 32.8~35.1 dBm과 48.7~62.5 %의 DE가 측정되었다. 또한, −32.4~−20.7 dBc의 ACLR 성능을 얻었다.

표 3은 설계된 DPA와 이전 관련 연구 결과들을 비교한 것이다. 여기서 본 논문의 ACLR 결과는 DPD를 적용하지 않은 상태에서 측정된 값이며, 비교 대상 논문들 중 다수는 DPD 적용 후의 ACLR을 보고한 결과이다. 따라서 ACLR 수치에 대한 직접적인 비교에는 이러한 측정 조건의 차이가 있음을 고려할 필요가 있다.

한편, 제안된 DPA는 3개 소자로 간소화된 OMN 구조

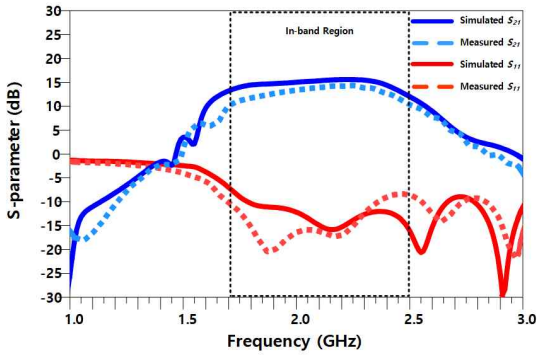
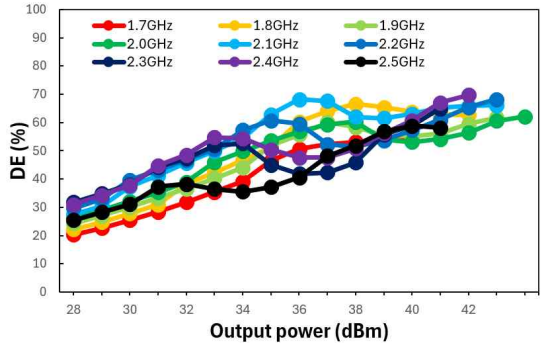
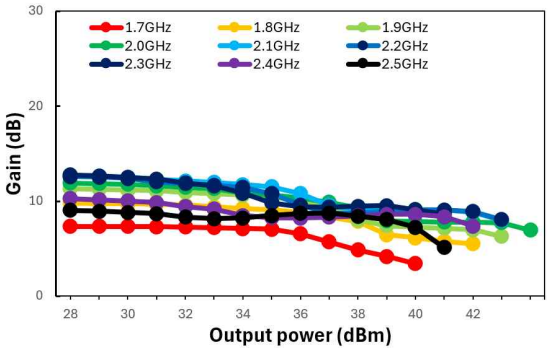


그림 8. 설계된 DPA의 *S*-파라미터 시뮬레이션 결과 및 측정 성능 결과
Fig. 8. Simulation results of *S*-parameters and measured performance of the designed DPA.

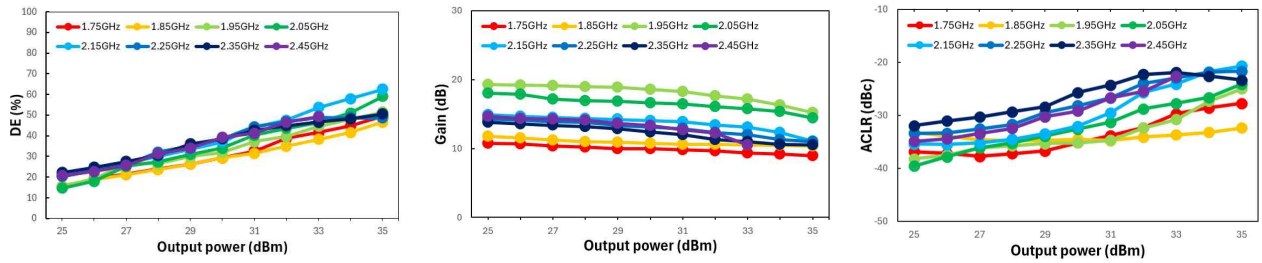


(a)



(b)

그림 9. (a) CW 신호를 사용하여 측정한 DE, (b) CW 신호를 사용하여 측정한 power gain
Fig. 9. (a) Measured DE using a CW signal, (b) measured power gain using a CW signal.



(a) (b) (c)

그림 10. (a) NR 신호를 사용하여 측정한 DE, (b) NR 신호를 사용하여 측정한 power gain, (c) NR 신호를 사용하여 측정한 ACLR

Fig. 10. (a) Measured DE using NR signal, (b) measured power gain using NR signal, (c) measured ACLR using NR signal.

표 3. 이전 연구 결과들과 본 논문에서 설계한 DPA의 비교

Table 3. Performance comparison to the previous works.

Ref.	Freq. (GHz)	FBW (%)	Topology	Gain (dB)	P_{sat} (dBm)	P_{avg} (dBm)	$DE@P_{avg}$ (%)	$ACLR@P_{avg}$ ** (dBc)	OBO (dB)	PAPR (dB)	Signal/BW (MHz)
[5]	2.9~4.0	32.3	Asymmetric, all-in-one	10~11	41.6~43.3	35.0	50.6~58.0	−23.3/−46.0	8	7.9	5G NR/100
[6]	2.7~3.8	34.3	Asymmetric, ESL	9.5~12.7	41.5~43.1	35.0	48.5~56.8	−22.1/−49.6	8.0	7.9	5G NR/100
[7]	3.4~3.7	8.46	Asymmetric, VS, OCC	11.9~12.7	41.7~42.3	33.7	55.3~60.9	−26.0*/−42.6	8.5	7.9	5G NR/100
[8]	1.6~2.2	31.6	Asymmetric	14~16*	46~47*	36.0	50~53*	−22.5/−48.0	10	9.1	LTE/20
[9]	1.8~2.2	20	Asymmetric, CCL	8.5~11*	41.8~42.3	33.5	56*	−30/NA	8.5	9.3	WCDMA/100
[10]	1.0~2.0	67	Asymmetric, all-in-one	11.3~14.6	40.5~42.8	32.5~34.8	41~65	−27.5/−35.7***	9	8	LTE/20
This work	1.7~2.5	38.8	Asymmetric, ESL	7.3~12.8	40~42.7	35.0	55.1~69.7	−20.7/−32.4***	8.0	7.9	5G NR/100

ESL: Extremely Simplified; *: Graphically estimated; **: with DPD; ***: without DPD.

를 적용하여 회로 복잡도를 감소시키면서도 광대역 동작 특성을 확보하였다. 또한, 스마트폰 통신에서 가장 많이 쓰이고 있는 대역 중 하나인 1.7~2.5 GHz (FBW 38.8 %)에서 우수한 DE 값 특성을 가진다.

Ⅳ. 결 론

본 논문에서는 OMN을 3개의 소자로 간소화한 DPA를 설계하고 성능을 검증하였다. 제안된 구조는 기존 OMN 대비 소자 수를 감소시켜 회로 복잡도를 줄이면서도 부하 변조 특성을 유지할 수 있도록 설계되었다.

설계된 DPA는 1.7~2.5 GHz의 광대역에서 동작하도록 설계되었으며, 38.8 %의 FBW를 달성하였다. CW 신호 측정 결과, 최대 출력 전력 약 40~42.7 dBm에서 55.1~69.7 %의 DE를 얻었으며, OBO 영역에서도 40.6~68.2 %의 DE를 유지하였다. 또한, 5G NR 100 MHz 신호를 이용한 측정 결과, 해당 주파수 대역에서 32.8~35.1 dBm의 출력 전력과 48.7~62.5 %의 DE를 달성하였으며, ACLR은 −20.7 dBc 이하의 성능을 보였다.

기존 연구 결과와 비교하였을 때, 제안된 구조는 3개의 소자로 구성된 간소화된 OMN을 적용하여 회로 복잡도를 감소시키면서도, 광대역 및 확장된 OBO 영 역에서 우

수한 효율 특성을 유지하는 것을 확인하였다. 따라서 본 논문에서 제안한 DPA 구조는 향후 광대역 고효율 전력 증폭기 설계에 효과적인 해결 방안을 제공할 수 있을 것으로 기대된다.

References

[1] W. H. Doherty, "A new high efficiency power amplifier for modulated waves," *Proceedings of the Institute of Radio Engineers*, vol. 24, no. 9, pp. 1163-1182, Sep. 1936.

[2] S. Honda, S. Sakata, Y. Komatsuzaki, and S. Shinjo, "Efficiency enhancement of GaN Doherty power amplifier at large power back-off with virtual short stub technique," in *Proceedings of the 2019 IEEE Asia-Pacific Microwave Conference(APMC)*, Singapore, Dec. 2019, pp. 294-296.

[3] M. R. Hasin, J. Kitchen, "Exploiting phase for extended efficiency range in symmetrical Doherty power amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 67, no. 8, pp. 3455-3463, Aug. 2019.

[4] W. Choi, H. Kang, H. Oh, K. C. Hwang, K. Y. Lee, and Y. Yang, "Doherty power amplifier based on asymmetric cells with complex combining load," *IEEE Transactions on Microwave Theory and Techniques*, vol. 69, no. 4, pp. 2336-2344, Apr. 2021.

[5] Y. Chen, W. Choi, J. Shin, H. Jeon, S. Bae, and S. Bin, et al., "Simplified all-in-one load network of the broadband Doherty power amplifier," *IEEE Transactions on Microwave Theory and Techniques*, vol. 73, no. 2, pp. 953-964, Feb. 2025.

[6] Y. Ju, Y. C. Choi, S. Bae, H. Jeon, S. Bin, and K. Bae, "A simplified broadband load network for Doherty power amplifiers based on π-to-TF transformation," *IEEE Transactions on Microwave Theory and Techniques*, vol. 74, no. 5, pp. 4369-4379, May 2026.

[7] Y. Chen, W. Choi, J. Shin, H. Jeon, S. Bae, and Y. C. Choi, "Generalized expression and design method of modified load networks for Doherty power amplifier with extended back-off range," *IEEE Access*, vol. 10, pp. 77487-77497, Jul. 2022.

[8] J. Xia, M. Yang, and A. Zhu, "Improved Doherty amplifier design with minimum phase delay in output matching network for wideband application," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 11, pp. 915-917, Nov. 2016.

[9] X. Fang, K. K. M. Cheng, "Broadband, wide efficiency range, Doherty amplifier design using frequency-varying complex combining load," in *2015 IEEE MTT-S International Microwave Symposium*, Phoenix, AZ, May 2015.

[10] E. Yoo, Y. Chen, S. Bae, S. Bin, Y. Lee, and Y. Ju, et al., "1−2 GHz Doherty power amplifier applying a simplified load network and composite output back-off extension techniques," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 35, no. 10, pp. 816-827, Oct. 2024.

김 동 혁 [성균관대학교/석사과정]

https://orcid.org/0009-0001-6402-471X



2015년 2월: 성균관대학교 전자전기공학 (공학사)

2015년 3월~현재: 삼성전자 책임연구원

2025년 3월~현재: 성균관대학교 DMC공학과 석사과정

[주 관심분야] RF Power Amplifier, Front-end Module, RF System Engineering

주 윤 형 [성균관대학교/석・박사통합과정]

https://orcid.org/0009-0006-0820-9935



2024년 2월: 성균관대학교 전자전기공학 (공학사)

2024년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석・박사통합과정

[주 관심분야] RF/mm-Wave Power Amplifier, Wireless Power Transmission, MMIC Front-End Module

이 재 경 [성균관대학교/석사과정]

https://orcid.org/0009-0003-8161-4353



2025년 2월: 성균관대학교 전자전기공학부 (공학사)

2025년 3월～현재: 성균관대학교 전자전기컴퓨터공학과 석사과정

[주 관심분야] RF Power Amplifier, Front-End-Module, AI-Driven Network

김 태 우 [성균관대학교/석사과정]

https://orcid.org/0009-0005-1354-2081



2025년 2월: 인천대학교 전기공학과 (공학사)

2025년 3월～현재: 성균관대학교 전자전기컴퓨터공학과 석사과정

[주 관심분야] RF/mm-Wave Power Amplifier, Wireless Power Transmission, MMIC, and Front-End Module

이 윤 정 [성균관대학교/석・박사통합과정]

https://orcid.org/0009-0001-7373-6065



2023년 2월: 경희대학교 전자공학과 (공학사)

2023년 3월～현재: 성균관대학교 전자전기컴퓨터공학과 석・박사통합과정

[주 관심분야] RF/mm-Wave Power Amplifier, Wireless Power Transmission, MMIC, and Front-End Module.

양 영 구 [성균관대학교/교수]

https://orcid.org/0000-0003-3463-0687



1997년 2월: 한양대학교 전자공학과 (공학사)

2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)

2002년 3월～2002년 7월: 포항공과대학교 전자전기공학과 박사후 연구원

2002년 8월～2005년 2월: Skyworks Solutions Inc., Senior Electronic Engineer

2005년 3월～현재: 성균관대학교 전자전기컴퓨터공학과 교수

[주 관심분야] 초고주파 회로설계, 무선통신 송/수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구