THE JOURNAL OF KOREAN INSTITUTE OF ELECTROMAGNETIC ENGINEERING AND SCIENCE. 2026 January; 37(1), 117～120.

http://dx.doi.org/10.5515/KJKIEES.2026.37.1.117
ISSN 1226-3133 (Print) · ISSN 2288-226X (Online)

저가의 Pluto SDR을 레이다 표적 모의기로 응용

Application of Low-Cost Pluto SDR as a Radar Target Simulator

한수민[1] · 박효준[2] · 배윤수[3] · 이하정[4] · 조영기[5*] · 최원석[6*] · 김해림[7*] · 장병준[8]

Sumin Han[1] · Hyojun Park[2] · Yunsu Bae[3] · Hajung Lee[4] · Yong-Ki Cho[5*] · Won-seok Choi[6*] · Hae-Rim Kim[7*] · Byung-Jun Jang[8]

요 약

본 논문에서는 저가의 ADALM-Pluto SDR을 이용하여 레이다 표적 모의기를 구현할 수 있는 새로운 방안을 제안하였다. 제안한 시스템의 핵심은 SDR 내부의 Zynq-7010 SoC의 프로그래머블 로직(PL) 내부에, 수신된 I/Q 데이터를 호스트 PC를 경유하지 않고 직접 처리하여 재송신하는 온보드 디지털 루프백 아키텍처를 구현한 것이다. 이를 위해 기존의 FPGA를 수정하여, ADC에서 입력된 데이터가 FPGA 내부의 표적 모의 로직을 통과한 후 즉시 DAC로 전달되는 데이터 경로를 설계하였다. 표적의 거리 모의는 ADALM-Pluto 내부의 DRAM을 순환 버퍼로 활용하여 구현하였다. 제안된 시스템의 검증 결과, 제안하는 시스템이 레이다 표적 모의기에서 요구하는 다양한 시간 지연 및 도플러 주파수 변환이 가능하다는 것을 확인하였다. 본 연구는 저가의 상용 SDR 플랫폼을 활용하여 온보드 디지털 루프백을 통해 RTS를 구현할 수 있음을 보임으로써, 레이다 시스템의 개발 및 검증 환경에 대한 접근성을 높였다는 데 의의가 있다.

Abstract

This study proposes a new method for implementing a radar target simulator (RTS) using a low-cost ADALM-Pluto software-defined radio (SDR). The core of the proposed system is an onboard digital loopback architecture implemented within the programmable logic (PL) of the Zynq-7010 SoC, enabling direct processing and retransmission of received I/Q data without reliance on a host PC. To achieve this, a conventional signal path FPGA is modified to design a data path in which the data input from the ADC is passed through the target simulation logic within the FPGA and immediately transmitted to the DAC. Experimental results verify that the proposed system can realize a range of time delays and Doppler frequency transformations required for radar target simulators. This study demonstrates the feasibility of implementing RTS using an onboard digital loopback on a low-cost commercial SDR platform, thereby increasing accessibility to the development and verification environment for radar systems.

Key words: Radar Target Simulator, Zynq SoC, SDR, Digital Loop Back, FPGA

「이 연구는 초음속 공대지 유도탄 사업(202208D0050M)의 일환으로 국방과학연구소와 LIG넥스원의 지원으로 수행되었음.」

국민대학교 전자공학과(Department of Electrical Engineering, Kookmin University)

*LIG넥스원(LIG Nex1)

1: 대학원생(https://orcid.org/0000-0002-2074-2867), 2: 학부생(https://orcid.org/0009-0007-9265-1239), 3: 학부생(https://orcid.org/0009-0003-2780-4148), 4: 학부생(https://orcid.org/0009-0003-5550-5065), 5: 연구위원(https://orcid.org/0009-0009-3608-2531), 6: 수석연구원(https://orcid.org/0009-0000-2663-4421) 7: 선임연구원(https://orcid.org/0009-0009-8391-2489), 8: 교수(https://orcid.org/0000-0002-5295-6050)

· Manuscript received October 15, 2025 ; Revised November 9, 2025 ; Accepted November 12, 2025. (ID No. 20251015-124)

· Corresponding Author: Byung-Jun Jang (e-mail: bjjang@kookmin.ac.kr)

Ⅰ. 서 론

최근 레이다에 대한 수요가 전자전을 포함한 군사 기술 영역은 말할 것도 없고 자율주행과 드론, 이동 로봇과 같은 민간 분야까지 확대되고 있다. 따라서 이전보다 더 다양한 운용 환경과 시나리오에서 신뢰성 있게 레이다의 성능을 검증할 수단이 요구되고 있다[1]. 이러한 검증 수요에 대응하는 핵심 장비로 레이다 표적 모의기(RTS, radar target simulator)가 있으며, 레이다 시스템의 수요가 다양해짐에 따라 다양한 성능의 RTS가 필요하다. 과거 RTS는 RF회로로만 구성되었으나 최근에는 다양한 수요에 맞출 수 있도록 FPGA를 이용한 디지털 하드웨어로 구성되고 있다. 예를 들어 참고문헌 [2]에서는 국방용 레이다 시스템의 개발 및 시험을 위해 PXI 플랫폼 기반의 벡터 신호분석기와 Xilinx의 Virtex-7 FPGA를 이용하여 RTS를 구현하였고, 참고문헌 [3]에서는 자동차용 레이다 성능 측정을 위해 Xilinx의 RFSoC FPGA를 이용하여 구현하였다. 보통 RTS를 FPGA로 구현할 경우 짧은 지연시간을 달성하기 위해서는 수 GHz 이상의 고속의 ADC/DAC 및 고성능의 FPGA(field-programmable gate array)를 필요로 하여 구현이 어려울 뿐만 아니라 가격이 매우 비싸다. 따라서 다양한 레이다에 맞는 RTS를 개발하기 위해서는 RTS가 저가로 구현될 필요가 있다.

이에 본 연구에서는 저가의 RTS 구현을 목표로 수십만 원대의 ADALM-pluto를 활용하여 RTS를 구현하는 방안을 새롭게 제안하였다. ADALM-pluto은 저가의 보급형 소프트웨어 정의 라디오(SDR, software-defined radio)로서 내부에 Xilinx Zynq-7010 SoC가 탑재되어 있다. Zynq-7010 SoC는 는 ARM core 기반의 프로세싱 시스템(PS)과 FPGA 기반의 프로그래머블 로직(PL)이 단일 칩 내에서 저지연 AXI 인터페이스로 긴밀하게 통합된 이종 컴퓨팅 플랫폼이다. 하지만 판매되는 ADALM-pluto의 FPGA는 RF 신호를 호스트 PC로 송수신하기 위한 USB 버퍼로만 사용되는데 호스트 PC와의 USB 통신에서 발생하는 긴 지연 시간 때문에 RTS로 사용되기에는 부적합한 구조적 한계를 지니고 있다[4]. 따라서 본 연구에서는 RF 수신 신호를 호스트 PC로 전송하지 않고 PL 내부에서 직접 처리하여 재송신하는 디지털 루프백(digital loopback) 경로를 설정하는 방법을 새롭게 제안하여 RTS를 설계할 수 있는 가능성을 제시하였다. Zynq-7010 SoC의 PS부는 시스템 제어와 같은 비실시간 작업을 담당하고, PL부는 표적 모의를 위한 실시간 신호 처리를 독립적으로 수행함으로써 기존 SDR의 한계를 극복하고 저가의 RTS를 구현할 수 있었다.

Ⅱ. 제안하는 시스템 구조

2-1 시스템 구성 및 아키텍처

제안하는 RTS 시스템의 기본 개념도는 그림 1과 같다. RTS는 테스트 중인 레이다 신호를 수신한 후 진폭, 지연시간, 도플러 주파수를 수정한 후 이를 다시 송신하는 구조를 갖는다. 이 중 가장 중요한 지연시간은 실시간성을 보장하기 위해 FPGA를 이용한 디지털 루프백(digtial loop back)이 될 수 있도록 구성하였다. 도플러 주파수의 경우 RF 회로의 중심주파수를 조정하여 구성하게 되고, 신호의 크기는 디지털 신호와 RF 이득을 양쪽에서 조절하여 조정할 수 있도록 하였다. 이러한 구조를 사용하면 매우 간단하게 SDR 내에서 RTS를 구현할 수 있다. 사용한 SDR는 수십만 원 대의 ADALM-pluto로 동작 주파수는 325 MHz에서 3.8 GHz이며, ADC/DAC는 12비트를 사용한다. 최대 샘플링레이트는 61.44 MSPS로 최대 20 MHz의 순시대역폭을 처리할 수 있다[4]. 하지만 고속의 SDR로 변경하게 되며 대역폭이 더 넓은 RTS를 구현할 수 있다.

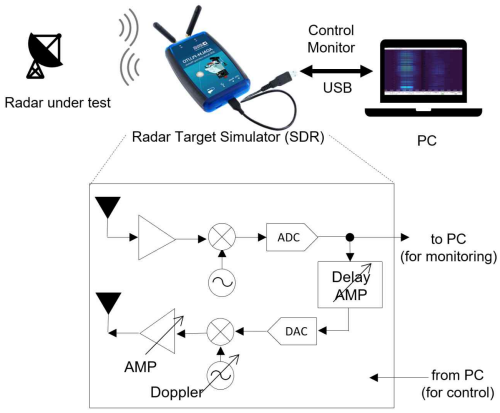


그림 1. 제안하는 RTS 시스템 개념도
Fig. 1. Conceptual diagram of the proposed RTS system.

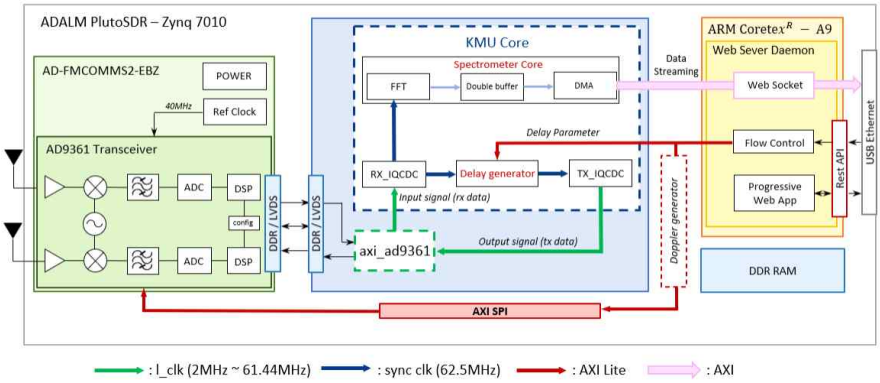


그림 2. 제안하는 RTS 전체 시스템 구성도
Fig. 2. Overall system architecture of the proposed RTS.

ADALM-pluto는 그림 2와 같이 크게 ① RF 신호를 송수신하는 RF 프론트엔드(AD9361 transceiver), ② 실시간 표적 모의 연산을 수행하는 FPGA[(Zynq-7010 PL(programmable logic 블록)], ③ 시스템 제어 및 파라미터 설정을 담당하는 ARM-core 프로세서[(Zynq-7010의 PS(processing system 블록)]로 구성되며, 이들이 모두 단일 칩 내에 집적되어 있다.

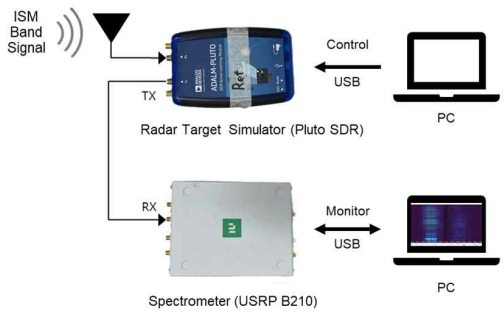
그림 2와 같이, AD9361 RF 트랜시버에서 ADC를 통해 디지털화된 I/Q 데이터는 USB 인터페이스를 거치지 않고 PL 영역에 구현된 사용자 정의 로직(KMU core로 명명)으로 직접 전달된다. KMU core는 표적의 거리 및 속도 모의와 같은 실시간 신호 처리를 전담하며, 연산이 완료된 데이터는 즉시 DAC를 통해 RF 신호로 변환되어 재송신된다. 한편, ARM 코어 기반의 PS는 표적 파라미터 수신, 시스템 설정, 상태 모니터링 등 상대적으로 실시간성이 덜 요구되는 작업을 수행한다. PS와 PL은 고속 AXI 인터페이스로 연결되어 제어 신호와 파라미터를 최소한의 지연으로 교환하며, 이를 통해 외부 호스트 PC의 개입 없이 SDR 내부에서 폐쇄 루프를 구성하여 실시간성과 신뢰성을 확보할 수 있다.

2-2 FPGA 펌웨어 설계

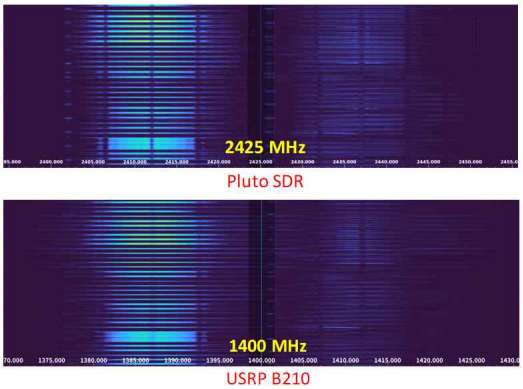
RTS의 핵심 부분이 디지털 루프백을 하드웨어로 구현하기 위해서 FPGA 구현을 위한 펌웨어를 작성하였다. FPGA 로직은 하드웨어 기술 언어인 amaranth를 사용하여 설계되었으며, Xilinx 사의 Vivado 프로그램을 통해 최종 비트스트림 파일로 변환된다[5]. 기존 pluto SDR에 내장된 펌웨어는 ADC 데이터가 axi_ad9361 IP 코어를 거쳐 DMA를 통해 PS로 전달되도록 설계되어 있으므로 이를 RTS에 맞게 수정하였다. 이때 오픈소스 HDL 프로젝트를 기반으로 system_bd.tcl 파일을 수정하여, axi_ad9361 IP 코어의 ADC 출력과 DAC 입력 사이에 직접 설계한 레이다 표적 모의 IP를 삽입하였다. 이를 통해 ADC 데이터가 PS나 호스트 PC로 전달되지 않고 PL 내부에서 즉시 루프백 처리된 후 DAC로 재주입되는 데이터 경로를 새롭게 구성하였다.

Ⅲ. 실험 및 결과 분석

본 장에서는 제안한 RTS의 동작을 검증하기 위해 수행한 실험과 그 결과를 기술한다. 실제 레이다 시스템 부재로 인해, 주변에서 쉽게 수신할 수 있는 ISM 대역 신호를 이용하여 시스템의 신호 전송 능력과 무결성을 검증하였다. 실험은 본 연구에서 개발한 펌웨어를 탑재한 pluto SDR을 사용하여 별도의 모니터링용 SDR인 USRP B210으로 그 결과를 확인하였다. 그림 3은 ISM 대역 신호를 이용한 주파수 변환 실험 결과를 보여준다. Pluto SDR이 2,425 MHz 대역에서 수신한 신호의 스펙트럼 패턴이 1,400 MHz 대역으로 변환되어 재송신된 후, ISM 대역의 데이터 수신 패턴이 수신부와 동일하게 유지됨을 확인할 수 있었다. 구현된 RTS의 주요 성능은 표 1과 같다. Pluto SDR의 대역폭의 한계로 최대 대역폭은 56 MHz에 불과



(a) RTS 검증 실험 장치
(a) Experiment of RTS performance test



(b) RTS 실험결과
(b) RTS test results

그림 3. ISM 대역 신호의 주파수 변환 결과
Fig. 3. Frequency shift result of FM radio signal.

표 1. 구현된 RTS의 주요 성능
Table 1. Performance of suggested RTS system.

Item	Performance
Operating frequency	70 MHz~6 GHz
Bandwidth	200 kHz~56 MHz
Max distance	300 km
Distance resolution	5 m
Velocity resolution	0.06 m/sec @ 2.4 GHz

하여 광대역 RTS는 구현이 어려운 한계를 가진다. 하지만 거리 분해능은 5 m로 최대 300 km의 목표물을 묘사할 수 있었고, 도플러 주파수는 AD9361의 PLL 회로가 최소 1 Hz 단위로 가변할 수 있으므로 2.4 GHz에서 0.06 m/sec의 속도의 도플러 주파수를 변화시킬 수 있었다.

Ⅳ. 결 론

본 논문에서는 기존에 무선통신 학습용으로 사용되는 저가의 SDR만으로 RTS를 설계하고 구현하는 방안을 제시하였다. SDR을 RTS로 활용하기 위해서 단순히 SDR 세팅의 변경이 아니라 SDR 내부의 FPGA 하드웨어에 디지털 루프백 경로를 새롭게 추가하여, 호스트 PC를 경유하지 않는 실시간 신호 처리를 가능하게 하였다. 본 연구는 기존의 전용 RTS에 비해 대역폭 등 성능이 완벽하진 않지만 새로운 방식으로 RTS를 구현할 수 있는 가능성을 확인하였다는 데 의미가 있다. 향후 연구로는 실제 레이다 파형을 이용해 동적인 거리 및 속도 변화 시나리오에 대한 검증을 수행하여 실제 RTS 성능에 가깝게 구현할 예정이다.

References

[1] J. Hyun, Y. Cho, W. Choi, H. Kim, and S. Nam, "Implementation of FMCW radar simulator in urban environments using QuaDRiGa clutter model," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 36, no. 2, pp. 171-178, Feb. 2025.

[2] S. Song, "The development of the real time target simulator for the RF signal of electronic warfare using VST and FPGA," *Journal of the Korea Institute of Military Science and Technology*, vol. 26, no. 4, pp. 324-334. Aug. 2023.

[3] A. Diewald, C. Kurz, P. V. Kannan, M. Gießler, M. Pauli, and B. Göttel, et al., "Radar target simulation for vehicle-in-the-loop testing," *Vehicles,* vol. 3, no. 2, pp. 257-271, May 2021.

[4] P. Flak, "Hardware-accelerated real-time spectrum analyzer with a broadband fast sweep feature based on the cost-effective SDR platform," *IEEE Access*, vol. 10, pp. 110934-110946, Oct. 2022,

[5] Amaranth, "Amaranth HDL documentation," 2021. Available: https://amaranth-lang.org/docs/amaranth/v0.3/cover.html