

마이크로스트립 삽입손실 기반 도금 금속의 등가 도전율 산출 및 배열 안테나 적용

Estimation of Plated Metal Conductivity Based on Microstrip Insertion Loss and Its Application to Array Antennas

김진석 · 이재호 · 오경섭* · 서동욱**

Jin-Seok Kim · Jae-Ho Lee · Kyoung-Sub Oh* · Dong-Wook Seo**

요 약

본 논문에서는 마이크로스트립 선로의 삽입손실(S_{21})을 기반으로 도금 금속의 등가 도전율(effective conductivity)을 산출하는 해석식을 제안하고, 이를 시뮬레이션과 실험을 통해 검증하였다. 밀리미터파용 Astra MT77 기판 위에 은도금 및 금도금 방식으로 마이크로스트립 선로를 제작하였으며, 다양한 길이의 선로를 이용해 삽입손실을 측정하였다. Time-gating과 T-matrix 기법을 적용하여 손실을 보정한 후, 제안된 해석식을 이용해 79 GHz에서 은도금은 약 3.80×10^6 S/m, 금도금은 약 1.42×10^6 S/m의 등가 도전율이 산출되었다. 추출된 도전율을 금도금 방식의 1×15 마이크로스트립 배열 안테나 시뮬레이션에 적용한 결과, 방사패턴, 이득, 반사계수 특성이 실제 측정 결과와 높은 일치율을 나타냈다. 본 연구에서 제안한 방법은 고주파 회로 및 안테나 설계 시 도금 공정의 특성을 반영함으로써 설계 정확도와 신뢰도 향상에 기여할 수 있다.

Abstract

This study proposed an analytical method for determining the effective conductivity of plated metals based on the insertion loss (S_{21}) of microstrip lines. Silver- and gold-plated lines were fabricated on a millimeter-wave Astra MT77 substrate, and the insertion loss was measured using lines of different lengths. To improve the measurement accuracy, Time-gating and T-matrix correction techniques were applied. The proposed method yielded an effective conductivity of approximately 3.80×10^6 S/m for silver plating and 1.42×10^6 S/m for gold plating at 79 GHz. The extracted conductivity values were used to simulate a 1×15 gold-plated microstrip array antenna. The simulated results for the radiation pattern, gain, and reflection coefficients were in excellent agreement with the measurements. The proposed approach enabled the accurate modeling of conductor losses in high-frequency circuit and antenna designs, reflecting practical plating effects and improving design reliability.

Key words: Microstrip Line, Insertion Loss, Effective Conductivity, De-Embedding, Millimeter-Wave Antenna

†이 연구는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. RS-2023-00210469).

국립군산대학교 전자공학과(Department of Electronic Engineering, Kunsan National University)

*스마트RF시너지(Smart RF Synergy)

**국립한국해양대학교 전기전자정보공학부(Division of Electronics and Electrical Information Engineering, Korea Maritime & Ocean University)

· Manuscript received June 20, 2025 ; Revised July 25, 2025 ; Accepted August 5, 2025. (ID No. 20250620-007S)

· Corresponding Author: Jae-Ho Lee (e-mail: jh_lee@kunsan.ac.kr)

I. 서 론

마이크로스트립 선로는 평면 구조를 가지며, 제작이 간편하고 집적도가 높아 고주파 회로나 안테나의 급전부 등 다양한 분야에서 널리 사용되고 있다. 전송선의 삽입손실은 주로 도체 손실, 유전체 손실, 방사 손실로 구성되며, 특히 밀리미터파 이상의 고주파 대역에서는 표피효과(skin effect)로 인해 도체 손실이 삽입손실의 주요 요소로 작용한다^{[1],[2]}.

그림 1과 같이 마이크로스트립 선로의 도체는 일반적으로 전해 동박(Cu) 위에 은(Ag)이나 금(Au) 등의 금속이 도금된 구조로 형성된다. 그러나 실제 도금 공정에서는 표면 거칠기(surface roughness), 결정립 구조, 불균일한 도금 두께, 확산 방지 물질 등의 물리적인 요인으로 인해 금속의 전기적 특성이 이상적인 물성값과 다르게 나타난다. 이는 전자파의 전도 경로에 영향을 주어 도전을 저하를 유발하고, 이는 안테나의 이득 감소 나 방사 패턴 왜곡 등의 원인이 된다^{[3],[4]}. 따라서 고주파 회로나 안테나의 정확한 성능 예측을 위해서는 금속의 실제 전도 특성을 반영할 수 있는 등가 도전율(effective conductivity) 개념이 필요하다.

본 연구에서는 마이크로스트립 선로의 삽입손실(S_{21}) 측정값 기반으로, 간단한 해석식을 통해 도금 금속의 등가 도전율을 산출하는 방법을 제안한다. 제안된 해석식은 삽입손실 측정값과 선로의 물리적 파라미터만으로 도전율을 측정할 수 있도록 구성되며, 고주파 회로 및 안테나 설계 시 실제 제작 공정의 영향을 반영함으로써 설계 정확도 향상에 기여할 수 있다.

II. 마이크로스트립 삽입손실 기반 도금 도체의 등가 도전율 해석

이번 절에서는 마이크로스트립 선로의 삽입손실(S_{21})을

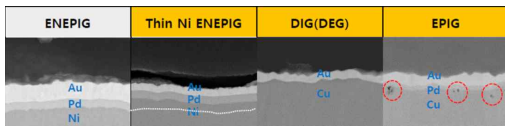


그림 1. 도금 방식에 따른 금속 도금층 단면 구조
Fig. 1. Cross-sectional structures of metal plating layers depending on plating processes.

기반으로 도금된 도체의 등가 도전율을 산출하기 위한 해석식을 제안한다. 제안된 해석식은 전송선 이론에 기반하여 선로의 폭 w , 두께 t , 기판 두께 h , 유전율 ϵ_r , 선로의 길이 L 등을 포함하는 기하 파라미터와 고주파에서의 표피효과(skin effect)를 고려한다. 실제 마이크로스트립 선로의 단면은 여러 금속층이 도금된 구조를 가지지만, 해석의 단순화를 위해 그림 2와 같이 도전체를 유효 두께로 보정한 등가 단면 모델로 치환할 수 있다^[2].

마이크로스트립 선로의 삽입손실(S_{21})은 도체 손실(α_c), 유전체 손실(α_d), 방사 손실(α_r)의 합으로 표현되며, 각 항은 다음과 같은 관계식을 따른다^[2].

$$\alpha_c = \frac{Z_0(w - \delta, h + \delta, t - \delta, \epsilon_r = 1) - Z_0(w, h, t, \epsilon_r = 1)}{Z_0(w, h, t, \epsilon_r)} \times \frac{\pi}{\lambda_0} \times 20 \log_{10} e \tag{1}$$

$$\alpha_d = \frac{\pi \sqrt{\epsilon_{eff}}}{\lambda_0} \left(\frac{1 - 1/\epsilon_{eff}}{1 - 1/\epsilon_r} \right) \tan \delta \times 20 \log_{10} e \tag{2}$$

$$\alpha_r = 60 \left(\frac{2\pi h}{\lambda_0} \right)^2 \left[1 - \frac{\epsilon_{eff} - 1}{2\sqrt{\epsilon_{eff}}} \log_{10} \left(\frac{\sqrt{\epsilon_{eff}} + 1}{\sqrt{\epsilon_{eff}} - 1} \right) \right] \tag{3}$$

$$S_{21} \text{ (dB)} = -(\alpha_c + \alpha_d + \alpha_r) \times L_{mm}/1000 \tag{4}$$

도전을 산출의 핵심은 삽입손실에서 유전체 및 방사 손실을 계산을 통해 제거한 뒤, 도체 손실 항으로부터 도전율(σ)을 유도하는 것이다. 유전체 및 방사 손실은 기판의 재질 특성과 구조 파라미터 등으로부터 이론적으로

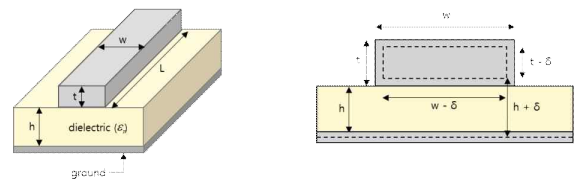


그림 2. (a) 마이크로스트립 선로의 기본구조, (b) 유효 두께 보정을 적용한 등가 단면 모델
Fig. 2. (a) Basic structure of the microstrip line; (b) Equivalent cross-sectional with effective thickness correction.

계산 가능하지만, 도체 손실은 도전율과 주파수에 따른 비선형적인 포피효과가 포함되어 있어 삽입손실로부터 등가 도전율을 산출하기 위해서는 복잡한 해석을 필요로 한다. 이를 해결하기 위해 도체 손실 항을 **Maclaurin** 급수로 근사하였으며, 그 결과는 식 (5)에서와 같이 정리된다.

$$\alpha_c = \delta\hat{\alpha}_c = \frac{1}{\sqrt{\pi f \mu_0 \sigma}} \times \frac{\pi}{\lambda_0} \frac{Z_0^2(w, h, t, \epsilon_r = 1)}{Z_0(w, h, t, \epsilon_r)} \frac{1}{376.7h} \times \left[1 + \frac{w_{eff}(\epsilon_r = 1) - w}{t} + \frac{w_{eff}(\epsilon_r = 1)}{h} - \frac{t}{h} \frac{\pi^2 \left(\frac{w}{h} + 1.1 \right)^3 \left(1 + \frac{t}{h} \right) - \left(1 + \frac{w}{h} \right)}{\pi \left(\frac{w}{h} + 1.1 \right) \left[\pi^2 \left(\frac{w}{h} + 1.1 \right)^2 \left(\frac{t}{h} \right)^2 + 1 \right]} \right] \times \left(1 + \frac{1}{\pi} \frac{1}{\frac{w_{eff}(\epsilon_r = 1)}{2h} + 0.94} \right) \times 20 \log_{10} e \quad (5)$$

식 (5)의 도체 손실항을 식 (4)의 삽입손실식에 대입하고 정리하면, 삽입손실과 등가 도전율(σ) 간의 관계식은 식 (6)과 같다. 여기서, K_1 과 K_2 는 선로의 물리적 특성과 유전체 손실 계수, 방사 손실 항 등을 반영하여 정의되며, 구조 파라미터와 주파수에 따라 결정된다.

$$\sigma = \frac{K_1^2}{(S_{21}(\text{dB})/L_{mm} + K_2)^2} \quad \text{Let, } K_1 = \frac{\hat{\alpha}_c}{1000\sqrt{\pi f \mu_0}}, K_2 = \frac{\alpha_c + \alpha_d}{1000} \quad (6)$$

제안된 해석식의 타당성을 검증하기 위해, Astra MT77 기판 ($\epsilon_r=3.0, \tan\delta=0.0017$) 위에 설계된 마이크로스트립 선로에 대해 Ansys HFSS를 사용하여 시뮬레이션을 수행하였다. 선로 폭과 선로 두께는 79 GHz에서 특성 임피던스가 50Ω이 되도록 설계되었으며, 설계 파라미터는 다음과 같다: $w=0.3 \text{ mm}, t=40 \mu\text{m}, h=0.127 \text{ mm}$. 선로 길이는 50, 70, 90 mm의 세 가지로 구성하여 전송 길이에 따른 손실 특성을 비교하였다. 도전율 값을 4개의 값($5.8 \times 10^7, 1.03 \times 10^7, 2.91 \times 10^6, 1.1 \times 10^6 \text{ S/m}$)으로 설정하여 각각의 삽입손실을 시뮬레이션한 후, 제안된 해석식을 적용하여 역으로 도전율을 산출하였다. 그 결과, 해석식으로 계산된 값이 시뮬레이션에서 설정한 도전율과 매우 유사하게 나타나, 제안된 모델의 정확성과 실용성이 입증되었다. 이 결과는 그림 3에 도시되어 있다.

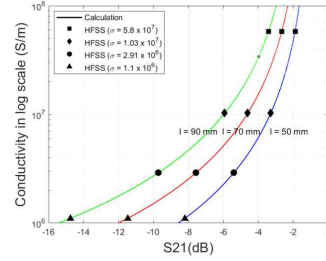


그림 3. 삽입손실 기반 등가 도전을 계산 결과
Fig. 3. Effective conductivity from insertion loss.

III. 마이크로스트립 선로 제작 및 삽입손실 기반 도전을 측정

제안된 해석식의 타당성을 실험적으로 검증하기 위해, 마이크로스트립 선로를 제작하고 삽입손실을 측정하여 금속의 등가 도전율을 산출하였다. 기판은 Astra MT77을 사용했으며, 동일한 형상의 마이크로스트립 선로를 금도금(ENIG) 및 은도금 방식으로 각각 제작하였다. 도체의 평균 두께는 약 40 μm 이며, 제작된 선로의 외형 그림 4에 나타내었다.

삽입손실 측정 시 포트 반사 및 다중반사에 의한 영향을 최소화하기 위해, 서로 다른 길이(100, 130, 170 mm)의 마이크로스트립 선로를 제작하여 Time-gating 기법을 적용할 수 있도록 하였다. 측정은 Agilent E8364B 네트워크 분석기와 OML Inc. V10VNA2 밀리미터파 확장기를 사용하여 75~85 GHz 범위에서 수행하였다.

전이부에 의한 영향을 제거(de-embedding)하고 정확한 선로의 삽입 손실 산출을 위해 Time-gating 기법과 T-matrix 기법^[4]을 각각 적용하였다. Time-gating은 주파수 영역 측정 데이터를 시간 영역으로 변환한 후, 반사 및 다중반사 성분을 제거하는 방식이며, T-matrix 방식은 전송

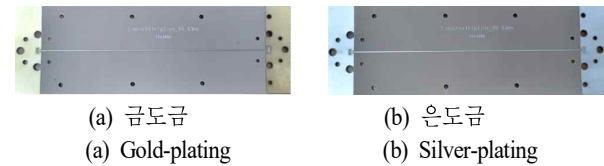


그림 4. 제작된 마이크로스트립 선로 샘플
Fig. 4. Fabricated microstrip line samples.

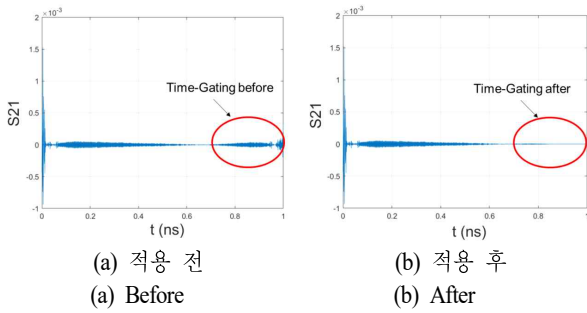


그림 5. Time-gating 적용 전후의 삽입손실 시간영역 응답
 Fig. 5. Insertion loss responses before and after applying Time-gating.

선로 모델을 기반으로 포트 및 전이부의 영향을 수학적 으로 보정하는 기법이다. 그림 5는 길이가 100 mm인 마이크로스트립 선로의 Time-gating 적용 전후의 삽입손실의 시간 영역 신호이다. 다중 반사가 발생하는 0.52 ns 이후 신호는 0.6 ns의 게이팅 윈도우(gating window)를 적용하여 효과적으로 제거된 것을 확인할 수 있다.

보정된 삽입손실 데이터를 제안한 해석식에 적용하여 도전율을 반복 계산하고 평균을 구한 결과 79 GHz에서 금도금 선로는 1.42×10^6 S/m, 은도금 선로는 약 3.80×10^6 S/m의 등가 도전율이 산출되었다. 이 결과는 그림 6에 나타나었으며, 두 보정 기법에서 유사한 결과가 도출되었다.

IV. 배열 안테나 적용 및 시뮬레이션 기반 검증

산출된 등가 도전율의 유효성을 검증하기 위해, 1×15 마이크로스트립 배열 안테나를 설계·제작하고, 방사 특성 및 반사 특성에 대한 시뮬레이션 결과를 측정값과 비

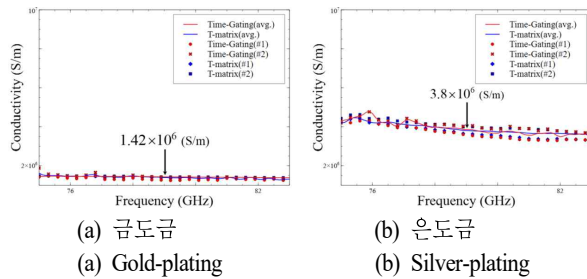


그림 6. Time-gating 및 T-matrix 기법에 따른 도전율
 Fig. 6. Conductivity by Time-gating and T-matrix.

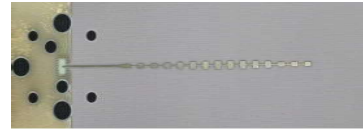
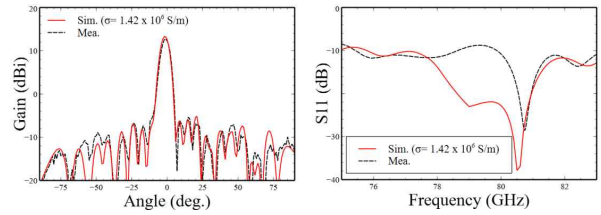


그림 7. 제작된 금도금 마이크로스트립 배열 안테나
 Fig. 7. Fabricated gold-plated microstrip array antenna.



(a) 방사패턴(@79 GHz) (b) 반사계수 특성
 (a) Radiation patterns at 79 GHz (b) S_{11} of the array antenna

그림 8. 배열 안테나의 성능 비교
 Fig. 8. Performance comparison of array antenna.

교하였다⁵⁾. 안테나는 Astra MT77 기판 위에 금도금 방식으로 구현되었으며, 제작된 안테나의 외형은 그림 7에 나타나었다.

앞서 측정된 금도금의 등가 도전율(1.42×10^6 S/m)을 적용한 시뮬레이션한 79 GHz에서의 방사패턴, 이득, 반사계수(S_{11})를 측정결과와 비교하였다. 그림 8은 이 세 가지 성능 특성에 대해 시뮬레이션과 측정 결과를 비교한 것이다. 산출한 등가 도전율을 적용한 경우 방사 패턴, 이득, 반사계수 모두에서 실제 측정결과와 우수한 일치도를 보였다.

V. 결 론

본 연구에서는 마이크로스트립 선로의 삽입손실(S_{21})을 기반으로 도금 금속의 등가 도전율을 산출할 수 있는 해석식을 제안하고, 이를 시뮬레이션과 실험을 통해 검증하였다. 금도금과 은도금 선로에 대해 산출된 도전율은 각각 약 1.42×10^6 S/m, 3.8×10^6 S/m였으며, 이를 적용한 배열 안테나의 시뮬레이션 결과는 실제 측정값과 우수한 일치도를 보였다. 제안된 기법은 5G/6G mmWave 안테나 설계 및 초고주파 회로 설계의 정확도 향상에 효과적으로 활용될 수 있다⁶⁾.

References

- [1] E. H. Fooks, R. A. Zakarevicius, *Microwave Engineering Using Microstrip Circuits*, New York, NY, Prentice Hall, pp. 60-72, 1990.
- [2] B. C. Wadell, *Transmission Line Design Handbook*, Norwood, MA, Artech House, pp. 93-99, 1991.
- [3] M. V. Schneider, "Dielectric loss in integrated microwave circuits," *Bell System Technical Journal*, vol. 48, no. 7, pp. 2325-2332, Sep. 1969.
- [4] J. H. Lee, J. Y. Park, "Mathematical extraction of S-parameters for a slot unit on the post-wall waveguide from measurement data," *Journal of the Korean Institute of Electromagnetic and Science*, vol. 12, no. 1, pp. 122-127, Mar. 2012.
- [5] J. H. Lee, J. M. Lee, and K. C. Hwang, "Series feeding rectangular microstrip patch array antennas for 77 GHz automotive radar," in *2017 Int. Symp. Antennas Propag.(ISAP 2017)*, Phuket, Oct. 2017.
- [6] M. Shahpari, D. V. Thiel, "The impact of reduced conductivity on the performance of wire antennas," *IEEE Transactions on Antennas and Propagation*, vol. 63, no. 11, pp.4686-4692, Nov. 2015.

김진석 [국립군산대학교/석사과정]

<https://orcid.org/0009-0004-5058-9615>



2025년 2월: 국립군산대학교 전자공학과 (공학사)

2025년 3월~현재: 국립군산대학교 전자정보공학부 석사과정

[주 관심분야] 안테나 설계/해석, 밀리미터파 안테나 등

이재호 [국립군산대학교/조교수]

<https://orcid.org/0000-0002-6878-8848>



2002년 2월: 경북대학교 전자전기공학부 (공학사)

2004년 2월: 한국과학기술원 전기및전자공학 (공학석사)

2010년 9월: 일본 Tokyo Institute of Technology 전기및전자공학 (공학박사)

2004년 5월~2005년 7월: 정보통신연구진흥원 연구원

홍원 연구원

2010년 10월~2012년 2월: 삼성탈레스 전문연구원

2013년 3월~2022년 8월: 한국전자통신연구원 책임연구원

2022년 9월~현재: 국립군산대학교 전자공학과 조교수

[주 관심분야] 안테나 이론, 배열 안테나, 밀리미터파 안테나, 도파관 슬롯 안테나, 레이더 시스템

오 경 섭 [스마트RF시너지/이사]

<https://orcid.org/0009-0009-9002-5095>



1994년 2월: 전북대학교 전자공학과(공학사)

1997년 2월: 한국과학기술원 전기및전자공학 (공학석사)

2004년 8월: 한국과학기술원 전기및전자공학 (공학박사)

2004년~2005년: 현대자동차 책임연구원

2005년~2008년: Maltani Lighting 책임연구원

2008년~2010년: (주)삼성전자 책임연구원

2010년~2014년: KAIST 연구교수

2014년~2017년: (주)감마누 수석연구원

2017년~2024년: (주)스마트레이다시스템 이사

2024년~2025년: 국립한국해양대학교 연구교수

2025년~현재: 스마트RF시너지 이사

[주 관심분야] 레이더 시스템, 안테나, 마이크파 이미징, 역산란 해석, 무선통신 시스템

서 동 욱 [국립한국해양대학교/교수]

<https://orcid.org/0000-0001-9449-7772>



2003년 2월: 경북대학교 전자전기공학부 (공학사)

2005년 8월: 한국과학기술원 전기및전자공학 (공학석사)

2011년 2월: 한국과학기술원 전기및전자공학 (공학박사)

2011년 1월~2012년 9월: 국방기술품질원

선임연구원

2012년 10월~2017년 8월: 한국전자통신연구원 선임연구원

2017년 9월~현재: 국립한국해양대학교 전자전기정보공학부 교수

[주 관심분야] 전자파 수치해석, RCS 해석, 레이더 시스템, 레이더 신호처리, 무선전력전송