

그룹 지연 보상 회로를 적용한 3.1~4.1 GHz 고효율 도허티 전력 증폭기 설계

3.1~4.1 GHz High-Efficiency Doherty Power Amplifier Using a Group Delay Compensation Circuit

김도헌 · 김상엽* · 안민석* · 주윤형* · 이윤정* · 양영구*

Do-Heon Kim · Sang-yeop Kim* · Min-Seok Ahn* · Yoon-hyeong Joo* · Yoon-jung Lee* · Youngoo Yang*

요 약

본 논문에서는 DPA(Doherty power amplifier)의 최대 출력 전력과 효율을 향상시키기 위해 피킹 전력 증폭기의 입력 네트워크에 그룹 지연 보상(group delay compensation) 회로를 적용한 구조를 제시하였다. 제안된 그룹 지연 보상 회로는 동일한 그룹 지연값을 갖는 두 개의 병렬 공진 회로와 $\lambda/4$ 전송선으로 구성되며, DPA의 동작 주파수 대역에서 기존 입력 임피던스에 영향을 주지 않도록 설계되었다. 이 설계를 통해 동작 주파수 대역에서 캐리어와 피킹 증폭기 간의 출력 전류 위상차를 일정하게 유지하고, 주파수에 따른 임피던스 분산을 최소화하여 광대역에서의 효율과 최대 출력 전력을 향상시켰다. 제작된 도허티 전력 증폭기는 3.1~4.1 GHz 대역에서 CW 신호를 사용하여 43.5~44.5 dBm의 최대 출력 전력과 9.5~11.6 dB의 이득을 얻었고, 최대 출력 전력에서 54.6~64 %의 DE(drain efficiency), 최대 출력 전력에서 7.5 dB back-off 지점인 36~37 dBm 출력 전력에서 48.4~53.3 % DE를 얻었다.

Abstract

This paper presents a doherty power amplifier (DPA) structure that improves maximum output power and efficiency by applying a group delay compensation circuit to the input network of a peaking amplifier. The proposed circuit consists of two parallel resonators with an identical group delay value and a $\lambda/4$ transmission line, and it is designed to not affect the original input impedance over the operating frequency band. By maintaining a phase difference in the currents between the carrier and peaking paths over the frequency band, the impedance dispersion can be minimized, resulting in enhanced broadband efficiency and output power. The implemented DPA operates over the 3.1~4.1 GHz band with continuous wave signals, and it achieves a maximum output power of 43.5~44.5 dBm and a gain of 9.5~11.6 dB. The drain efficiency (DE) ranges from 54.6 % to 64 % at the peak output power and from 48.4 % to 53.3 % at 36~37 dBm output power, corresponding to a 7.5 dB output power back-off.

Key words: Group Delay, Doherty Power Amplifier, All-In-One Load Network, Broadband, 5G NR

「이 연구는 삼성전자의 지원을 받아 수행된 연구임.」

성균관대학교 DMC공학과(Department of Digital Media and Communications Engineering, Sungkyunkwan University)

*성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

· Manuscript received April 10, 2025 ; Revised May 1, 2025 ; Accepted May 8, 2025. (ID No. 20250410-039)

· Corresponding Author: Youngoo Yang (e-mail: yang09@skku.edu)

I. 서론

5G 통신 기술의 상용화에 이어 6G 통신 기술의 개발이 가속화되면서 다양한 분야에서 고속 대용량 데이터 통신의 필요성이 증가하고 있다. 이러한 데이터 수요는 점점 더 넓은 주파수 대역과 높은 효율의 송신 시스템을 요구하며, 이에 따라 RF(radio frequency) 전력 증폭기의 중요성 역시 커지고 있다. 5G NR(new radio)은 다중 접속과 고속 통신을 위해 OFDM(orthogonal frequency division multiplexing)과 고차 변조 방식을 채택하고 있으나, OFDM의 높은 PAPR(peak to average power ratio)로 인해 전력 증폭기는 최대 효율 지점이 아닌 OBO(output power back-off) 전력에서 동작하게 되며, 이에 따른 효율 저하 문제가 발생한다^{[1]-[4]}.

이러한 한계를 극복하기 위해 DPA가 널리 채택되고 있으며, 캐리어와 피킹 증폭기를 병렬로 연결해 부하 변조(load modulation)를 통해 OBO 영역에서도 효율을 높일 수 있다. 하지만 기존 DPA는 이론적으로 6 dB OBO 범위에서만 효율성이 확보되며, 이를 확장하기 위한 CCL(complex combining load), OCC(out-phased current combining), VS(virtual stub) 등 다양한 연구가 진행되고 있다^{[4]-[6]}. 본 논문에서는 기존 도허티 전력 증폭기의 OBO 한계를 극복하고 광대역 성능을 확보하기 위해, CCL, OCC, VS 구조를 통합한 all-in-one load network를 기반으로 간소화된 부하 네트워크를 설계하였다. 이 구조는 높은 평균 출력 전력 효율과 넓은 동작 주파수 대역을 동시에 구현할 수 있도록 설계되었다^{[7],[8]}.

또한, 캐리어와 피킹 전력 증폭기 간의 출력 전류 위상차(phase difference)가 동작 주파수 전반에 걸쳐 일정하게 유지되는 것이 중요하다. 이러한 위상 응답(phase response)을 구현 하기 위한 방법으로 그룹 지연(group delay)에 대한 연구가 진행되어왔다^[3]. 본 논문은 피킹 전력 증폭기 입력 경로에 그룹 지연 보상(group delay compensation) 회로를 적용하여, 동작 주파수 대역 내에서 캐리어 및 피킹 경로 간의 전류 위상차를 일정하게 유지함으로써 임피던스 분산을 최소화하고, 광대역에서의 효율 및 최대 출력 전력을 향상시켰다. 제안된 보상 회로는 동일한 그룹 지연값을 갖는 병렬 공진 회로 두 개와 $\lambda/4$ 전송선으로 구성되며, 기존 입력 임피던스에 영향을 주지 않도록 설계되었다.

II. 전력 증폭기 설계

본 논문에서 도허티 전력 증폭기(DPA)의 부하 네트워크로 간소화된 all-in-one 부하 네트워크 설계 방식을 사용하였다. 이 설계 방식은 기존 도허티 구조에서 요구되던 복잡한 매칭 네트워크를 단일 L-section 기반 구조로 단순화하고 넓은 대역폭과 높은 효율을 동시에 달성할 수 있도록 한다. 특히, CCL, OCC, VS 기법을 하나의 통합된 네트워크로 구현함으로써, 소형화된 구조에서도 최적의 성능을 유지할 수 있도록 설계되었다. 제안된 부하 네트워크는 6 dB 수준에 머물렀던 기존 OBO를 7.5 dB까지 확장함으로써 고효율 동작 범위를 확대하였다. 또한, 3.1 GHz에서 4.1 GHz까지의 1 GHz 대역폭에서 동작하도록 설계되었으며, 2-dB 등고선 내에서 각 증폭기의 부하 임피던스들이 집중되도록 최적화하였다. 7.5 dB OBO를 만족시키기 위해, 높은 출력과 낮은 출력 전력에서의 캐리어 증폭기 부하 임피던스 비(β)는 식 (1)에 따라 2.81로 설계되었다^[8].

$$OBO \text{ (dB)} = 10\log(2\beta). \quad (1)$$

참고문헌 [8]을 참고하여 설계한 출력 매칭 네트워크의 설계 파라미터는 표 1에 나타났다.

그림 1은 트랜지스터를 이상적인 전류원으로 모델링하여, 동작 주파수 대역에서 캐리어와 피킹 증폭기 간의 고정된 출력 전류 위상차를 갖는 최종 부하 네트워크를 나타낸다. $R_{C,peak}$ 와 $R_{P,peak}$ 는 각각 높은 전력에서의 캐리어와 피킹 전력 증폭기의 부하 임피던스이고, $\beta R_{C,peak}$ 는 낮은 전력에서의 캐리어 증폭기의 부하 임피던스이다. Z_{ML} 은 결합 노드에서의 임피던스이고, $\Delta\theta_0$ 는 중심 주파수에서의 전류 위상차이다.

입력 네트워크(input network)는 캐리어 및 피킹 증폭기의 intrinsic plane에서의 부하 임피던스 $Z_{C,peak}$, $Z_{P,peak}$ 가 그림 1에 제시된 이상적인 전류원 기반의 부하 임피던스 $R_{C,peak}$, $R_{P,peak}$ 와 일치하도록 설계되어야 한다. All-in-one

표 1. 출력 매칭 네트워크 설계 파라미터
Table 1. Design parameters of the output matching network.

β	$R_{C,peak}$	$R_{P,peak}$	Z_{ML}	$\Delta\theta_0$
2.81	21 Ω	21 Ω	16.2 + j *8.2 Ω	80°

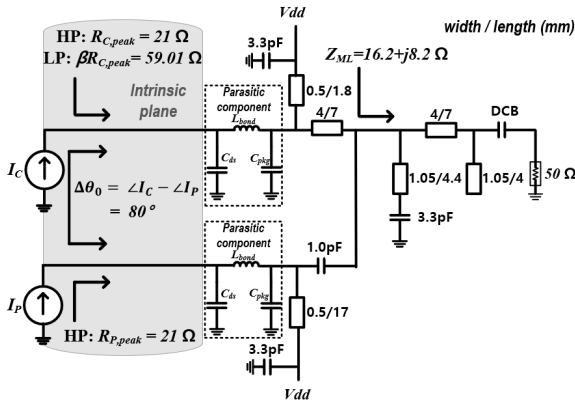


그림 1. 설계된 도허티 전력 증폭기의 부하 네트워크
Fig. 1. Load network of the designed DPA.

부하 네트워크 설계에서 제시된 방식으로 유도된 위상차를 기준으로 주파수 전 구간에서 각 부하 임피던스가 2-dB 전력 등고선 내에 집중되도록 시뮬레이션 최적화를 진행하였고, 최종적으로 중심 주파수에서 캐리어와 피킹 증폭기 간 위상차를 80°로 설정하였다. 이를 위해 피킹 증폭기 입력 경로에 오프셋 라인(offset line)을 추가하였으나 실제 트랜지스터와 입력 네트워크가 결합된 전체 회로를 설계하였을 때 넓은 주파수 대역에서 주파수에 따라 위상차가 변화되는 문제가 발생한다.

이에 따라 입력 네트워크는 전체 동작 대역에서도 위상차가 80°로 유지되도록 설계되어야 하며, 이를 구현하기 위해 그룹 지연 보상 회로를 입력 네트워크에 적용하였다. 캐리어 및 피킹 전력 증폭기 간 위상차의 주파수 독립성을 확보함으로써, 주파수 변화에 따른 임피던스 분산을 효과적으로 억제하고, 넓은 대역폭에서 고효율 및 고선형 성능을 동시에 달성하도록 설계되었다.

주파수에 따른 intrinsic plane에서의 캐리어와 피킹의 출력 전류 위상차는 식 (2)와 같다.

$$\Delta\theta(\omega) = \Delta\theta_0 + \Delta\tau_{gd}(\omega) \times (\omega - \omega_0). \quad (2)$$

$\Delta\tau_{gd}(\omega)$ 는 위상 편차의 변화율을 결정하는 요소로 주파수에 따른 상대 지연 그룹이다. $\omega - \omega_0$ 는 중심 주파수 (ω_0)에서의 주파수 편차이다.

그룹 지연 보상 회로에 의한 위상차 보정의 메커니즘

은 식 (3)으로 설명할 수 있다.

$$\theta_{comp}(\omega) = \tau_{gd} \times (\omega - \omega_0). \quad (3)$$

주파수에 따라 변하는 캐리어와 피킹 경로 간의 위상차를 보정하기 위해, 입력 네트워크에 그룹 지연 보상 회로를 추가하여 피킹 경로의 신호 전달 속도를 조정하였다. 이 회로는 주파수에 따라 선형적으로 변하는 그룹 지연을 제어함으로써 위상 보정 $\theta_{comp}(\omega)$ 를 제공하며, 식 (2)의 주파수 의존적 위상차 성분인 그룹 지연 항 $\Delta\tau_{gd}(\omega) \times (\omega - \omega_0)$ 을 상쇄하는 것을 목표로 한다.

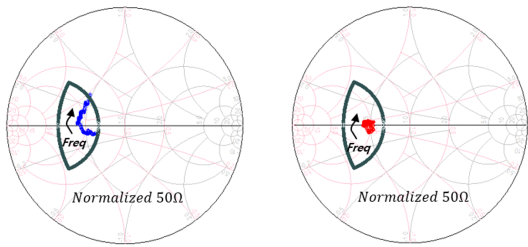
표 2에서 입력 네트워크에 단일 병렬 공진 회로를 적용하여 그룹 지연 보상을 수행하고, 이를 통해 intrinsic plane에서의 전류 위상차 변화를 분석하였다. 3.1~4.1 GHz의 동작 주파수 대역에서 이상적인 전류원 기준으로 부하 네트워크를 설계할 때, 전류 위상차는 80°($\Delta\theta_0$)로 고정되어 있다. 따라서 실제 트랜지스터와 입력 네트워크가 결합된 경우에도 그룹 지연 보상 회로를 이용해 전류 위상차가 전 대역에서 80°에 가깝도록 유지되어야 한다. 그룹 지연 96 ps(τ_{gd})의 그룹 지연 보상 회로를 피킹 전력 증폭기의 입력 경로에 추가하였을 때 intrinsic plane에서 위상차가 하한 및 상한 주파수에서의 전류 위상차가 중심 주파수의 전류 위상차에 대칭적으로 모여 임피던스 분산이 최소화되는 것을 확인하였다.

그림 2에서 볼 수 있듯이 $Z_{C,peak}$ 의 임피던스 분산이 그룹 지연 보상 회로를 적용하여 분산이 최소화되고 광대

표 2. 그룹 지연 보상 회로 적용 전후의 intrinsic plane에서의 전류 위상차 ($\Delta\theta(\omega)$) 비교

Table 2. Comparison of current phase difference ($\Delta\theta(\omega)$) at the intrinsic plane before and after applying the group delay compensation circuit.

	$\tau_{gd}[ps]$	$\Delta\theta(\omega_{min})[^\circ]$	$\Delta\theta(\omega_0)[^\circ]$	$\Delta\theta(\omega_{max})[^\circ]$
Before applying the group delay compensation	-	101.268	80	65.68
After applying the group delay compensation	71	92.55	80	77.72
	82	92.12	80	81.92
	96	91.22	80	88.73
	118	87.92	80	95.19



(a) 그룹 지연 보상 전
(b) 그룹 지연 보상 후
(a) Before applying group delay compensation
(b) After applying group delay compensation

그림 2. 2-dB 전력 등고선 내의 3.1~4.1 GHz 주파수 범위의 $Z_{C,peak}$ 임피던스 분산 시뮬레이션 결과
Fig. 2. Simulation results of the impedance $Z_{C,peak}$ for the 3.1~4.1 GHz frequency range within 2-dB power contour.

역으로 동작할 수 있음을 보여준다.

그러나 동작 대역의 하한과 상한인 3.1 GHz 및 4.1 GHz에서 intrinsic plane 상의 전류 위상차를 $\Delta\theta_0$ 에 가깝게 맞추는 것은 쉽지 않다. 단일 병렬 공진 회로만을 사용할 경우, 동작 주파수의 하한 및 상한 주파수에 대한 충분한 그룹 지연값을 확보하려면 공진 회로의 그룹 지연값을 크게 설정해야 하며, 이로 인해 반사 계수가 증가하여 회로가 협대역으로 동작하게 된다. 이는 기존 동작 주파수 대역에 맞춰 설계된 입력 정합(input matching)에 큰 영향을 미친다. 이러한 문제를 개선하기 위해, 본 논문에서는 단일 병렬 공진 회로에 집중된 그룹 지연 보상 값을 두 개의 공진 회로에 분산시켜 적용하였으며, 이들 사이에 $\lambda/4$ 의 전송선로를 추가함으로써 반사 계수를 낮추고 광대역 특성을 확보하였다.

그림 3은 96 ps의 그룹 지연을 갖는 단일 병렬 공진 회로와 반값인 48 ps의 그룹 지연을 갖는 두 개의 병렬 공진 회로 및 $\lambda/4$ 전송선로로 구성된 구조를 비교한 결과를 나타낸다. 그림 3의 (b) 회로는 (a) 회로에 비해 반사 계수가 개선된다. 이는 그룹 지연을 절반씩 분산시킨 두 개의 병렬 공진 회로를 적용함으로써, 중심 주파수에서 상한 및 하한 주파수로 이동할 때 발생하는 반사 계수의 분산이 감소하기 때문이다. 또한, 삽입된 $\lambda/4$ 전송선로는 스미스차트 상에서 중심 주파수의 반사 계수를 기준으로 90° 회전

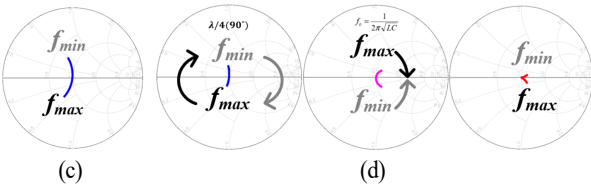
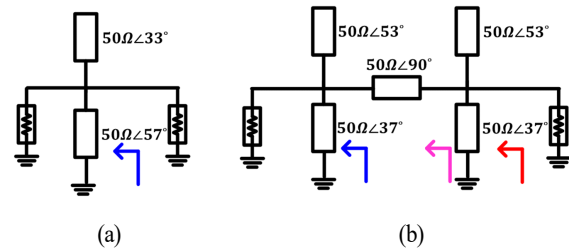


그림 3. 그룹 지연 보상 회로: (a) 단일 병렬 공진 회로, (b) 두 개의 병렬 공진 회로와 $\lambda/4$ 라인, (c) 스미스차트에서 (a) 회로의 3.1~4.1 GHz의 반사 계수, (d) 스미스차트에서 (b) 회로의 3.1~4.1 GHz의 반사 계수

Fig. 3. Group delay compensation circuit: (a) a single parallel resonator, (b) two parallel resonators with a $\lambda/4$ line, (c) reflection coefficient of (a) over 3.1~4.1 GHz on a Smith chart, (d) reflection coefficient of (b) over 3.1~4.1 GHz on a Smith chart.

시키며, 동일한 48 ps 그룹 지연에 따른 위상 변화는 하한 및 상한 주파수의 반사 계수를 중심 주파수 기준으로 x축 대칭 이동시켜, 전 대역에서 반사 계수가 차트 중심 근처에 분포되도록 유도한다. 이 구조에 사용된 $\lambda/4$ 전송선은 기존에 캐리어 및 피킹 경로 간의 전류 위상차 확보를 위해 삽입된 오프셋 라인과 layout을 위해 캐리어 입력 경로에 추가된 전송선을 그대로 활용한 것이다. 결과적으로, 그룹 지연 보상을 위한 $\lambda/4$ 전송선의 길이는 기존 회로 구성 내에서 확보되며, 추가적인 전송선 삽입 없이 설계가 가능하다.

그림 4는 피킹 전력 증폭기 입력 경로에 오프셋 라인을 포함하여 구성된 최종 그룹 지연 보상 회로를 나타낸다. (b) 구조는 기존 단일 병렬 공진 회로와 오프셋 라인으로 구성된 (a) 구조와 동일한 그룹 지연을 제공하면서도, S_{11} 을 효과적으로 낮춤으로써 주파수에 따른 임피던스 분산을 최소화하고 입력 임피던스 정합에 미치는 영향을 줄이도록 설계되었다. 하한 및 상한 주파수에서 S_{11} 은 10.4 dB, S_{21} 은 0.3 dB 개선되었다. 또한, intrinsic plane에서의

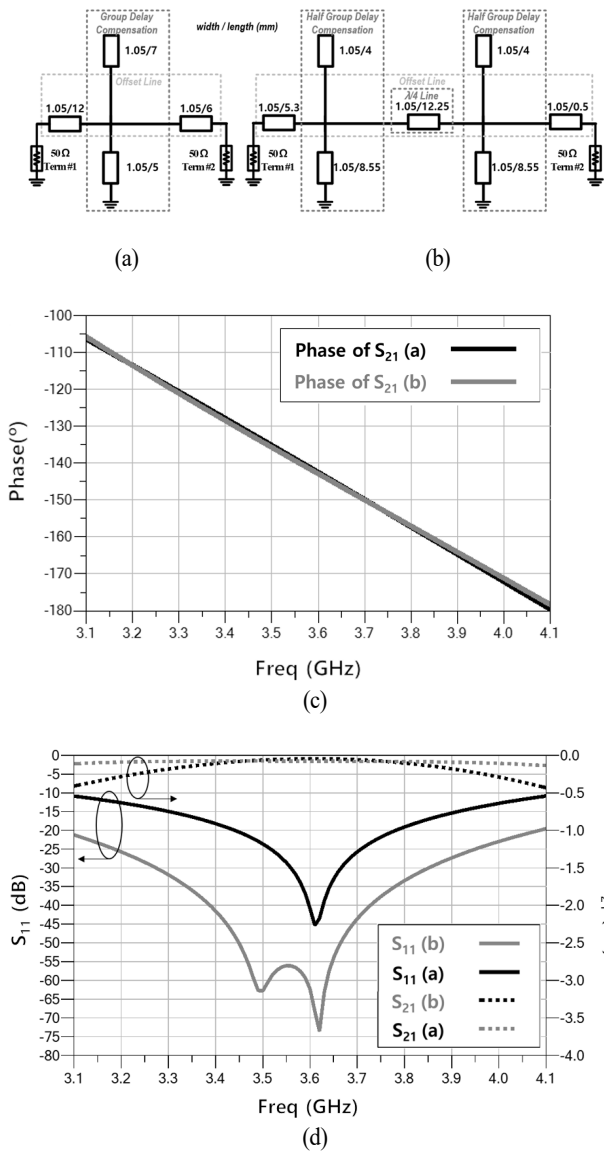


그림 4. 최종 그룹 지연 보상 회로: (a) 하나의 병렬 공진 회로와 오프셋 라인으로 구성된 구조, (b) 두 개의 병렬 공진 회로와 오프셋 라인($\lambda/4$ 라인)으로 구성된 구조, (c) 3.1~4.1 GHz에서 (a)와 (b)의 위상 응답, (d) 3.1~4.1 GHz에서 (a)와 (b)의 S_{11} 및 S_{21} 특성

Fig. 4. Final group delay compensation circuit: (a) structure consisting of a single parallel resonator and an offset line, (b) structure consisting of two parallel resonators and an offset line ($\lambda/4$ line), (c) phase responses of (a) and (b) over 3.1~4.1 GHz, (d) S_{11} and S_{21} characteristics of (a) and (b) over 3.1~4.1 GHz.

전류 위상차는 $\Delta\theta(\omega_{\min})$ 에서 88.2° , $\Delta\theta(\omega_{\max})$ 에서 74.5° 로 단일 병렬 공진 회로 대비 하한 주파수에서 6° , 상한 주파수에서 3° 개선되었다.

III. 제작 및 측정 결과

그림 5는 제작된 도허티 전력 증폭기 사진이다. PCB는 Rogers사의 RO4350B 기판을 사용하였고 전체 PCB의 크기는 $66.7 \times 52.4 \text{ mm}^2$, 두께는 20 mil, 유전율은 3.78이다. 캐리어 전력 증폭기와 피킹 전력 증폭기는 Cree사 10 W CG2H40010F 소자를 사용하였다. 캐리어 전력 증폭기와 피킹 전력 증폭기의 gate 전압은 각각 -2.9 V 와 -7 V 가 사용되었고 drain 전압은 28 V 가 사용되었다.

그림 6은 설계된 도허티 전력 증폭기의 전체 회로도이다. 입력단에는 Wilkinson divider를 통해 각 전력 증폭기에 동일한 입력이 인가되도록 하였고, 피킹 전력 증폭기 입력 경로에 그림 지연 보상 회로를 사용하여 전력 증폭기 간의 출력 전류 위상차를 보상해 주었다.

그림 7은 CW 신호를 사용하여 3.1~4.1 GHz에서 측정된 power gain과 DE를 나타낸 그래프이다. 제작된 전력 증폭기는 최대 출력 전력 43.5~44.5 dBm에서 54.6~64 %의 DE를 얻었고, 7.5 dB의 확장된 OBO 영역에서 9.5~11.6 dB의 power gain과 48.4~53.3 %의 DE를 얻었다.

그림 8은 5G NR 100 MHz 신호를 사용하여 측정된 결

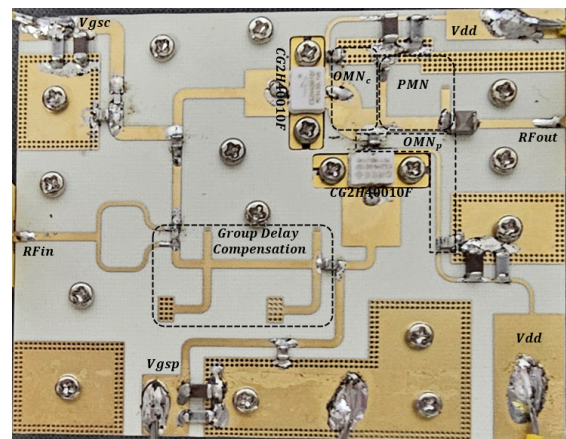


그림 5. 제작된 도허티 전력 증폭기
Fig. 5. Photograph of the implemented DPA.

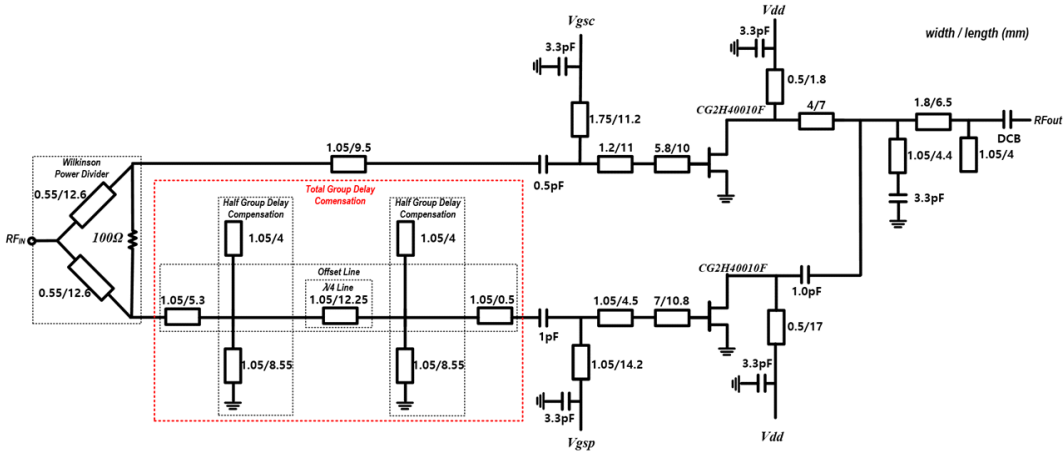


그림 6. 설계된 도허티 전력 증폭기 전체 회로도
Fig. 6. Overall schematic of the designed Doherty power amplifier.

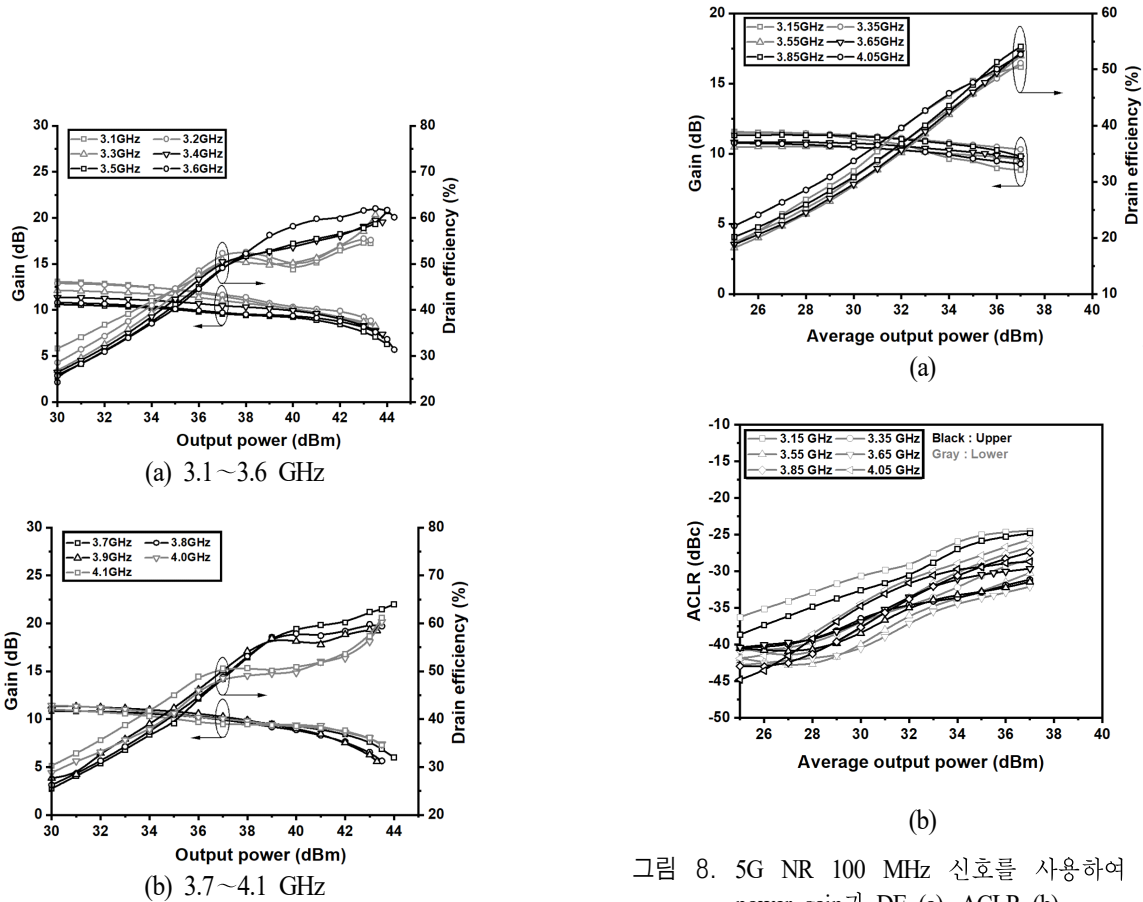


그림 7. CW 신호를 사용하여 측정된 power gain과 DE
Fig. 7. Measured power gain and DE using CW signal.

그림 8. 5G NR 100 MHz 신호를 사용하여 측정된 power gain과 DE (a), ACLR (b)
Fig. 8. Measured power gain and DE in (a), ACLR in (b) using 5G NR 100 MHz signal.

표 3. 이전 연구 결과들과의 비교

Table 3. Performance comparison to the previous works.

Ref.	Freq. (GHz)	Topology	Gain (dB, CW)	P_{sat} (dBm, CW)	OBO (dB)	P_{avg} (dBm, CW)	$DE@P_{avg}$ (% , CW)	FBW (%)	Signal/BW(MHz)	$DE@P_{avg}$ (%)	$ACLR@P_{avg}$ (dBc)
[9]	3~3.6	Symmetric LMBA	8~11*	43~44	6	37~38	38~56	18	-	-	-
[10]	3.3~4.3	Symmetric PMN	7.2~11.1	43.2~44.5	6	37.2~38.5	46~52	26.3	-	-	-
[11]	2.8~3.55	Symmetric	8.3~9.1	43~45	6	37~39	42.8~53	23.6	LTE/40	49.1~57.2	-38~-28*
[12]	2.8~3.6	Symmetric	8~13.5	43~44.2	6	37~38.2	44~56	25	-	-	-
[13]	3.4~3.8	Symmetric	9.5~11.5*	43.6~44.4	7.8	35.8~36.6	42~58*	11	5G NR/100	47~54.2	-28~-23
[14]	3.5~4.0	Symmetric	10.4~11.8	43.8~44.7	7	36.5	43~55*	13.3	5G NR/100	45.5~56.5	-27~-24.8
This work	3.1~4.1	Symmetric all-in-one+GD	9.5~11.6	43.5~44.5	7.5	36~37	48.4~53.3	27.8	5G NR/100	50.4~54.3	-32.1~-24.9

*Graphically estimated.

과이다. 3.15 GHz, 3.35 GHz, 3.55 GHz, 3.65 GHz, 3.85 GHz, 4.05 GHz에서 DE 50.4~54.3 %, power gain 8.83~10.3 dB를 얻었다. 또한, ACLR(adjacent channel leakage power ratio)은 평균 전력 37 dBm에서 -24.9 dBc 이하로 측정되었다.

표 3에서 Cree사 10 W CG2H40010F 소자 2개를 사용한 이전 연구들과 본 논문에서 제작된 도허티 전력 증폭기와의 성능을 비교하였다. 본 논문의 도허티 전력 증폭기는 이전 연구들과 비교하여 3.1~4.1 GHz(FBW 27.8 %)의 보다 넓은 동작 대역에서 높은 효율을 달성하였다. 또한, 제안된 그룹 지연 보상 회로를 통해 FBW 증가뿐 아니라 주파수 전 구간에서 효율 편차를 최소화하여 균일한 광대역 효율 특성을 확보하였다.

IV. 결 론

본 논문에서는 도허티 전력 증폭기의 광대역 동작과 고효율 특성 확보를 위해 all-in-one 부하 네트워크와 그룹 지연 보상 회로를 적용하였다. 제안된 all-in-one 부하 네트워크는 CCL, OCC, VS 기법을 단일 L-section 기반의 간소화된 구조로 통합하여, 7.5 dB의 확장된 OBO에서도 효율 손실 없이 넓은 주파수 대역에서 안정적으로 동작할

수 있도록 설계되었다. 또한, 주파수 전 대역에서의 캐리어 및 피킹 증폭기 간의 위상차가 중심 주파수의 위상차 ($\Delta\theta_0$)로 유지되도록 그룹 지연 보상 회로를 입력 네트워크에 적용하였다. 보상 회로는 동일한 그룹 지연값을 갖는 병렬 공진 회로 두 개와 $\lambda/4$ 전송선으로 구성되어, 기존 단일 공진 회로 대비 반사 계수를 효과적으로 감소시켜 주파수에 따른 임피던스 분산을 최소화하였다. 제작된 도허티 전력 증폭기는 CW 신호를 사용한 대신 측정 결과, 43.5~44.5 dBm의 최대 출력 전력에서 54.6~64 %의 DE를 얻었다. 최대 출력 전력에서 7.5 dB back-off 지점인 36~37 dBm 출력 전력에서 48.4~53.3 %의 DE와 9.5~11.6 dB의 power gain을 얻었다. 또한, 5G NR 100 MHz 신호를 사용한 대신 측정 결과, OBO 7.5 dB 지점인 출력 전력 37 dBm에서 power gain 8.83~10.3 dB와 DE 50.4~54.3%를 얻었고 ACLR은 -24.9 dBc 이하로 측정되었다.

References

[1] W. H. Doherty, "A new high efficiency power amplifier for modulated waves," *Proceedings of the IEEE*, vol. 24, pp. 1163-1182, Sep. 1936.

- [2] B. Kim, J. Kim, I. Kim, and J. Cha, "The Doherty power amplifier," *IEEE Microwave Magazine*, vol. 7, no. 5, pp. 42-50, Oct. 2006.
- [3] M. Cavarroc, A. Lamy, O. Lembeye, R. McLaren, C. Duvaud, and S. Bachir, "Compact 40% fractional bandwidth Doherty PA with input group delay engineering," *IEEE Microwave and Wireless Technology Letters*, vol. 33, no. 6, pp. 851-854, Jun. 2023.
- [4] S. Honda, S. Sakata, Y. Komatsuzaki, and S. Shinjo, "Efficiency enhancement of GaN Doherty power amplifier at large power back-off with virtual short stub technique," in *IEEE Asia-Pacific Microwave Conference(APMC)*, Singapore, Dec. 2019, pp. 294-296.
- [5] M. R. Hasin, J. Kitchen, "Exploiting phase for extended efficiency range in symmetrical Doherty power amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 67, no. 8, pp. 3455-3463, Aug. 2019.
- [6] W. Choi, H. Kang, H. Oh, K. C. Hwang, K. Y. Lee, and Y. Yang, "Doherty power amplifier based on asymmetric cells with complex combining load," *IEEE Transactions on Microwave Theory and Techniques*, vol. 69, no. 4, pp. 2336-2344, Apr. 2021.
- [7] Y. Chen, W. Choi, J. Shin, H. Jeon, S. Bae, and Y. C. Choi, "Generalized expression and design method of modified load networks for Doherty power amplifier with extended back-off range," *IEEE Access*, vol. 10, pp. 77487-77497, Jul. 2022.
- [8] Y. Chen, W. Choi, J. Shin, H. Jeon, S. Bae, and S. Bin, "Simplified all-in-one load network of the broadband Doherty power amplifier," *IEEE Transactions on Microwave Theory and Techniques*, vol. 73, no. 2, pp. 953-964, Aug. 2024.
- [9] J. M. Rubio, J. Fang, V. Camarchia, R. Quaglia, M. Pirola, and G. Ghione, "3 - 3.6-GHz wideband GaN Doherty power amplifier exploiting output compensation stages," *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 8, pp. 2543-2548, Aug. 2012.
- [10] C. Shen, S. He, X. Zhu, J. Peng, and T. Cao, "A 3.3 - 4.3-GHz high-efficiency broadband Doherty power amplifier," *IEEE Microwave and Wireless Components Letters*, vol. 30, no. 11, pp. 1081-1084, Nov. 2020.
- [11] M. Li, J. Pang, Y. Li, and A. Zhu, "Bandwidth enhancement of Doherty power amplifier using modified load modulation network," *IEEE Transactions on Circuits and Syst. I: Regular Papers*, vol. 67, no. 6, pp. 1824-1834, Jun. 2020.
- [12] A. Nasri, M. Estebarsari, S. Toofan, A. Piacibello, M. Pirola, and V. Camarchia, et al., "Design of a wideband Doherty power amplifier with high efficiency for 5G application," *Electronics*, vol. 10, no. 8, p. 873, Apr. 2021.
- [13] K. Kwon, W. Choi, J. Shin, Y. Chen, Y. C. Choi, and S. Bae, et al., "Compact load network having a controlled electrical length for Doherty power amplifier," *IEEE Access*, vol. 10, pp. 70440-70446, 2022.
- [14] Y. Chen, W. Choi, J. Shin, H. Jeon, S. Bae, S. Bin, and S. Nam, et al., "New compact load network for Doherty power amplifiers based on L-section matching network of the carrier amplifier and post-matching network," *IEEE Access*, vol. 11, pp. 66478-66487, Jun. 2023.

김도현 [성균관대학교/석사과정]

<https://orcid.org/0009-0002-3629-6723>



2014년 7월: 서강대학교 전자공학과 (공학사)

2014년 7월~현재: 삼성전자 책임연구원

2024년 3월~현재: 성균관대학교 DMC공학과 석사과정

[주 관심분야] RF/mm-Wave power Amplifier, Linearization and Efficiency Enhancement Techniques

cement Techniques

김상엽 [성균관대학교/석사과정]

<https://orcid.org/0009-0004-4382-4218>



2024년 2월: 강원대학교 전자공학과 (공학사)

2024년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정

[주 관심분야] RF/mm-Wave power Amplifier, Wireless power transmission, MMIC, and Front-end module

안 민 석 [성균관대학교/석·박사통합과정]

<https://orcid.org/0009-0001-1672-7488>



2021년 8월: 성균관대학교 전자전기공학부 (공학사)
2024년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석·박사통합과정
[주 관심분야] RF/mm-Wave power Amplifier, Linearization and Efficiency Enhancement Techniques

이 윤 정 [성균관대학교/석·박사통합과정]

<https://orcid.org/0009-0001-7373-6065>



2023년 2월: 경희대학교 전자공학과 (공학사)
2023년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석·박사통합과정
[주 관심분야] RF/mm-Wave power Amplifier, Wireless power transmission, MMIC, and Front-end module

주 윤 형 [성균관대학교/석·박사통합과정]

<https://orcid.org/0009-0006-0820-9935>



2024년 2월: 성균관대학교 전자전기공학부 (공학사)
2023년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석·박사통합과정
[주 관심분야] RF/mm-Wave power Amplifier, Wireless power transmission, MMIC, and Front-end module

양 영 구 [성균관대학교/교수]

<https://orcid.org/0000-0003-3463-0687>



1997년 2월: 한양대학교 전자공학과 (공학사)
2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)
2002년 3월~2002년 7월: 포항공과대학교 전자전기공학과 박사후 연구원
2002년 8월~2005년 2월: Skyworks

Solutions Inc., Senior Electronic Engineer

2005년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 교수
[주 관심분야] 초고주파 회로설계, 무선통신 송/수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구