

## 40-nm CMOS 공정을 이용한 64/144 GHz 이중 대역 증폭기

### A 64 /144 GHz Dual-Band Amplifier in 40-nm CMOS Technology

박 강 우 · 서 문 교

Kangwoo Park · Munkyo Seo

#### 요 약

본 논문에서는 40-nm CMOS 공정을 활용하여 V-대역(64 GHz)과 D-대역(144 GHz)을 동시에 지원하는 이중 대역 증폭기를 제안한다. 입력 및 출력 정합 단계에서 별도의 능동 소자를 사용하지 않고 공진 특성을 효과적으로 활용함으로써, 단일 칩 내에서 두 주파수 대역에서 동작하는 증폭기 설계를 달성하였다. 측정 결과, 제안된 증폭기는 64 GHz에서 최대 6.2 dB의 이득과 12.4 GHz의 3-dB 대역폭을, 144 GHz에서 최대 4.93 dB의 이득과 32.8 GHz의 3-dB 대역폭을 각각 나타냈다. 총 소비전력은 13.2 mW로 구동함을 확인했다. 본 회로는 단일 단계 증폭기로 구성되어 있기 때문에 다단 증폭기로 확장할 경우 이득 성능을 더욱 향상시킬 수 있을 것으로 기대되며, 제안된 이중 대역 증폭기는 차세대 고주파 대역 통신 시스템에서 고속 전송과 저지연 요구 사항을 효과적으로 충족시킬 수 있는 기반 기술로 활용될 수 있을 것으로 기대된다.

#### Abstract

This paper proposes a dual-band amplifier implemented in a 40-nm complementary metal-oxide-semiconductor (CMOS) process that supports both the V-band (64 GHz) and the D-band (144 GHz) frequencies. Without employing additional active components, the input and output matching networks leverage resonant characteristics to enable dual-band operation within a single chip. Measurement results demonstrate that the proposed amplifier achieves a peak gain of 6.2 dB with a 3 dB bandwidth of 12.4 GHz at 64 GHz and a peak gain of 4.93 dB with a 3 dB bandwidth of 32.8 GHz at 144 GHz. The total power consumption is 13.2 mW, demonstrating its feasibility for practical applications. Given its single-stage configuration, the amplifier's gain performance is expected to improve further upon extension to a multistage design. The proposed dual-band amplifier represents a promising solution for satisfying the high-speed and low-latency requirements of next-generation high-frequency communication systems.

Key words: CMOS, RF Circuit, V-Band, D-Band, Dual-Band

#### I. 서 론

V-대역(40~75 GHz)의 무선 통신은 고속 전송과 저지연

에 대한 수요가 꾸준히 증가함에 따라 유망한 대안으로 부각되고 있다. 또한 V-대역은 5G 통신, 무선 백홀, 무선 기가비트(wigig) 기술 등에 폭넓게 활용될 수 있는 높은 잠재력

「본 연구는 IDEC에서 EDA Tool를 지원받아 수행하였습니다.」

「이(성과물)은 산업통상자원부 ‘산업혁신인재성장지원사업’의 재원으로 한국산업기술진흥원(KIAT)의 지원을 받아 수행된 연구임. (2025년 반도체특성화대학원지원사업(성균관대학교), 과제번호: P0023704)」

성균관대학교 반도체융합공학과(Department of Semiconductor Convergence Engineering, Sungkyunkwan University)

· Manuscript received April 1, 2025 ; Revised April 17, 2025 ; Accepted April 28, 2025. (ID No. 20250401-033)

· Corresponding Author: Munkyo Seo (e-mail: mkseo@skku.edu)

을 지니고 있고<sup>[11][12]</sup> D-대역(110~170 GHz)은 넓은 대역폭과 비교적 낮은 대기 감쇠 특성 덕분에 차세대 주파수 자원으로 주목받고 있다. 또한 D 대역 기반 고정 무선(fixed-radio) 서비스의 전망에 발맞추어, CEPT ECC에서 해당 대역의 주파수 할당을 표준화하고 있다<sup>[3]</sup>. 이러한 이유로 두 대역에서 동작하는 다양한 송수신 회로가 개발되고 있다<sup>[4]~[9]</sup>.

기존의 이중 대역 증폭기 설계 사례들을 살펴보면, 일반적으로 V-대역보다 낮은 주파수 대역을 지원하는 구조들이 많이 연구되었다. 대표적으로 LC 탱크 구조를 사용한 방법, 스위치를 적용한 가변 스텝을 이용하여 정합을 수행하는 방식 등이 활용되었으며, 이를 통해 두 주파수 대역 간의 전환이 가능한 구조를 구현하였다<sup>[10]~[14]</sup>.

그러나 기존의 이중 대역 증폭기 연구들은 대부분 D-대역을 다루지 않았으며, 정합단의 구현에 능동 소자를 활용하거나 복잡한 스위치 구조를 사용하는 경우가 많아 칩 면적과 소비전력 측면에서 부담이 있었다.

본 논문에서 제안하는 이중 대역 증폭기는 기존 연구들과 달리 입력 및 출력 정합단에 능동소자를 사용하지 않고, 마이크로스트립 라인(microstrip line)과 수동 소자를 이용해 직렬 공진을 구현함으로써 최적화된 정합을 달성하였다. 특히 V-대역뿐만 아니라 기존 연구에서 잘 다루어지지 않았던 D-대역을 동시에 지원한다는 점에서 차별성이 있으며, 이를 통해 D-대역에서의 적용 가능성을 높이고 소비전력 효율을 개선함과 동시에 회로의 복잡성도 낮출 수 있었다. 또한, 단일 칩 내에서 두 주파수 대역을 효율적으로 지원할 수 있도록 설계 방법과 구현 결과를 제시하고, 주파수별 성능 측정 및 분석을 통해 제안한 회로 토폴로지의 타당성을 검증하였다.

## II. 증폭기 설계

### 2.1 기본 구조

그림 1은 본 논문에서 제안한 이중 대역 증폭기의 회로도를 나타낸다. 본 증폭기는 단일종단(single-ended) 구조로, 게이트 폭이 32  $\mu\text{m}$ 인 트랜지스터를 공통 소스(common-source) 방식으로 구성하였다.

소신호 이득(small-signal gain)을 극대화하기 위해 정합

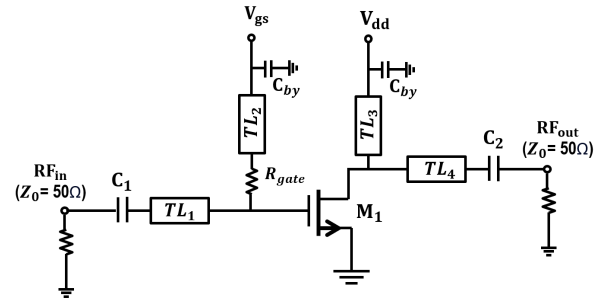


그림 1. 이중 대역 증폭기 회로도

Fig. 1. Schematic of dual-band amplifier.

에 직렬 커패시터를 사용하여 DC 차단과 정합 기능을 동시에 수행하도록 구성하였고 정합에 마이크로스트립 라인을 사용하였다. 사용한 전송선은 TSMC 40-nm CMOS 공정의 금속 배선 구조를 기반으로 하며, 최하위 2개의 금속층(M1, M2)을 접지면(ground plane)으로 구성하고, 최상위 금속층(M10)을 신호선으로 활용하여 형성하였다. 정합에 사용하는 병렬 스텝(stub)에 직접 게이트 바이어스(bias) 전압을 공급하였다.

### 2.2 이중 대역 입력 정합단

본 논문에서는 기준면 2에서 직렬 커패시터와 마이크로스트립 라인을 통해 1차 정합을 수행하고, 기준면 3에서는 병렬 스텝을 추가로 이용하여 2차 정합을 구현함으로써 이중 대역 특성을 확보하였다.

구체적으로는 주파수에 따라 서로 다른 정합 궤적을 갖도록 유도하여, 각 동작 주파수에서 정규화된 소스 어드미턴스가 트랜지스터 입력 어드미턴스의 공액(conjugate) 값과 일치하도록 설계하였다. 이는 스미스 차트에서 constant-g 원에 소스 어드미턴스를 위치시키는 방식으로 설명할 수 있으며, 자세한 내용은 이 절 내에서 추가로 다룬다.

그림 2는 이중 대역 정합단의 회로도이다. 기준면 1에서 회로의 정합단의  $Z_0$ 가 트랜지스터의 입력 임피던스에 공액 임피던스  $Z_{in}^*$ 가 되도록 설계하였다. 정합단은 그림 2과 같이 기준면 2에서는 직렬 커패시터( $C_s$ )와 직렬 마이크로스트립 라인( $TL_s$ )를 이용하여 1차 정합을 수행하며, 기준면 3에서는 병렬 스텝( $TL_p$ )를 추가하여 최종적인 정

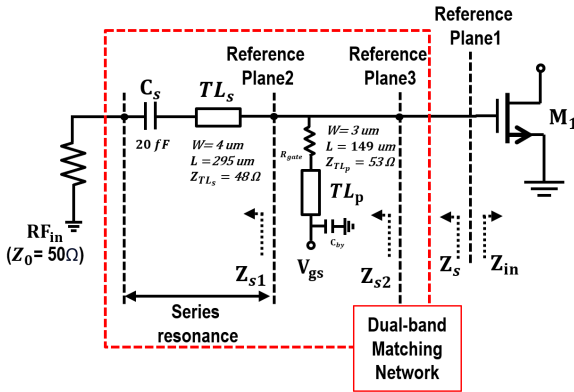


그림 2. 이중 대역 정합단의 회로도

Fig. 2. Schematic of a dual-band matching network.

합을 완료한다.

기준면 2에서 정규화된 소스 어드미턴스  $y_{s1} = Z_0/Z_s$ 를 동작 주파수(64 GHz 및 144 GHz)에서 트랜지스터의 입력 어드미턴스의 실수부  $\text{re}\{y_{in}^*\}$ 와 동일한 값을 가지는 constant-g 원 상으로 이동하도록 하였다.

기준면 2의 소스 임피던스  $z_{s1} = Z_{s1}/Z_0$ 은 직렬 커패시터와 마이크로스트립 라인을 고려하여 식 (1)과 같이 표현한다.  $\beta$ 는 전송선의 위상 상수,  $\ell$ 은 전송선의 길이를 나타낸다.

$$z_{s1} = \frac{(Z_0 + \frac{1}{j\omega C_s}) + jZ_0 \tan(\beta \ell_s)}{Z_0 + j(Z_0 + \frac{1}{j\omega C_s}) \tan(\beta \ell_s)} \quad (1)$$

이를 정규화한 어드미턴스  $y_{s1} = Z_0/Z_{s1}$ 로 변환하면 식 (2)과 같다.

$$y_{s1} = \frac{Z_0 + j(Z_0 + \frac{1}{j\omega C_s}) \tan(\beta \ell_s)}{(Z_0 + \frac{1}{j\omega C_s}) + jZ_0 \tan(\beta \ell_s)} \quad (2)$$

식 (3)~식 (5)는  $y_{s1}$ 를 각각의 주파수에서  $\text{re}\{y_{in}^*\}$ 와 동일한 값을 가지는 constant-g 원 상으로 동시에 이동시키는 조건을 지정한다.

$$\text{re}\{y_{s1}\} = \text{re}\{y_{in}^*\} \quad (3)$$

$$\text{im}\{y_{s1}\} \text{ of } 64 \text{ GHz} > 0 \quad (4)$$

$$\text{im}\{y_{s1}\} \text{ of } 144 \text{ GHz} < 0 \quad (5)$$

식 (3)은 각 주파수에서의  $\text{re}\{y_{s1}\}$ 가  $\text{re}\{y_{in}^*\}$ 와 동일한 constant-g 원 상에 위치함을 나타낸다. 식 (4) 및 식 (5)는 64 GHz에서  $\text{im}\{y_{s1}\}$ 가 캐패시티브(capacitive) 영역에 존재하며, 144 GHz에서는 인덕티브(inductive) 영역에 존재함을 나타낸다. 기준면 3은 그림 2에 나타난 바와 같이 병렬 스텝( $TL_p$ )으로 구성된다. 이 병렬 스텝은 두 동작 주파수에서의  $y_{s1}$ 을 각 주파수에 해당하는 constant-g 원 상의  $y_{in}^*$ 으로 이동시킨다. 여기서 기준면 3의 소스 임피던스  $z_{s2} = Z_{s2}/Z_0$ 를 정규화된 어드미턴스  $y_{s2} = Z_0/Z_{s2}$ 로 표현한다면 식 (6)과 같이 표현한다.

$$y_{s2} = y_{s1} - j \cot(\beta \ell_p) \quad (6)$$

최종적으로, 임피던스 정합은  $y_{s2}$ 가  $y_{in}$ 의 공액 값이 되도록 설정함으로써 정합이 달성된다.

그림 3은 정합단의 스미스 차트 상의 정합 궤적을 보여준다.

### 2.3 이중 대역 출력 정합단

그림 4는 이중 대역 출력 정합단의 블록도이다. 출력 정합은 입력 정합단과 유사하게, 직렬 공진 특성을 활용하여 이중 대역 특성을 확보하고 출력 정합단이 두 대역의 부하 임피던스( $Z_L$ )를 트랜지스터 출력 임피던스의 공액 임피던스에 동시에 일치시킨다.

그림 5는 출력 정합단의 임피던스 정합 궤적을 보여준다.

그림 6(a)는 V-대역에서의  $G_{\max}$  및  $G_{\text{eff}}$  시뮬레이션 결과다.  $G_{\text{eff}}$ 은 트랜지스터의 최대 이득  $G_{\max}$ 에서 매칭단의

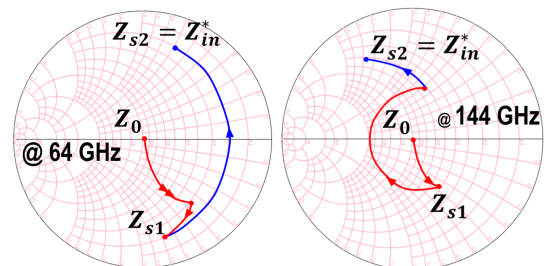


그림 3. 스미스 차트에서 임피던스 변환 궤적

Fig. 3. The impedance trajectory on the smith chart.

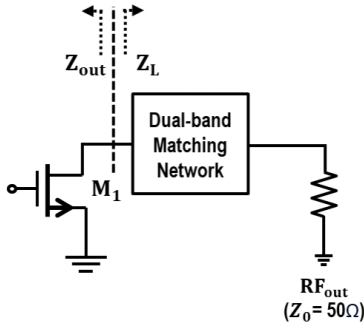


그림 4. 이중 대역 증폭기 출력 정합단의 블록도  
Fig. 4. Block diagram of the output matching network for a dual-band amplifier.

삽입 손실을 반영한 결과로 effective  $G_{\max(\text{input})}$ 는 입력 정합단의 손실을, effective  $G_{\max(\text{output})}$ 은 출력 정합단의 손실을 반영한 유효 최대 이득 값이다. 64 GHz에서의 유효 최대 이득값은 입력단과 출력단을 각각 반영하였을 때 8.79 dB, 9.54 dB로 삽입 손실은 각각 2.35 dB, 1.59 dB이다. 그림 5(b)는 D-대역에서의  $G_{\max}$  및  $G_{\text{eff}}$  시뮬레이션 결과다. 144 GHz에서의 유효 최대 이득값은 입력단과 출력단을 각각 반영하였을 때 5.84 dB, 6.5 dB로 삽입 손실은 각각 1.83 dB, 1.16 dB이다.

입력 정합단의 손실이 출력 정합단보다 더 큰 이유는 설계에 사용한 트랜지스터의 입력 임피던스가 작아 삽입 손실이 상대적으로 증가했기 때문이다.

두 주파수 간격이 넓어질수록 정합을 위한 임피던스 이동 경로가 길어지게 된다. 이는 스미스 차트 상에서 정합 임피던스를 목표로 이동시키는 과정에 손실이 증가하게

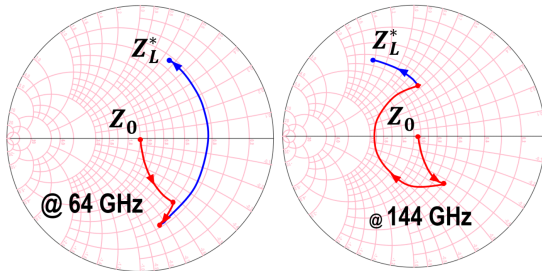
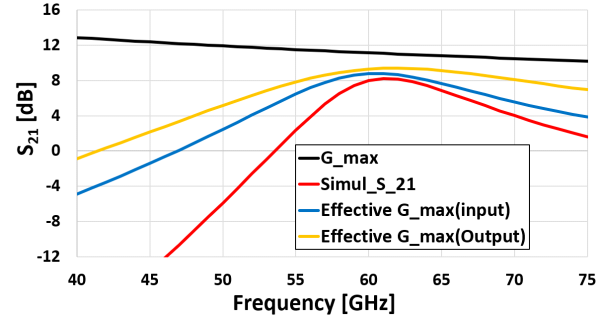
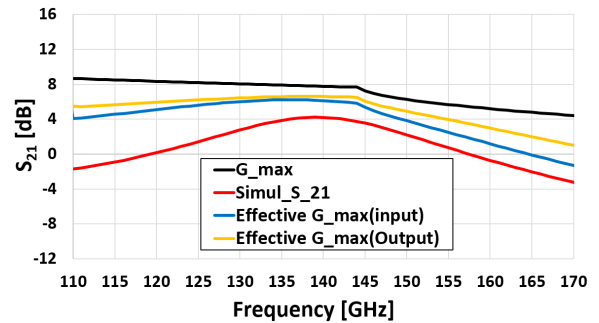


그림 5. 출력 정합단의 임피던스 변환 궤적  
Fig. 5. The impedance trajectory of output matching network.



(a) V-대역에서의  $G_{\max}$  및  $G_{\text{eff}}$  시뮬레이션 결과  
(a) Simulation results of  $G_{\max}$  & matching network in V-band



(b) D-대역에서의  $G_{\max}$  및  $G_{\text{eff}}$  시뮬레이션 결과  
(b) Simulation results of  $G_{\max}$  &  $G_{\text{eff}}$  in D-band

그림 6. V-대역, D-대역  $G_{\max}$  및 정합 손실 시뮬레이션 결과  
Fig. 6. V-band, D-band  $G_{\max}$  & matching loss Simulation results.

된다. 이러한 임피던스 경로 증가로 인해 얻을 수 있는 장점은 넓은 대역폭이지만, 반대로 손실 증가로 인해 최대 이득은 낮아지는 설계 절충이 발생한다. 두 주파수 대역에서 동시에 낮은 손실을 구현하기 위해서는 더 높은 품질 계수(Q-factor)를 가지는 수동소자 또는 트랜지스터의 사용이 필요하다.

본 회로는 높은 주파수에서 동작하기 때문에, 레이아웃(layout) 상의 기생 성분이 회로 성능에 미치는 영향이 크다. 이에 따라 주요 정합단 및 전송선 구조에 대해 Cadence EMX를 이용한 전자기(EM) 시뮬레이션을 수행하여 설계의 정확성을 확보하였다. 매칭 네트워크는 앞서 제시한 수식과 EM 시뮬레이션 결과를 바탕으로 구성되었으며, 이를 통해 입력 및 출력 정합 네트워크의 최종 구성을 결정하였다.

### III. 측정 결과

그림 7은 TSMC 40-nm CMOS 공정으로 제작된 이중 대역 증폭기의 칩 사진이다. 패드를 제외한 회로의 크기는  $220 \times 250 \mu\text{m}$  이다. 증폭기의 게이트와 드레인 바이어스 전압은 각각 0.65 V, 1.1 V이며 총 소비전력은 13.2 mW이다.

#### 3-1 산란계수 측정

그림 8은  $\mu$  안정도 계수를 나타내었으며, 전 주파수 구간에서 1보다 크게 나타났다. 그림 9는 증폭기의 산란계수 측정을 위한 V-대역, D-대역 DUT 측정 셋업이다. V-대역 측정 장비는 Anritsu의 VNA 4647A, 3739B, Cascade II10-A-GSG-100으로 구성하였다. D-대역 측정 셋업은 Keysight의 PNA-X N5244B 네트워크 분석기, VDI의 VNAX WR-6.5 D-대역 주파수 확장 모듈 및 Eravant의 D-대역 감쇄

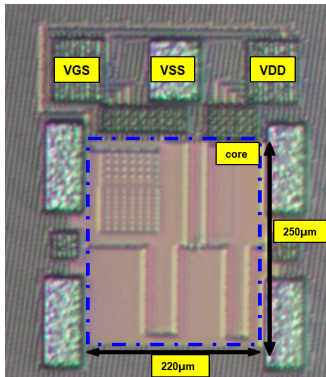


그림 7. 이중 대역 증폭기의 칩 사진  
Fig. 7. Chip micrograph of dual-band amplifier.

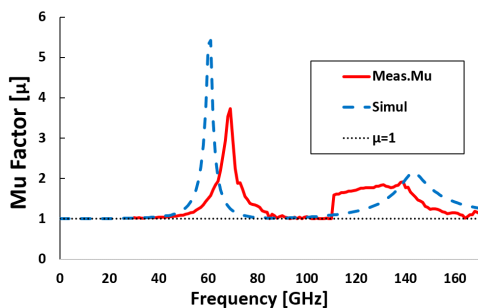
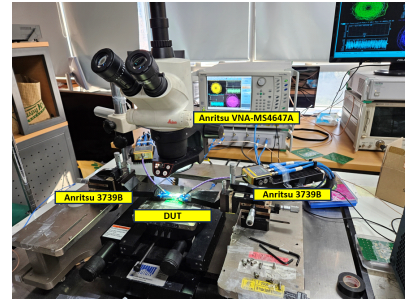
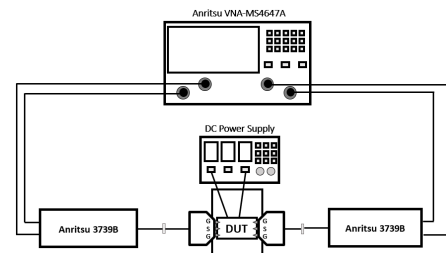


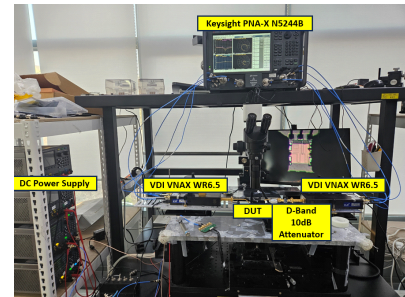
그림 8. 측정 및 시뮬레이션 된  $\mu$  안정도 계수  
Fig. 8. Measured and simulated  $\mu$  stability factor ( $\mu$ ).



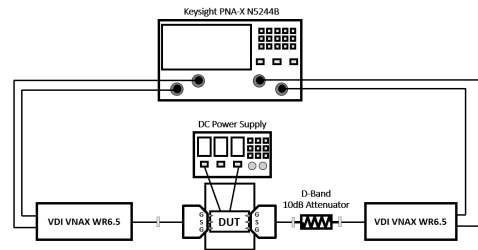
(a) V-대역 측정 셋업  
(a) Measurement setup for V-band



(b) V-대역 측정 셋업 블록 다이어그램  
(b) Measurement setup block diagram for V-band



(c) D-대역 측정 셋업  
(c) Measurement setup for D-band



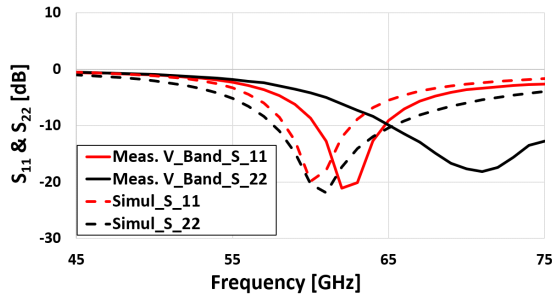
(d) D-대역 측정 셋업 블록 다이어그램  
(d) Measurement setup block diagram for D-band

그림 9. V-대역, D-대역 산란계수 측정 셋업  
Fig. 9. V-band, D-band S-parameter measurement setup.

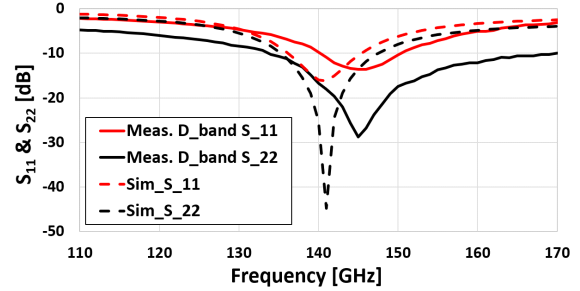
기로 구성하였으며 프로브는 Infinity의 I170-T-GSG-100-BT를 사용하였다.

그림 9의 셋업을 이용한 산란계수 측정 결과를 그림 10에 시뮬레이션과 비교하였다. 증폭기의 최대 이득은 64 GHz에서 6.2 dB, 144 GHz에서 4.93 dB, 3-dB 대역폭은 64 GHz에서 12.4 GHz(60.6~73 GHz), 144 GHz에서 32.8 GHz(129.6~162.4 GHz)로 측정되었고 최대  $S_{21}$ 의 경우 64

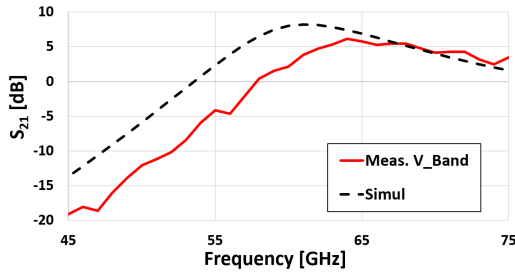
GHz에서 시뮬레이션보다 2.1 dB 작게, 3-dB 대역폭은 시뮬레이션 결과인 10.9 GHz보다 1.5 GHz 큰 대역폭을 보였다. 144 GHz에서  $S_{21}$ 은 시뮬레이션보다 0.7 dB 크게, 3-dB 대역폭은 시뮬레이션 결과인 28.8 GHz보다 4 GHz 큰 결과를 보였다. 이러한 차이는 레이아웃의 모델링 과정에서 발생한 오차로 인해 정합단에서 정합 불량이 발생함으로써 비롯된 것으로 추정된다. 표 1은 최신 V-대역, D-대역



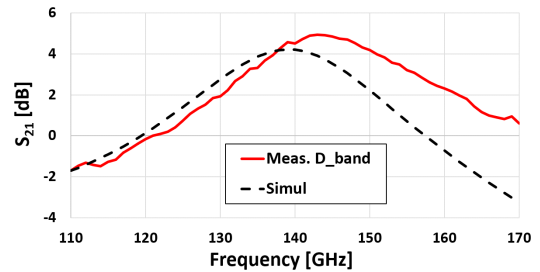
(a) V-대역에서의  $S_{11}$  및  $S_{22}$ 의 측정 및 시뮬레이션 결과  
(a) Measured and simulated results of  $S_{11}$  and  $S_{22}$  in V-band



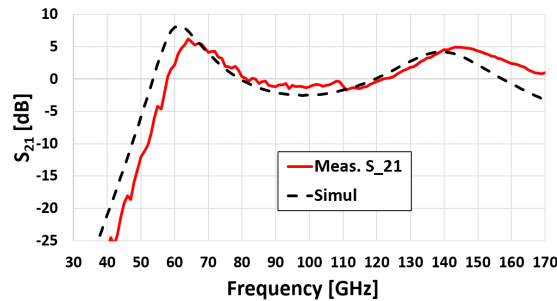
(b) D-대역에서의  $S_{11}$  및  $S_{22}$ 의 측정 및 시뮬레이션 결과  
(b) Measured and simulated results of  $S_{11}$  and  $S_{22}$  in D-band



(c) V-대역에서의  $S_{21}$  측정 및 시뮬레이션 결과  
(c) Measured and simulated results of  $S_{21}$  in V-band



(d) D-대역에서의  $S_{21}$  측정 및 시뮬레이션 결과  
(d) Measured and simulated results of  $S_{21}$  in D-band



(e) V-대역 & D-대역에서의  $S_{21}$  측정 및 시뮬레이션 결과  
(e) Measured and simulated results of  $S_{21}$  in V-band & D-band

그림 10. 이중 대역 증폭기 산란계수 측정 결과

Fig. 10. Measured  $S$ -parameters of the dual-band amplifier.



증폭기 및 이중 대역 증폭기의 성능 비교표이다.

### 3-2 시뮬레이션 기반 출력 전력 특성

그림 11은 본 회로의 출력 전력 특성을 분석하기 위해 cadence spectre 환경에서 수행한 입력 전력에 따른 출력 전력 시뮬레이션 결과를 나타낸 것이다. 시뮬레이션은 각각의 주파수(64 GHz, 144 GHz)에서 시뮬레이션하였고, 그 결과, 각각의 주파수에서 3.06 dBm, 3.45 dBm 의 1 dB 압축점을 확인하였다.

또한, 64 GHz 동작 시 발생할 수 있는 2차 고조파(128 GHz)가 144 GHz 대역과 근접해 있음에 따라 이로 인한 성능 저하 가능성을 검토하였다. 이를 위해 64 GHz 및 144 GHz 입력 조건에 대해 harmonic balance 시뮬레이션을 수행하였으며,

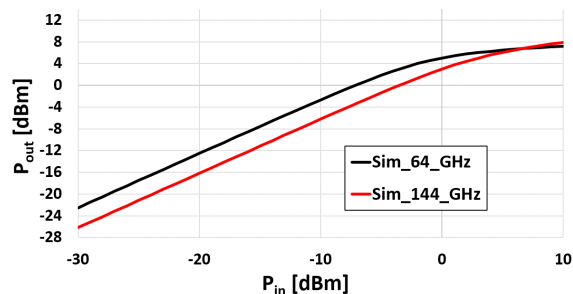


그림 11.  $P_{in}$  vs  $P_{out}$  시뮬레이션 결과

Fig. 11. Simulated result of  $P_{in}$  vs  $P_{out}$ .

입력 전력  $-20$  dBm 하에서 출력 스펙트럼을 분석한 결과, 128 GHz 성분은 fundamental 대비  $-49.51$  dBc로 확인되었다. 이를 통해 2차 고조파 성분은 충분히 억제되어 있고, 144 GHz 대역 신호에 미치는 간섭 영향은 미미한 것으로 판단된다.

표 1. 최신 V-대역 및 D-대역 증폭기 및 이중 대역 증폭기 비교

Table. 1. Comparison of latest V-band, D-band, and dual-band amplifiers.

	Reference	Tech	Topology	Freq (GHz)	Peak gain (dB)	BW <sub>3-dB</sub> (GHz)	Stage	Gain per stage (dB)	$P_{IdB}$ (dBm)	$P_{DC}$ (mW)
V-band amplifier	IMS 2023 [4]	22-nm FD-SOI	differential cs	63	20.4~23.4	13.6	3	6.8~7.8	$-3 \sim 3.7$	8.6~13.3
	IMS 2020 [5]	28-nm CMOS	single-ended cg & cascode	50	22.2	14.8	6	3.7	$-11.8$	25.6
	MTT 2019 [6]	40-nm CMOS	single-ended cs	55~65	19.8	10	3	6.6	2.8	18
D-band amplifier	RFIC 2024 [7]	40-nm CMOS	single-ended cs	140	18.4	16.5	3	6.1	1.7	17.1
	IMS 2023 [8]	40-nm CMOS	differential cs	115.7~139.7	19.7	24	5	4.8	$-5.1$	17.8
	TCAS I 2020 [9]	40-nm CMOS	single-ended cs	120	20.6	31.3	8	2.58	$-3.1$	45
Dual-band amplifier	IMS 2019 [10]	130-nm SiGe	single-ended cascode	28 / 60	16.2 / 15	7 / 15	1	16.2 / 15	15 / 17**	18.4 / 17.2
	MWCL 2019 [11]	130-nm SiGe	single-ended cascode	28 / 60	16.2 / 11.8	9 / 13.4	1	16.2 / 11.8	4.2 / 8	8.2 / 21
	TCAS II 2024 [12]	150-nm GaAs	single-ended cascode	26 / 48	12.5 / 14.5	7.5 / 6	1	12.5 / 14.5	2.3 / $-2.7$	14
	MWTL 2023 [13]	65-nm CMOS	single-ended cs	28 / 39	18.1 / 18.4	1.8 / 2.8	3	6.03 / 6.13	-	10.2
	MWTL 2024 [14]	65-nm CMOS	single-ended cs, cg, cascode	28 / 39	16.6 / 15	7.5 / 7.5	3	5.53 / 5	4.5 / $-1.5$	26.4
	This work	40-nm CMOS	single-ended cs	64 / 144	6.2 / 4.93	12.4 / 32.8	1	6.2 / 4.93	3.06 / 3.45*	13.2

\* Simulation result

\*\* Graphically estimated

#### IV. 결 론

본 논문에서는 40-nm CMOS 공정을 활용하여 V-대역(64 GHz)과 D-대역(144 GHz)을 동시에 지원하는 이중 대역 증폭기를 설계하고 측정 결과를 제시하였다. 특히 별도의 능동 소자를 사용하지 않고, 직렬 공진 특성을 활용한 입력 및 출력 정합 방식을 통해 단일 칩에서 두 대역에서 모두 동작함을 확인하였으며, 64 GHz에서 최대 6.2 dB 이득과 12.4 GHz의 3-dB 대역폭을, 144 GHz에서 최대 4.93 dB 이득과 32.8 GHz의 3-dB 대역폭을 얻었다. 13.2 mW의 소비전력으로 구동이 가능하다는 점 또한 확인하였다. 본 회로는 단일 단계(1-stage) 증폭기로 구성되어 있으며, 다단 증폭기로 확장할 경우 이득 성능을 더욱 향상시킬 수 있을 것으로 기대된다.

향후 연구에서는 본 논문에서 제안된 이중 대역 설계 방법을 다른 종류의 회로 예컨대 저잡음증폭기(LNA), 전력증폭기(PA) 또는 위상배열(phased-array) 빔포머 등에 적용하여, 초고주파 대역 통신에서 요구되는 광대역/다중 대역 동작 및 고성능 특성을 달성할 수 있을 것으로 기대된다. 또한 회로 정합 과정에서 발생하는 손실을 최소화하는 방법과, 보다 넓은 대역으로 확장하기 위한 전송선로 구조 최적화 등도 후속 연구 과제로 남아 있다.

#### References

- [1] Y. Wang, H. Chung, Q. Ma, and G. M. Rebeiz, "A 57.5-65.5 GHz phased-array transmit beamformer in 45 nm CMOS SOI with 5 dBm and 6.1% linear PAE for 400 MBaud 64-QAM waveforms," *IEEE Transactions on Microwave Theory and Techniques*, vol. 69, no. 3, pp. 1772-1779, Mar. 2021.
- [2] K. Khalaf, K. Vaesen, S. Brebels, G. Mangraviti, M. Libois, and C. Soens, "A 60-GHz 8-way phased-array front-end with T/R switching and calibration-free beamsteering in 28-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 7, pp. 2001-2011, Jul. 2018.
- [3] ECC, "Radio frequency/block arrangements for Fixed Service systems operating in the bands 103-134 GHz 141-148.5 GHz 151.5-164 GHz and 167-174.8 GHz," ECC Recommendation ECC/REC/(18)01, Apr. 2018.
- [4] J. Moody, S. Lepkowski, and T. M. Forbes, "A low power V-band LNA with wide supply voltage range exploiting complementary current reuse and power efficient bias point," in *2023 IEEE/MTT-S International Microwave Symposium-IMS 2023*, San Diego, CA, Jun. 2023, pp. 135-138.
- [5] C. J. Liang, C. W. Chiang, J. Zhou, R. Huang, K. A. Wen, and M. C. F. Chang, et al., "A tri (K/Ka/V)-band monolithic CMOS low noise amplifier with shared signal path and variable gains," in *2020 IEEE/MTT-S International Microwave Symposium (IMS)*, Los Angeles, CA, Aug. 2020, pp. 333-336.
- [6] Y. T. Chang, H. C. Lu, "A V-band low-power digital variable-gain low-noise amplifier using current-reused technique with stable matching and maintained OP1 dB," *IEEE Transactions on Microwave Theory and Techniques*, vol. 67, no. 11, Nov. 2019, pp. 4404-4417.
- [7] Y. Qian, X. Huang, Y. Shen, Y. Ding, Z. Wei, and Q. Han, "A high-gain D-band LNA with compact Gm-boosting core based on slow-wave feedback achieving 6.1 dB NF in 40 nm CMOS," in *2024 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Washington, DC, Jun. 2024, pp. 319-322.
- [8] K. Kim, J. Kang, K. Lee, S. U. Choi, J. Kim, and H. J. Song, "A 115.7-139.7 GHz amplifier with 19.7 dB peak gain and 7.9 dB NF in 40-nm CMOS," in *2023 IEEE/MTT-S International Microwave Symposium-IMS 2023*, San Diego, CA, Jun. 2023, pp. 48-51.
- [9] T. H. Jang, K. P. Jung, J. S. Kang, C. W. Byeon, and C. S. Park, "120-GHz 8-stage broadband amplifier with quantitative stagger tuning technique," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 3, pp. 785-796, Mar. 2020.
- [10] A. A. Nawaz, J. D. Albrecht, and A. C. Ulusoy, "A 28/60 GHz dual-band power amplifier," in *2019*



- IEEE MTT-S International Microwave Symposium (IMS)*, Boston, MA, Jun. 2019, pp. 630-633.
- [11] A. A. Nawaz, J. D. Albrecht, and A. Ç. Ulusoy, "A Ka/V band-switchable LNA with 2.8/3.4 dB noise figure," *IEEE Microwave and Wireless Components Letters*, vol. 29, no. 10, pp. 662-664, Oct. 2019.
- [12] S. Lee, W. Seo, S. Kim, B. Ko, S. Lee, and M. S. Kim, "A concurrent 26/48 GHz low-noise amplifier with an optimal dual-band noise matching method using GaAs 0.15  $\mu\text{m}$  pHEMT," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 71, no. 3, pp. 1096-1100, Mar. 2024.
- [13] J. Liu, S. Liu, Y. Gao, X. Liu, and Z. Zhu, "A 28-/39-GHz dual-band CMOS LNA with shunt-series transformer feedback," *IEEE Microwave and Wireless Technology Letters*, vol. 33, no. 1, pp. 51-54, Jan. 2023.
- [14] D. Cheng, X. Chen, Q. Chen, X. Ma, and L. Li, "A reconfigurable LNA with compact magnetic-capacitive coupling transformer networks for 5G 28-/39-GHz applications," *IEEE Microwave and Wireless Technology Letters*, vol. 34, no. 7, pp. 915-918, Jul. 2024.

박 강 우 [성균관대학교/석사과정]

<https://orcid.org/0009-0000-2875-4312>



2023년 8월: 중앙대학교 전자전기공학과 (공학사)

2023년 9월~현재: 성균관대학교 반도체 융합공학과 석사과정

[주 관심분야] RF, RF low noise Amplifier, Millimeter-Wave, Sub-THz 등

서 문 교 [성균관대학교/부교수]

<https://orcid.org/0000-0002-0691-1783>



1994년 2월: 서울대학교 전자공학과 (공학사)

1996년 2월: 서울대학교 전자공학과 (공학석사)

2007년 12월: University of California, Santa Barbara, USA (공학박사)

2009년~2013년: Teledyne Scientific Company, USA, Senior Engineer

2013년~현재: 성균관대학교 전자전기컴퓨터공학과 부교수

[주 관심분야] Millimeter-Wave & Terahertz IC Design