

40-nm CMOS 공정을 이용한 E-대역 IQ 수신기 설계

E-Band IQ Receiver Design Using the 40-nm CMOS Process

박성환^{1*,**} · 문준혁^{2*,***} · 김선규^{3*,**} · 전예원^{4*,**} · 강석원^{5*,***} · 김병성^{6*}Sunghwan Park^{1*,**} · Joon-Hyuk Moon^{2*,***} · Sun-Kyu Kim^{3*,**} · Ye-Won Jeon^{4*,**} ·
Seuk-Won Kang^{5*,***} · Byung-Sung Kim^{6*}

요 약

본 논문에서는 40-nm CMOS 공정을 이용한 직접변환 E-band IQ 수신기를 제시한다. 수신기는 저잡음 증폭기, IQ 주파수 혼합기, 트랜스임피던스 증폭기로 구성되며 LO 주파수 인가를 위한 체배단으로 구성된다. 저잡음 증폭기는 3단 차동 공통소스 구조이며, 주파수 혼합기는 높은 선형성과 낮은 플리커 잡음을 갖는 수동형 이중 평형 구조로 설계하였다. 트랜스임피던스 증폭기는 공통게이트 구조로 설계하였다. 체배단은 버퍼-2체배기-버퍼로 구성되어 있으며 2체배기는 NMOS와 PMOS가 상보적으로 동작하여 차동 출력을 형성하는 구조로 설계하였다. IQ 신호는 차동 하이브리드 커플러로 구현하였다. 수신기 칩은 외부에서 신호를 인가받아 주파수를 직접 변환하였다. 수신기의 전압 변환이득은 I 채널 30.1 dB, Q 채널 28.5 dB로 측정되었고, 3-dB 대역폭은 9 GHz이다. 잡음 지수는 8.2~13.9 dB로 측정되었다.

Abstract

This study proposes a direct-conversion E-band IQ receiver implemented in a 40-nm complementary metal-oxide-semiconductor (CMOS) process. The receiver includes a three-stage differential common-source low-noise amplifier (LNA), passive double-balanced IQ mixer with high linearity and low flicker noise, common-gate transimpedance amplifier (TIA), and local oscillator (LO) chain comprising a buffer X2 multiplier buffer in which the doubler used a complementary NMOS/PMOS operation for differential output. The IQ signal was implemented as a differential hybrid coupler. The chip directly down-converts the external signals, achieving a voltage conversion gain of 30.1 dB (I-channel) and 28.5 dB (Q-channel), 3-dB bandwidth of 9 GHz, and noise figures of 8.2~13.9 dB, respectively.

Key words: E-Band, Receiver, LNA, Mixer, Multiplier

「이 논문은 2025년도 정부(산업통상자원부)의 재원으로 한국산업기술진흥원의 지원을 받아 수행된 연구임(P0023704, 2025년 산업혁신인재성장지원사업).」
「본 연구는 대한민국 정부(산업통상자원부 및 방위사업청) 재원으로 민군협력진흥원에서 수행하는 민군기술협력사업의 연구비 지원으로 수행되었습니다 (과제번호 22-CM-16).」

*성균관대학교 정보통신대학(College of Information and Communication Engineering, Sungkyunkwan University)

**성균관대학교 반도체융합공학과(Department of Semiconductor Convergence Engineering, Sungkyunkwan University)

***성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

1: 석사과정(<https://orcid.org/0009-0001-1899-538X>), 2: 석·박사통합과정(<https://orcid.org/0009-0006-4952-427X>), 3: 석사과정(<https://orcid.org/0009-0008-1766-5953>)

4: 석·박사통합과정(<https://orcid.org/0009-0001-2514-6618>), 5: 석·박사통합과정(<https://orcid.org/0000-0002-4658-3008>), 6: 교수(<https://orcid.org/0000-0003-3084-6499>)

· Manuscript received September 29, 2025 ; Revised October 6, 2025 ; Accepted October 17, 2025. (ID No. 20250929-111)

· Corresponding Author: Byung-Sung Kim (e-mail: bskimice@skku.edu)

I. 서 론

E-대역은 데이터 통신 백홀·프론트홀, 초고속 무선 링크, 고정형 무선 접속(FWA) 등 여러 응용이 가능하다. 특히 71~76/81~86 GHz 할당 대역을 기반으로, 수 Gb/s 단·중거리 무선 통신 주파수 대역으로 주목받고 있다^{[1],[2]}. 본 논문에서는 40-nm CMOS 공정을 이용한 E-대역 직접변환 IQ 수신기를 제안한다. II장에서 LNA·믹서·TIA·체배기와 하이브리드 커플러 설계를 기술하고, III장과 IV장에서 각각 측정 결과와 결론을 제시한다.

II. E-대역 수신기 설계

2-1 저잡음 증폭기(Low-Noise Amplifier)

저잡음 증폭기는 초단에서 신호를 증폭하며 잡음 추가를 최소화해 수신기 전체 잡음을 결정한다. 본 증폭기는 3단 차동 공통소스 구조를 채택하고, 밀리미터파 대역에서 C_{gd} 로 인한 이득과 안정성 간 상호 제약을 교차 연결 커패시터 C_c 로 상쇄해 최대 가용 이득과 안정성을 확보하였다^[3].

그림 1은 저잡음 증폭기의 블록도이다. 소모 전력을 고려해 MOSFET 폭은 18 μm 로, 중화 커패시터는 MAG(maximum available gain)와 안정성을 기준으로 5.6 fF로 정했다. 단 간 정합은 트랜스포머 기반으로 구성하며, 입력부는 50 Ω 변환을 위해 권선비 1:2 트랜스포머를 적용하였고, 센터 탭으로 공급 전압을 인가하였다. 또한 입력 발룬 비대칭 보상 및 이득 손실 최소화를 위해 보상 커패시터 C_1 을 추가하였다.

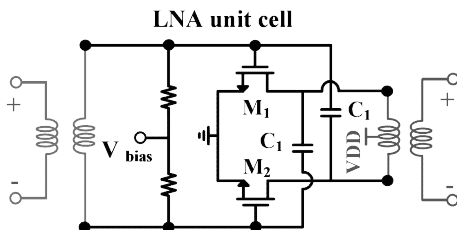


그림 1. 저잡음 증폭기 단일 단 회로도
Fig. 1. Schematic of single stage low-noise amplifier.

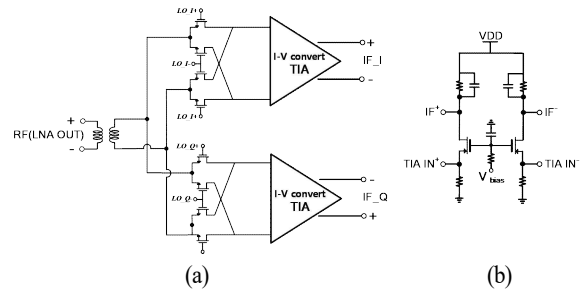


그림 2. (a) 전류 구동형 이중 평형 수동 구조 혼합기 회로도, (b) 트랜스임피던스 증폭기 회로도

Fig. 2. (a) Schematic of current-driven double balanced passive mixer, (b) Schematic of transimpedance amplifier.

2-2 IQ 주파수 혼합기(IQ Mixer), 트랜스 임피던스 증폭기(Trans-Impedance Amplifier)

그림 2(a)의 혼합기는 LO의 직교 신호 구동을 위해 전류 구동형 이중 평형 수동 구조(current-driven double-balanced passive mixer)로 설계하였다. 저잡음증폭기의 출력 신호는 전류 형태로 소스에 주입되며, 출력은 그림 2(b)의 공통게이트 증폭기로 전달된다. 수동 혼합기는 능동 혼합기보다 변환 손실은 크지만 선형성이 높고 플리커 노이즈와 전력 소모가 작다. 또한 이중 평형 구조로 스위칭 단에서 유입된 차동 LO 성분이 상쇄되어 LO 누설이 억제된다. 본 혼합기는 플리커 잡음과 변환이득을 고려해 트랜지스터 폭을 6 μm 로 결정하였다.

그림 2(b)는 공통게이트 구조의 트랜스임피던스 증폭기를 나타낸다. 주파수 혼합기의 출력 신호는 전류로 주입되며 최대 변환이득을 보기 위해서는 낮은 입력 임피던스를 갖는 증폭기가 필요하다. 이에 본 설계는 공통게이트 구조를 사용하였다.

2-3 2체배기(Frequency Doubler), 하이브리드 커플러(Hybrid Coupler)

그림 3(a)는 체배단의 구성도로, 단일 입력을 발룬 트랜스포머로 차동화하고 중화 커패시터가 포함된 차동 버퍼로 증폭하여 안정성을 확보하였다. 트랜스포머 결합을 통해 공통모드를 억제하고, 체배기에서 NMOS와 PMOS를 상보적으로 동작시켜 차동 출력을 직접 얻을 수 있다^[4]. 이

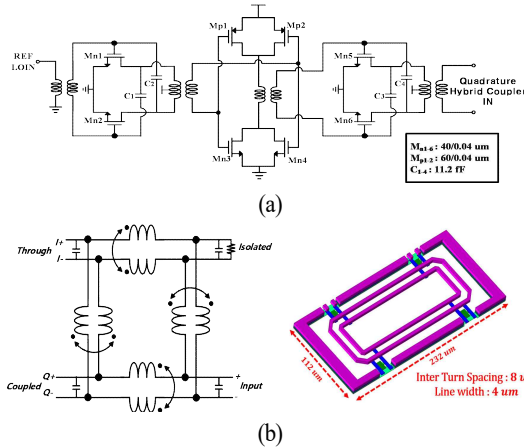


그림 3. (a) 체배단 회로도, (b) 하이브리드 커플러 회로도와 레이아웃

Fig. 3. (a) Schematic of multiplier, (b) Schematic and layout of hybrid coupler.

때 별도의 발룬 트랜스포머가 필요하지 않아 추가 손실이 발생하지 않는다. 최종적으로 체배된 신호는 후단 버퍼를 거쳐 하이브리드 커플러로 전달된다.

그림 3(b)는 IQ 신호 생성을 위한 차동형 90° 하이브리드 커플러로, 본 논문에서는 상호결합 인덕터와 커패시터를 이용한 차동 하이브리드로 면적을 축소하였다. 믹서의 정합 최적화를 위해 커플러의 특성 임피던스는 80 Ω으로 설계하였다. 상기 구조는 LO가 차동이므로 단일-차동 변환 없이 바로 분배-결합이 가능해 발룬에 의한 추가 손실을 줄일 수 있다. 아울러 하이브리드 커플러 포트까지의 구동 길이는 거의 동일하나, 인덕터의 내·외경 차이로 차동선로 길이 불균형이 발생하여 차동 신호 간의 180° 위상 오차가 유발될 수 있다. 이를 보상하기 위해 믹서 입력단의 정합용 트랜스

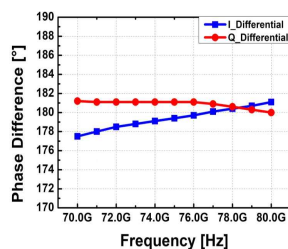


그림 4. 믹서 입력단의 IQ 차동 신호 위상 차이

Fig. 4. IQ Differential signal phase difference at the mixer input.

포머를 각각 최적화하여 위상 오차를 최소화하였다. 그림 4는 믹서 입력단의 IQ 각 신호의 차동 위상차를 나타낸다.

III. 측정결과

그림 5는 40-nm CMOS로 제작된 E-대역 수신기의 블록도와 칩 사진이다. 칩 면적은 입출력 패드를 포함해 1,328×632 μm이며, 온 웨이퍼 프로빙으로 측정하였다. 트랜스임피던스 증폭기는 1.8 V의 공급 전압을 사용하였고 LNA, 버퍼, X2는 0.9 V를 사용하였다. 실제 측정 시 0.9 V 공급 전압에서 79 mA를 소모하고, 1.8 V 공급 전압에서 3 mA를 소모한다.

외부 LO 신호는 Keysight사의 N5173B를 사용하여 인가하였다. 변환이득과 IQ 위상 차이는 오실로스코프로 측정하였으며 측정 결과는 그림 6(b)~그림 6(d)에 나타났다. 잡음 지수는 아래 식 (1)으로 계산하였다^[1].

$$F = -174 \text{ dBm/Hz} + 10 \log(BW) + G + NF \quad (1)$$

식 (1)에서 F는 노이즈 플로어, G는 변환 이득에 해당하며 BW는 IF 대역폭으로 본 4 MHz에 해당한다. 해당 측정에는 Agilent사의 N9030A를 사용하였으며, 수신기의 잡음지수는 그림 5(d)로 나타내었다.

측정된 최대 변환이득은 I 채널에서 30.1 dB, Q 채널에서 28.5 dB이다. 3-dB 대역폭은 9 GHz(71~80 GHz)로 측정되

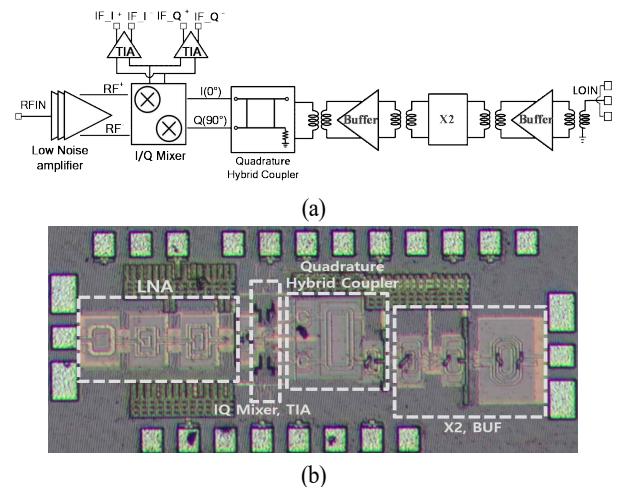


그림 5. (a) 수신기 블록도, (b) 수신기 칩 현미경 사진

Fig. 5. (a) Block diagram of receiver, (b) Micro-photograph of receiver chip.

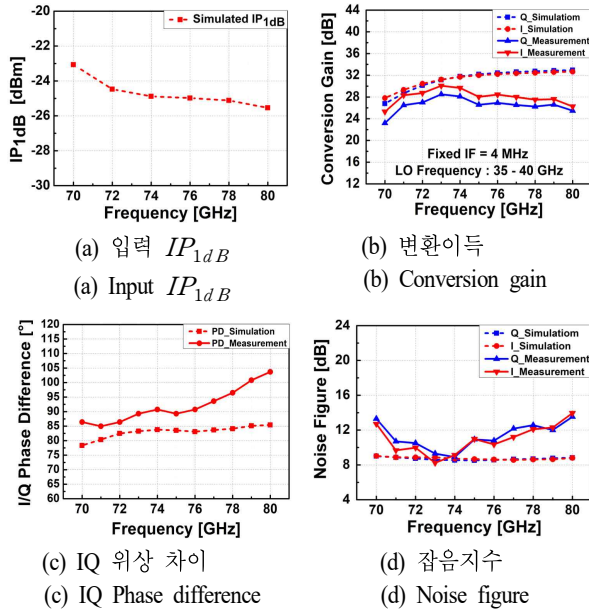


그림 6. E-대역 수신기
Fig. 6. E-band receiver.

었다. IQ 위상 차이는 70~77 GHz에서 90도 기준 $\pm 5^\circ$ 이내이며, 싱글사이드밴드 잡음 지수는 73 GHz에서 I 채널은 8.2 dB, Q 채널 9.3 dB로 측정되었다. 또한, 그림 6(a)에서 입력 P_{1dB} 는 73 GHz에서 -24.7 dBm임을 나타내었다.

IV. 결 론

본 논문에서는 40-nm CMOS 공정을 이용한 E-대역 수신기를 설계하였다. 표 1은 기존 논문들과 제안된 수신기

표 1. E-대역 수신기 모듈 성능 비교

Table 1. Performance comparison of E-band receiver module.

Quantities	This work	Reference [2]		Reference [5]
Technology	40-nm CMOS	65-nm CMOS		65-nm CMOS
Frequency (GHz)	71~80	71~86	72~83	76.05~77
CG (dB)	30.1	20.1~28	23~28	16
NF (dB)	8.2	6.5~10.6		13
IP_{1dB}	-24.7	-26.9		-
P_{dc} (mW)	76.5	123.4		28.5
Area (mm^2)	0.84	1.58		2.33

의 성능 비교표이다. 제안된 수신기는 최대 변환이득이 I 채널 30.1 dB, Q 채널 28.5 dB를 보였으며, 3 dB 대역폭은 9 GHz(71~80 GHz)이다. 잡음 지수는 8.2~13.9 dB, IQ 위상 오차는 90° 대비 5° 이내로 유지되었다. 또한 입력 P_{1dB} 는 73 GHz에서 -24.7 dBm을 가짐을 확인하였다. 하이브리드 커플러에 커패시터를 도입해 면적을 줄임으로써 높은 집적도의 수신기 구현이 가능하였으며, 향후 E-대역 데이터 통신 등 다양한 분야에 활용될 것으로 기대된다.

References

- [1] S. W. Kang, D. Y. Yang, J. B. Yoon, J. H. Park, Y. J. Han, and S. Kim, "A D-band 1Tx 4Rx mid-range automotive CMOS FMCW radar," in *2025 IEEE/MTT-S International Microwave Symposium(IMS) 2025*, San Francisco, CA, Jun. 2025, pp. 1-4.
- [2] W. Zhao, Q. Li, J. Xu, B. Ruan, L. Wu, and N. Li, et al., "A 71–86-GHz receiver with 5-GHz if signal bandwidth for E-band broadband communication in 65-nm CMOS," in *2025 IEEE/MTT-S International Microwave Symposium (IMS) 2025*, San Francisco, CA, Jun. 2025, pp. 839-842.
- [3] H. J. Park, J. S. Kim, J. H. Park, and B. S. Kim, "W-band high-gain low-noise amplifier design using MOS capacitor neutralization technique," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 30, no. 9, pp. 712-717, Sep. 2019.
- [4] J. H. Park, D. Y. Park, D. Y. Yang, K. J. Choi, and B. S. Kim, "D-band $\times 8$ frequency multiplier using complementary differential frequency doubler," *IEEE Microwave and Wireless Technology Letters*, vol. 33, no. 3, pp. 311-314, Mar. 2023.
- [5] V. H. Le, H. T. Duong, A. T. Huynh, C. M. Ta, F. Zhang, and R. J. Evans, et al., "A CMOS 77-GHz receiver front-end for automotive radar," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 10, pp. 3783-3793, Oct. 2013.