

40-nm CMOS 공정을 이용한 레이다용 E-대역 전력증폭기 설계

E-Band Power Amplifier Design for Radar Transmitter using 40-nm CMOS

김선규¹ · 문준혁^{2*} · 전예원³ · 김병성^{4*}

Sun-Kyu Kim¹ · Joon-Hyuk Moon^{2*} · Ye-Won Jeon³ · Byung-Sung Kim^{4*}

요 약

본 논문에서는 40-nm CMOS 공정을 이용한 E-대역 송수신기용 전력증폭기 설계를 제시한다. 설계된 전력증폭기는 총 세 개의 단으로 구성되었으며, 첫 단과 두 번째 단은 구동증폭기로, 마지막 세 번째 단은 전력증폭기로 구성되어있다. 전력증폭기의 모든 단은 증폭기의 안정성을 확보하기 위하여 커패시터 중화 기법을 사용하였으며, 구동증폭기는 공통소스 증폭기, 전력증폭기는 캐스코드 구조를 사용하여 출력 전력 향상을 하였다. 단간 매칭에서는 직렬 인덕터-트랜스포머를 통한 넓은 대역 정합을 하였으며, 입출력단은 차동-단일 발룬을 사용하여 정합하였다. 전력증폭기의 출력 전력은 77 GHz에서 15.54 dBm이며, 전력 부가 효율(PAE)은 17.92 %이고 전력은 198 mW를 소모한다. 소신호 이득의 3 dB 대역의 경우 66.9~82.5 GHz이며, DC 및 입출력 패드를 포함한 면적은 728×544 μm^2 이다.

Abstract

In this paper, we present the design of an E-band transmitter/receiver power amplifier implemented using a 40-nm CMOS process. The proposed power amplifier comprised three stages. The first and second stages served as driver amplifiers, and the third stage was configured as a power amplifier. To ensure stability, all stages employed a capacitive neutralization technique. The driver amplifiers adopted a common-source topology, whereas the power amplifier employed a cascode structure to enhance the output power. For inter-stage matching, a series inductor transformer network was used to achieve broadband impedance matching, whereas the input and output matching networks used differential-to-single-ended baluns. The power amplifier achieved an output power of 15.42 dBm at 77 GHz, with a power-added efficiency (PAE) of 17.92 %, consuming 198 mW of DC power. The 3 dB small-signal gain bandwidth spanned from 66.9 to 82.5 GHz. Including the DC and I/O pads, the overall chip area was 728×544 μm^2 .

Key words: Power Amplifier, CMOS, MMIC, E-Band, Radar Transmitter

†이 논문은 2025년도 정부(산업통상자원부)의 재원으로 한국산업기술진흥원의 지원을 받아 수행된 연구임(P0023704, 2025년 산업혁신인재성장지원사업).

성균관대학교 반도체융합공학과(Department of Semiconductor Convergence Engineering, Sungkyunkwan University)

*성균관대학교 전기전자컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

1: 석사과정(<https://orcid.org/0009-0008-1766-5953>), 2: 석 · 박사통합과정(<https://orcid.org/0009-0006-4952-427X>),

3: 석 · 박사통합과정(<https://orcid.org/0009-0001-2514-6618>) 4: 교수(<https://orcid.org/0000-0003-3084-6499>)

· Manuscript received September 15, 2025 ; Revised September 24, 2025 ; Accepted October 9, 2025. (ID No. 20250915-100)

· Corresponding Author: Byung-Sung Kim (e-mail: bskimice@skku.edu)

I. 서 론

최근 들어 밀리미터파 대역의 활용이 증가하고 있다. 그중 60~90 GHz에 이르는 E-대역은 반도체 기술의 발전에 힘입어 백홀망과 같은 초고속 무선 링크, 차량용 레이더, 모션 인식 레이더 등 다양하게 활용되고 있다^[1].

본 연구에서는 E-밴드 송수신 칩의 국산화를 위해 77 GHz CMOS 레이더 및 다양한 E-밴드 응용에 사용 가능한 40 nm CMOS 광대역 전력증폭기를 설계한 결과를 제시한다. 제안한 PA는 정합단에 트랜스포머와 직렬 인덕터를 도입하여, 단별 중심주파수를 어긋나게 두는 스테이지 정합 없이도 결합계수의 최적화를 통하여 넓은 대역폭을 확보하도록 설계하였다. 본 논문은 종래의 연구^{[2]-[4]}보다 작은 크기에서 높은 전력 부가 효율과 포화 전력을 가지는 것을 확인하였다. 본 논문의 구성은 다음과 같다. II 장에서 최적 회로 설계 기법에 대해 설명하고, III 장에서 측정 결과와 실험결과를 비교하고, IV 장에서 결론을 제시한다.

II. 회로설계

그림 1은 제안하는 전력증폭기의 도식도이다. 전력증폭기는 2단의 구동증폭기와 1단의 전력증폭기로 구성되어 있으며, 구동증폭기에서는 Class-B로 바이어스를 하는 공통 소스 구조를 사용하였다. 전력증폭기에서는 Class-AB 바이어스와 함께 CS 단과 CG 단의 너비 비를 1:1.5로 캐스코드 구조를 사용함으로써 최대 출력 전력 향상을 목표로 하였다. 단 간 정합에서는 직렬 인덕터-트랜스포머 구조를 사용하였고, 80 GHz의 동일한 동작 주파수에서 정합을 하였음에도, 넓은 주파수 대역에서 동작을 할 수 있도록 하였다. 최종 출력에 사용되는 트랜스포머 발룬에서는 로드-풀을 사용하여 높은 최종 출력(P_{sat})과 효율을 낼 수 있도록 최적화하였다.

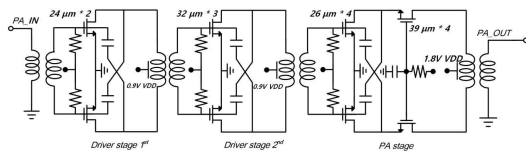


그림 1. 제안된 전력증폭기의 도식도

Fig. 1. The schematic of proposed power amplifier.

표 1. 각 정합단에서 요구되는 트랜스포머의 값

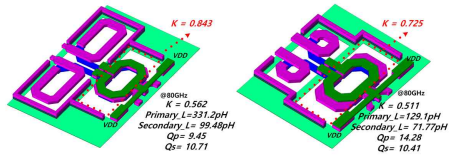
Table 1. Required interstage transformer value.

	First interstage transformer (@80 GHz)	Second interstage transformer (@80 GHz)
Primary L	330 pH	130 pH
Secondary L	100 pH	72 pH
k	0.56	0.51
Drain RC	176.8 Ω 31.5 fF	89.7 Ω 56.3 fF
Gate RC	4.58 Ω +63 fF	4.27 Ω +73 fF

도식도 단계에서 요구되는 단 간 트랜스포머의 인덕턴스는 표 1과 같다. 여기서 Primary L은 1차 인덕턴스, Secondary L은 2차 인덕턴스를 의미한다. 일반적으로 트랜지스터의 드레인 병렬 RC로 등가되고 게이트는 직렬 RC로 등가된다. 표 1에서 트랜스포머가 매칭을 해야 하는 임피던스를 등가된 RC값으로 나타내었다. 특히 단 간 정합에서 입력과 출력의 커패시턴스 차이가 많이 나므로 누설 인덕턴스를 크게 하여 정합하였다. 추가적으로 정합단에서 광대역한 성능을 이끌어내기 위해서는 k에 대한 최적화가 필요하다. k가 과대할 경우 리플이 생길 수 있고, 과소할 경우 효율성이 낮아진다^[5]. 이번 논문에서는 k에 대한 값을 최적화하여, 정합단의 효율성과 1 dB 이내의 리플을 가질 수 있도록 설계하였다.

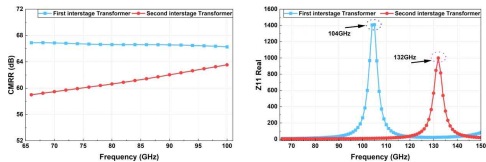
본 연구에서는 결합성분인 상호 인덕턴스를 트랜스포머로 우선하여 확보하고, 누설 인덕턴스는 별도의 직렬 인덕터로 구현하는 방식으로 설계하였다. 해당 방식의 설계는 높은 결합계수 k를 가지는 트랜스포머를 EM으로 먼저 추출한 뒤 직렬 인덕터를 연결하기 때문에, 회로 단계에서 목표 k와 누설 인덕턴스 구현이 용이하다. 따라서 인덕터의 길이와 너비 그리고 접지면과의 간격 조절만으로 정합단을 쉽고 적은 면적으로 최적화할 수 있다.

그림 2(a)에서 왼쪽과 오른쪽은 각각 단 간 정합단의 레이아웃과 EM 추출된 결과를 나타낸다. 여기서 Q_p, Q_s 는 각각 1차와 2차의 품질계수를 나타낸다. 트랜스포머의 레이아웃을 살펴보면, 외곽 결합을 최대화 하여 상호 인덕턴스를 확보하였다. 그림 2(b)를 통해 두 트랜스포머 모두 공통 모드 제거비가 동작 주파수에서 58 dB 이상으로, 샌드위치 구조의 트랜스포머가 공통 모드에 대한 저항성이 있음과 동시에 자체 공진 주파수가 각각 104, 132 GHz의



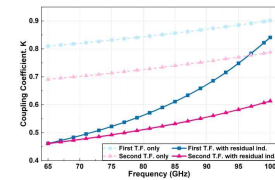
(a) 정합단 트랜스포머의 레이아웃

(a) Layout of interstage transformer



(b) 시뮬레이션 된 공통 모드 제거비와 Z11

(b) Simulated CMRR, Z11 of each transformer



(c) 구간별 트랜스포머의 결합계수

(c) Simulated coupling coefficient of each transformer section

그림 2. 제안하는 정합단의 레이아웃과 특성

Fig. 2. Proposed interstage matching network layout and performance.

로 자체 공진 주파수 역시 안정적으로 확보할 수 있음을 나타내었다. 또한 그림 2(c)를 통하여 주파수별 트랜스포머 단독의 결합계수와 누설 인덕턴스가 포함된 트랜스포머의 결합계수를 나타내었다. 그림 3은 제안한 전력증폭기의 각 단에 대한 소신호 이득 (S_{21}) 시뮬레이션 결과를 나타낸다. 본 설계에서는 구동증폭기 1단, 2단과 전력증폭기 모두를 80 GHz에 정합하였다. 그럼에도 각 단의 이득은 65~83.1 GHz 구간에서 1 dB 이내의 평탄도를 유지

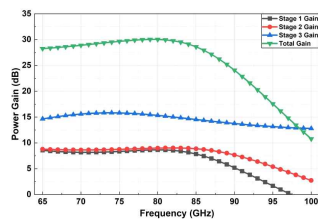


그림 3. 시뮬레이션된 전력증폭기의 각 단 전력 이득

Fig. 3. Simulated power gain of each stages.

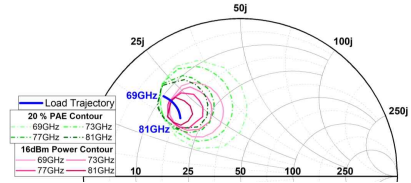


그림 4. 로드-풀 시뮬레이션 결과와 주파수에 따른 출력단 정합회로 임피던스 궤적

Fig. 4. Simulated load-pull contours and trajectory of output matching network as a function of frequency.

하며, 전체 1 dB 대역은 70.1~84.1 GHz임을 보여준다. 그림 4에서는 73~81 GHz 대역에서의 -5 dBm의 입력신호를 인가했을 때의 16 dBm 로드 컨투어와 20 %의 PAE 컨투어로 로드-풀 정합이 되었음을 보인다.

III. 측정결과

그림 5는 40-nm CMOS를 통해 제작된 전력증폭기의 칩 사진이다. 전력증폭기의 전체 면적의 경우 728×544 μm^2 이다. 제안된 전력증폭기의 성능은 온 칩 프루빙을 통하여 측정하였다. 구동증폭기와 전력증폭기는 각각 0.9 V와 1.8 V의 정격전압을 사용하였다.

입력신호는 Anritsu 사의 MS3739B를 사용하여 인가하였으며, 송신단의 출력 신호는 Agilent 사의 N9030A를 이용하고, 온 칩 프루브와 케이블 로스를 MS3739B로 측정 후 디임베딩하여 측정하였다. 그림 5에서는 전력증폭기의 산란계수의 측정값과 시뮬레이션 값을 나타내었으며, 79.3 GHz에서 32.3 dB의 전력 이득과 3 dB 대역의 경우 66.9~82.5 GHz

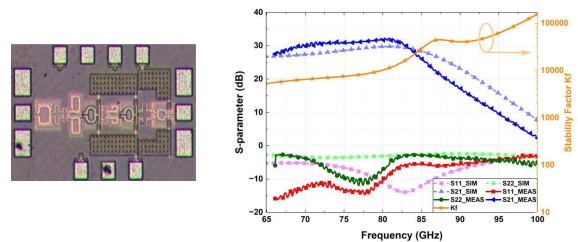


그림 5. 제작된 E-대역 전력증폭기 칩 사진과 산란계수 시뮬레이션 및 측정 결과

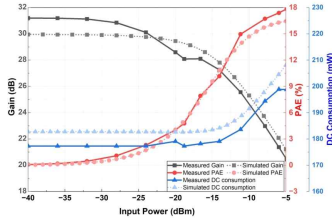
Fig. 5. Photograph of implemented E-band power amplifier and simulated and measured S-parameter.

IV. 결 론

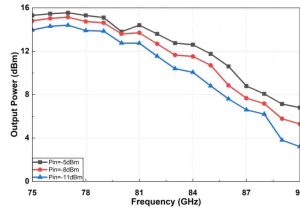
본 논문에서는 40 nm-CMOS 공정을 이용하여 설계한 E-대역 전력증폭기 설계를 제시한다. 제시된 전력증폭기는 전력증폭기의 출력 전력은 77 GHz에서 15.54 dBm이며, 전력 효율은 17.92 %이고 198 mW를 소모한다. 소신호 이득의 3 dB 대역의 경우 66.9~82.5 GHz 이며, DC 및 임출력 패드를 포함한 면적은 728×544 μm^2 이다. 제안된 회로는 단 간 정합단에서 직렬 인덕터와 트랜스포머를 결합하여 기존의 회로에 비해 더 넓은 동작 주파수 범위와 높은 전력 부가 효율을 가짐을 확인하였고, 이에 따라 본 연구의 우수성을 확인하였다.

References

- [1] S. Seo, Y. Lee, and H. Shin, "Design of a 60 GHz GaAs enhancement-mode pHEMT power amplifier MMIC with 28 dBm output power," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 34, no. 2, pp. 116-129, Feb. 2023.
- [2] D. Pan, Z. Duan, Y. Wang, C. Wang, Y. Li, and L. Sun, et al., "A 77-GHz power amplifier with digital power control for multi-mode automotive radar in 28-nm bulk CMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 70, no. 3, pp. 875-879, Mar. 2023.
- [3] L. Chen, L. Zhang, and Y. Wang, "A 26.4-dB gain 15.82-dBm 77-GHz CMOS power amplifier with 15.9% PAE using transformer-based quadrature coupler network," *IEEE Microwave and Wireless Components Letters*, vol. 30, no. 1, pp. 78-81, Jan. 2020.
- [4] C. Nocera, G. Papotto, A. Cavarra, E. Ragonese, and G. Palmisano, "A 13.5-dBm 1-V power amplifier for W-band automotive radar applications in 28-nm FD-SOI CMOS technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 69, no. 3, pp. 1654-1660, Mar. 2021.
- [5] D. Zhao, J. Zhong, "Design and modeling of millimeter-wave transformer in silicon: A tutorial(invited)," in *2019 IEEE International Symposium on Radio-Frequency Integration Technology(RFIT)*, Nanjing, Aug. 2019, pp. 1-3.



(a) 입력전력에 따른 전력 이득과 PAE
(a) Power gain and PAE versus input power



(b) 주파수에 따른 입력 전력별 출력
(b) Output power

그림 6. 측정 결과

Fig. 6. Measured result.

임을 나타낸다. 그림 6(a)에서는 77 GHz에서 -5 dBm의 신호를 인가하였을 때, 17.92 %의 PAE를 가지는 것을 보이며, 시뮬레이션 결과와 다르게 DC 소모가 적어 0.9 %p 더 높게 측정됨을 확인하였다. 그림 6(b)에서는 77 GHz에서 15.6 dBm을 내는 것을 확인할 수 있다.

표 2. 이전 발표된 연구들과의 성능 비교

Table 2. Comparison with the previous reported works.

	Ref [2]	Ref [3]	Ref [4]	This work
CMOS technology (nm)	28	65	28	40
Operating freq. (GHz)	77	77	77	77
3 db-BW (GHz)	16.1	8.5	3.5*	15.6
Amplifier topology	3stage-C.S.	3stage-C.S.	2stage-C.S. 1-TBFC	2stage-C.S. 1-Cascode
P sat (dBm)	12.15	15.82	13.5	15.54
Gain (dB)	23.6	26.4	26.5	32.3
P dc (mW)	122	240	150	198
PAE (%)	12	15.9	14.5	17.92
Vdd (V)	0.9	1.2	1	0.9, 1.8
Area (mm ²)	0.178**	0.143**	0.14**	0.396, 0.109**

*Graphically estimated, **Area without pad (core area).