

# 출력 매칭 회로 최적화를 통한 Ka-대역 GaN 도허티 증폭기 소형화 설계

## Compact Ka-Band GaN Doherty Amplifier with Optimized Output Matching

유 원 상 · 심 상 훈

Wonsang You · Sanghoon Sim

### 요 약

본 논문에서는 소형화가 가능한 Ka-대역 GaN 도허티 증폭기 구조를 제안한다. 제안된 구조는 메인 및 피크 증폭기 간에 DC 전원을 공유하고, 전원 공급 경로를 임피던스 변환 회로의 일부로 통합함으로써 출력 매칭 회로의 소형화를 가능하게 하였다. 해당 증폭기는 0.15  $\mu\text{m}$  GaN-on-SiC 공정을 기반으로 설계 및 제작되었으며, 칩 크기는 1.5×1.1 mm이다. 측정 결과, 26.0~27.5 GHz 주파수 대역에서 포화 출력 전력( $P_{\text{sat}}$ )은 30.8~31.8 dBm, 전력 부가 효율(PAE)은 30~34 %를 기록하였고, 6 dB 출력 백오프(OBO) 조건에서는 24~27 %의 PAE를 달성하였다.

### Abstract

This paper proposes a compact Ka-band GaN Doherty power amplifier structure. Miniaturization is achieved by sharing the DC supply between the main and peak amplifiers and integrating the power delivery path into the impedance transformation network, thereby reducing the size of the output matching circuit. The amplifier was designed and fabricated using a 0.15  $\mu\text{m}$  GaN-on-SiC process, resulting in a chip size of 1.5×1.1 mm. Measurements show that the amplifier achieves a saturated output power ( $P_{\text{sat}}$ ) of 30.8~31.8 dBm and a power-added efficiency (PAE) of 30~34 % across the 26.0~27.5 GHz frequency range. Under a 6 dB output back-off condition, the PAE remains between 24~27 %.

Key words: Ka-Band, GaN, Doherty, Power Amplifier, MMIC

### I. 서 론

최근 5G 및 밀리미터파(mmWave) 통신 기술의 발전에 따라, Ka-대역(26.5~40 GHz)에서 동작하는 고효율·소형화된 전력 증폭기에 대한 수요가 증가하고 있다. 도허티(Doherty) 증폭기는 높은 피크-평균 전력비(PAPR)를 갖는 신호에 대해 출력 백오프(OBO) 조건에서도 높은 효율

을 유지할 수 있어, 광대역 고속 통신 시스템에 적합한 증폭기 구조이다. 또한, GaN(gallium nitride) 소자는 높은 전력 밀도와 우수한 열 특성으로 인해, 고주파 및 소형화 응용에 적합하여, GaN 공정을 이용한 Ka 대역 도허티 증폭기 연구가 활발히 진행되고 있다<sup>[1]-[6]</sup>. 그러나, 기존 연구들에서는 메인(main) 증폭기와 피크(peak) 증폭기 간의 DC 전원 경로가 분리되어 있어, 전원 공급을 위한 인덕

충북대학교 전자공학과(School of Electronics Engineering, Chungbuk National University)

· Manuscript received September 10, 2025 ; Revised September 12, 2025 ; Accepted September 15, 2025. (ID No. 20250910-097)

· Corresponding Author: Sanghoon Sim (e-mail: shsim@cbnu.ac.kr)

터 또는 전송선로, 바이패스 커패시터(bypass capacitor) 등이 이중으로 사용되는 경우가 많아 칩 면적의 증가를 초래하며 고집적화 및 소형화 측면에서 한계를 나타낸다.

본 연구에서는 이러한 한계를 극복하기 위해, 메인 및 피크 증폭기 간의 DC 전원을 공유할 수 있도록 설계함으로써 전원 공급을 위한 전송선로 및 바이패스 커패시터의 중복 사용을 방지하였다. 또한, 전원 공급 경로를 임피던스 변환 회로의 일부로 통합하여 출력 매칭 회로의 각 신호 경로를 최적화하였다. 이를 기반으로 Ka-대역 GaN 도허티 증폭기의 소형화와 고효율 특성을 동시에 달성할 수 있는 설계 방안을 제시한다.

## II. 도허티 증폭기 출력 매칭 회로 최적화

그림 1은 본 연구에서 제안한 Ka-대역 도허티 증폭기의 회로도도를 나타낸다. 본 회로는  $Q_1$ 을 이용한 메인 증폭기와  $Q_2$ 를 이용한 피크 증폭기로 구성되며, 출력 매칭 회로는 MS<sub>6</sub>부터 MS<sub>9</sub>까지의 전송선로로 구성된다.  $Q_1$ 의 드레인 전류( $I_{D1}$ )는 DC 전원( $V_{dd}$ )으로부터 MS<sub>7</sub>-MS<sub>8</sub> 경로를 통해 공급되며,  $Q_2$ 의 드레인 전류( $I_{D2}$ )는 MS<sub>7</sub>-MS<sub>6</sub>-MS<sub>9</sub> 경로를 통해 공급된다. 이와 같이  $Q_1$ 과  $Q_2$ 가 공통의  $V_{dd}$ 를 공유하도록 설계함으로써, 바이패스 커패시터 및 전원 공급경로의 추가 사용을 최소화하였다.

1 W급의 출력 전력을 위해  $Q_1$ 과  $Q_2$ 는 각각  $4 \times 50 \mu\text{m}$

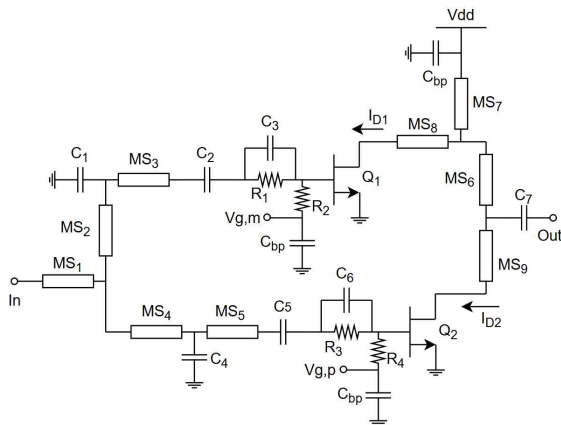


그림 1. 제안된 Ka 대역 도허티 증폭기 회로도  
Fig. 1. Schematic of the proposed Ka-band Doherty amplifier.

크기의 트랜지스터를 사용하였다.  $Q_1$ 과  $Q_2$ 를 동일한 크기로 설계할 경우, 도허티 증폭기의 출력이 6 dB 백오프되는 지점에서 피크 증폭기 트랜지스터  $Q_2$ 는 off 되고 메인 증폭기 트랜지스터  $Q_1$ 의 출력은 약 3 dB 백오프된 상태에서 동작하게 된다. 따라서, 도허티 증폭기에서 출력 백오프 영역의 효율을 최적화하기 위해서는 메인 증폭기 트랜지스터  $Q_1$ 의 백오프 영역 특성을 파악하고, 이를 기반으로 출력 매칭 회로를 설계하는 것이 중요하다.

Ka-대역 도허티 증폭기 설계에서는 높은 동작 주파수로 인해 트랜지스터의 기생 성분을 반드시 고려해야 하며, 이 중 로드풀 특성에 가장 큰 영향을 미치는 요소는 드레인-소스 간 커패시턴스( $C_{ds}$ )이다.  $C_{ds}$ 는 드레인에 병렬로 연결되기 때문에, 로드풀 분석 시 임피던스 도메인보다 어드미턴스 도메인에서 해석하는 것이 더 효과적이다.

그림 2는 26.5 GHz에서  $4 \times 50 \mu\text{m}$  트랜지스터에 대해 포화 출력( $P_{sat}$ ) 및 백오프 출력에서 PAE 로드풀 시뮬레이션 결과를 보여준다. 시뮬레이션 결과를 보면,  $Y_{opt,sat}$ 에서 출력 29.6 dBm 및 PAE 60.4%를 가지며,  $Y_{opt,OBO}$ 에서는 출력 26.7 dBm 및 PAE 63.1%를 가진다.  $Y_{opt,sat}$  및  $Y_{opt,OBO}$ 의 어드미턴스 값을 비교해 보면, 출력이 백오프될 경우  $Y_{opt}$ 의 허수부(imaginary part)는 큰 변화가 없는 반면, 실수부(real part)는 포화 출력 상태 대비 감소하는 방향으로

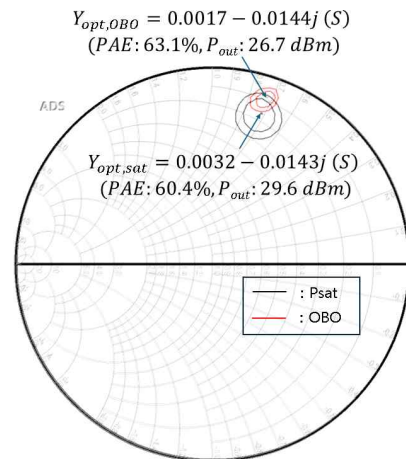


그림 2.  $4 \times 50 \mu\text{m}$  트랜지스터의 PAE 로드풀 시뮬레이션 (contour step: 5 %, frequency: 26.5 GHz)  
Fig. 2. Load-pull simulation of PAE for a  $4 \times 50 \mu\text{m}$  transistor (contour step: 5 %, frequency: 26.5 GHz).

이동하는 것을 알 수 있다. 여기서,  $Y_{opt}$ 의 허수부는 주로  $C_{ds}$ 에 의해서 결정되며, 실수부는 트랜지스터의 I-V 특성에 따른 로드라인에 의해 결정되게 된다<sup>[7]</sup>.

그림 2의 로드풀 결과를 통해 도허티 증폭기의 출력 매칭회로 설계 시 필요한 매칭 포인트를 도출할 수 있다. 최대 출력 상태에서는  $Q_1$ 과  $Q_2$ 가 각각  $Y_{opt,sat}$ 에 매칭되어야 하며, 6 dB 출력 백오프 조건에서는  $Q_2$ 가 off됨에 따라 발생하는 부하 변조 효과에 의해  $Q_1$ 은  $Y_{opt,OBO}$ 에 매칭되도록 출력 매칭 회로가 설계되어야 한다.

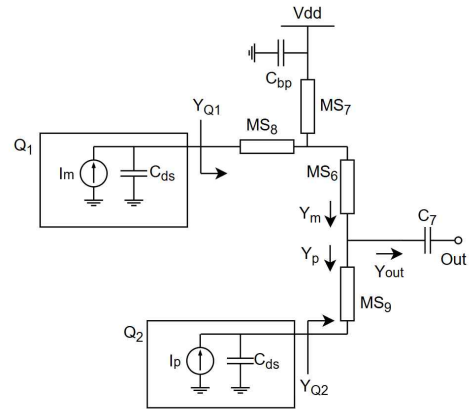
그림 3은  $Q_1$ ,  $Q_2$  트랜지스터를 포함한 출력단의 등가회로와 각 노드의 어드미턴스를 나타낸다. 어드미턴스 변환 과정을 설명하기 위해 그림 3(a)에서 각 노드의 어드미턴스를 각각  $Y_{Q1}$ ,  $Y_{Q2}$ ,  $Y_{out}$ ,  $Y_p$ ,  $Y_m$ 으로 정의하였다. 트랜지스터  $Q_1$ ,  $Q_2$ 는 전류원  $I_m$ ,  $I_p$  및 기생 커패시턴스  $C_{ds}$ 로 등가적으로 나타내었다.  $Y_{out}$ 은 출력포트의 어드미턴스로서, 추가적인 임피던스 변환 회로의 사용을 피하기 위해  $1/50 (S)$ 로 설계하였다(즉, 50 Ω 부하).  $Y_p$ 는  $MS_9$ 를 통해 바라본 피크 증폭기의 어드미턴스로서, 백오프 영역에서는  $MS_9$ 과  $C_{ds}$ 의 직렬연결에 의해 결정된다.  $Y_m$ 은 메인증폭기 출력에서 바라본 어드미턴스로서  $Y_m = Y_{out} + Y_p$ 로 구해지게 된다.

6 dB 출력 백오프 조건에서,  $Y_m$ 은 그림 3 (b)의  $Y_{m,OBO}$ 에 위치하게 되며,  $MS_6$ - $MS_7$ - $MS_8$ 를 통한 어드미턴스 변환을 거쳐  $Y_{Q1}$ 은  $Y_{Q1,OBO}$ 에 매칭된다. 여기서, DC 전원 공급 경로인  $MS_7$ 을 어드미턴스 변환 회로의 일부로 통합하여 동작하도록 설계함으로써 출력 매칭회로의 면적을 최소화하였다.

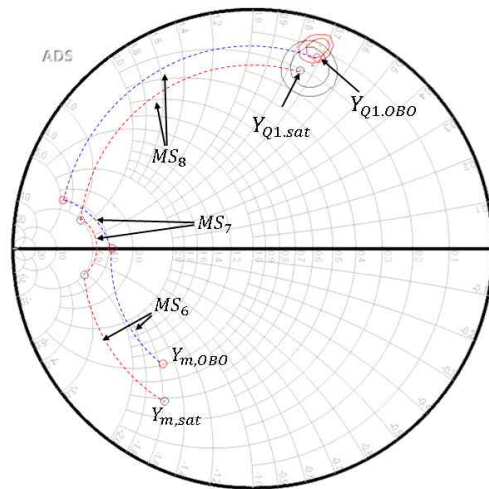
최대출력 조건에서는, 메인 증폭기와 피크증폭기가 동시에 동작하므로 부하 변조효과에 의해  $Y_m$ 의 실수부는 감소하게 되며, 이에 따라  $Y_m$ 은  $Y_{m,sat}$  위치로 이동한다. 이후  $MS_6$ - $MS_7$ - $MS_8$ 를 통한 어드미턴스 변환을 거쳐  $Y_{Q1}$ 은  $Y_{Q1,sat}$ 에 매칭된다. 이때,  $Q_2$  역시  $Y_{Q1,sat}$  근처에 매칭되도록 설계함으로써, 최대출력 상태에서 메인 증폭기와 피크 증폭기가 모두 높은 효율을 달성할 수 있도록 하였다.

### III. 시뮬레이션 및 측정결과

칩 제작을 위하여 0.15 μm GaN on SiC 공정을 이용하였다. 해당 공정의 substrate는 100 μm 두께를 가지며 2개



(a) 출력단 등가회로  
(a) Equivalent output network



(b) 각 노드의 어드미턴스  
(b) Node admittances

그림 3. 출력단 등가회로 및 각 노드 어드미턴스  
Fig. 3. Equivalent output network and node admittances.

층의 메탈 레이어를 제공한다. 설계를 위해서 foundry에서 제공한 대신호 모델을 사용하였으며, agilent ADS를 이용하여 회로 및 EM 시뮬레이션, 레이아웃을 진행하였다.

그림 4는 제작된 도허티 증폭기 MMIC의 사진이다. 칩의 크기는 패드 포함하여 1.5×1.1 mm이다. 제작된 칩은 on-wafer 프루빙으로 측정하였으며 전원전압은 28 V를 인가하였다. S-파라미터 측정은 벡터 네트워크 분석기

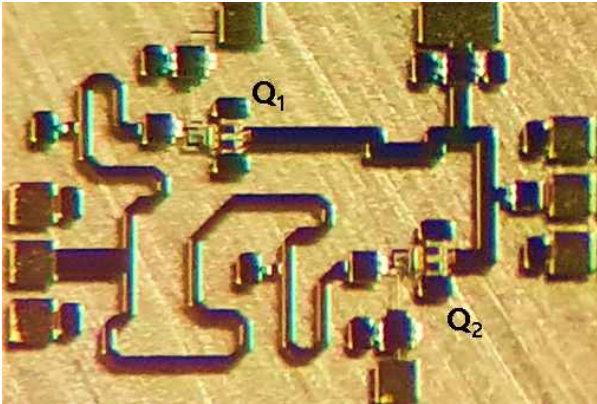


그림 4. 제작된 도허티 전력증폭기 MMIC  
Fig. 4. Fabricated GaN Doherty amplifier MMIC.

(ZNA43)를 사용하였고, 대신호 특성 측정을 위해 드라이버 증폭기(ZVA 18443 VG+), 30 dB 감쇄기, 그리고 파워 미터(NRP40P)를 이용하였다.

그림 5는 소신호 이득 시뮬레이션 및 측정 결과를 나타낸다. 23~28 GHz에서 7.7 dB 이상의 소신호 이득이 측정되었으며, 전체적인 경향은 시뮬레이션과 유사하게 나타났다. 그러나, 26~28 GHz 구간에서는 시뮬레이션 대비 약 1 dB 정도의 이득 감소가 관찰되었다.

그림 6은 출력 전력에 따른 PAE 시뮬레이션 및 측정 결과를 보여준다. 출력 전력이 25 dBm 이하일 경우, 시뮬레이션과 측정 결과는 유사한 경향을 나타내었다. 그러나 26

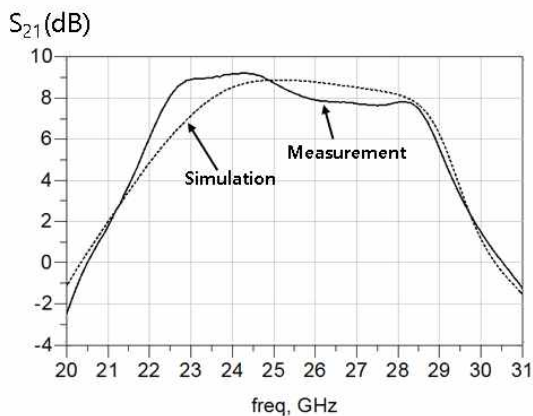


그림 5. 소신호 이득 시뮬레이션 및 측정결과  
Fig. 5. Measurement and simulation results of small signal gain.

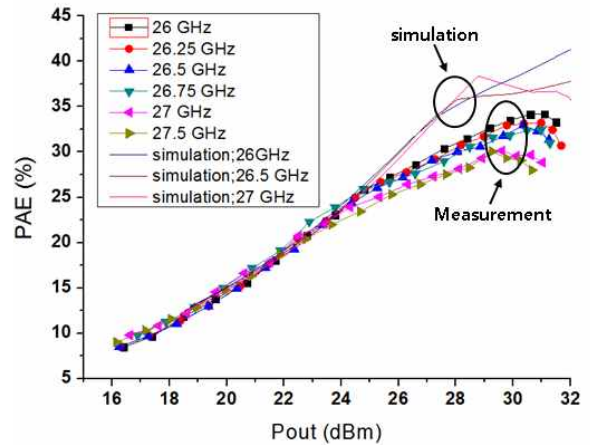


그림 6. PAE 시뮬레이션 및 측정결과  
Fig. 6. Measurement and simulation results of PAE.

dBm 이상의 출력에서는 시뮬레이션 대비 약 5 % 정도 낮은 PAE가 측정되었다. 측정 결과를 보면, 26.0~27.5 GHz에서 포화 출력은 30.8~31.8 dBm, PAE는 30~34 %를 기록하였으며, 6 dB 출력 백오프 조건에서는 24~27 %의 PAE를 달성하였다.

소신호 및 대신호 특성 측정 결과를 보면 시뮬레이션과 전반적으로 유사한 경향을 보였으나, 일부 차이가 관찰되었다. 이러한 차이는 주로 능동소자 모델의 정확도 한계에서 비롯된 것으로 분석된다.

표 1은 본 연구에서 설계된 Ka-대역 GaN 도허티 증폭기와 기존에 발표된 결과들의 성능을 비교한 것이다. 제안된 증폭기는 출력 전력, PAE(최대 및 6 dB OBO) 측면

표 1. GaN 도허티 증폭기 성능 비교

Table 1. Performance comparison with previously reported GaN Doherty amplifiers.

Ref.	Freq. (GHz)	$P_{sat}$ (dBm)	Power gain (dB)	PAE (%)	PAE @6 dB OBO (%)	Chip size (mm <sup>2</sup> )
[1]	28~30	28.5~31	4~8	21~44	17~26	2.54×2.14
[2]	28~29	34~34.3	8~12	20~22	13~16	3.73×4.2
[3]	25~26.5	28.9~30	5.2~6.5	29~40	27~32	3.5×2.0
This work	26~27.5	30.8~31.8	4.9~5.6	30~34	24~27	1.5×1.1

에서 기존 결과들 대비 우수한 수준의 성능을 나타낸다. 특히, 칩 면적에 있어서는 기존 설계 대비 현저히 작은 크기를 달성함으로써 집적도 측면에서 우수한 특성을 보이는 것을 알 수 있다.

#### IV. 결 론

본 논문에서는 0.15  $\mu\text{m}$  GaN on SiC 공정을 기반으로 Ka-대역 도허티 증폭기를 설계하고, 제작 및 측정을 통해 그 성능을 검증하였다. 출력 매칭 회로의 최적화를 통해 칩 면적을 최소화 하였으며, 측정 결과 제안된 구조는 기존의 Ka-대역 GaN 도허티 증폭기와 비교하여 출력 전력 및 효율 측면에서 우수한 수준의 성능을 나타내었다. 이러한 특성은 차세대 통신 및 군용 시스템과 같이 고집적화 및 경량화가 요구되는 응용 환경에서 시스템의 성능 향상에 기여할 수 있을 것으로 기대된다.

#### References

- [1] R. Ishikawa, T. Seshimo, Y. Takayama, and K. Honjo, "A 28-GHz-band GaN HEMT MMIC Doherty power amplifier designed by load resistance division adjustment," in *2021 16th European Microwave Integrated Circuits Conference(EuMIC)*, London, Apr. 2022, pp. 241-244.
- [2] A. Piacibello, V. Camarchia, P. Colantonio, and R. Giofrè, "3-Way Doherty power amplifiers: Design guidelines and MMIC implementation at 28 GHz," *IEEE Transactions on Microwave Theory and Techniques*, vol. 71, no. 5, pp. 2016-2028, May 2023.
- [3] P. Chen, R. J. Liu, L. Yu, Z. Zhao, X. W. Zhu, and D. Hou, "An optimization method for load modulation trajectories in a millimeter-wave GaNMMIC Doherty power amplifier design," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 71, no. 1, pp. 141-145, Jan. 2024.
- [4] K. Nakatani, Y. Yamaguchi, Y. Komatsuzaki, S. Sakata, S. Shinjo, and K. Yamanaka, "A ka-band high efficiency Doherty power amplifier MMIC using GaN-HEMT for 5G application," in *2018 IEEE MTT-S International Microwave Workshop Series on 5G Hardware and System Technologies(IMWS-5G)*, Dublin, Aug. 2018.
- [5] Y. Yamaguchi, K. Nakatani, and S. Shinjo, "A wideband and high efficiency ka-band GaN Doherty power amplifier for 5G communications," in *2020 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium(BCICTS)*, Monterey, CA, Nov. 2020.
- [6] R. J. Liu, X. W. Zhu, J. Xia, Z. M. Zhao, Q. Dong, and P. Chen, "A 24 - 28-GHz GaN MMIC synchronous Doherty power amplifier with enhanced load modulation for 5G mm-wave applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 70, no. 8, pp. 3910-3922, Aug. 2022.
- [7] S. C. Cripps, "A theory for the prediction of GaAs FET load-pull power contours," in *1983 IEEE MTT-S International Microwave Symposium Digest*, Boston, MA, May-Jun. 1983, pp. 221-223.

유 원 상 [충북대학교 전자공학과/석사과정]

<https://orcid.org/0009-0001-8823-8376>



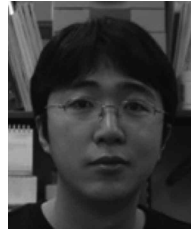
2023년 2월: 충북대학교 전자공학과 (공학사)

2024년 3월~현재: 충북대학교 전자공학과 석사과정

[주 관심분야] RF 프론트엔드

심 상 훈 [충북대학교/부교수]

<https://orcid.org/0009-0007-2431-4687>



2001년 2월: KAIST 전기 및 전자공학과 (공학사)

2004년 2월: KAIST 전기 및 전자공학과 (공학석사)

2009년 2월: KAIST 전기 및 전자공학과 (공학박사)

2018년 9월: 알에프코어(주) (수석 연구원)

2020년 3월: 삼성전자(주) (수석 연구원)

2020년 3월~현재: 충북대학교 전자공학과 부교수

[주 관심분야] 차세대 통신 및 레이더 응용을 위한 MMIC 및 시스템