

## 고출력 GaN SPDT MMIC 스위치 설계 및 제작

## A High Power GaN SPDT MMIC Switch

심 상 훈<sup>1</sup>Sanghoon Sim<sup>1</sup>

## 요 약

본 논문에서는 0.25  $\mu\text{m}$  GaN on SiC 공정을 이용한 고출력 SPDT(single pole double through) MMIC 스위치를 설계하고 제작하였다. 각 신호 경로는 series-shunt 스위치 구조로 설계하였으며, 고출력 특성을 얻기 위하여 각 스위치 트랜지스터는 2단으로 적층하였다. 제작된 SPDT MMIC는 1.6 mm×1.2 mm의 크기를 가지고, 동작주파수 0.1~10 GHz에서 삽입손실은 0.23~1.32 dB, 격리도는 56~23 dB로 측정되었다. 대신호 동작의 경우, 입력파워 기준 0.1 dB compression point (IP0.1dB)는 5.5 GHz에서 45.3 dBm으로 측정되었고, 입력파워 46.7 dBm까지 0.12 dB 이하의 삽입손실 compression 특성을 갖는다.

## Abstract

This paper presents the development of a high-power single pole double throw (SPDT) microwave monolithic integrated circuit (MMIC) switch via a 0.25  $\mu\text{m}$  GaN on SiC process. Each signal path is designed in a serial shunt switch configuration, and each switch transistor is stacked in two stages to achieve a high-voltage swing. The size of the fabricated SPDT MMIC is 1.6 mm×1.2 mm. At operating frequencies of 0.1~10 GHz, the insertion loss is within 0.23~1.32 dB, and the isolation ranges from 56 to 23 dB. The input 0.1-dB compression point was measured to be 45.3 dBm at 5.5 GHz. The compression remains below 0.12 dB for up to 46.7 dBm input power.

Key words: High Power, GaN, SPDT, Switch

## I. 서 론

최근 GaN(gallium nitride) 공정 기술의 발전과 더불어, 고출력 특성이 요구되는 RF부품에 GaN 기반의 소자가 널리 사용되고 있다<sup>[1]~[5]</sup>. GaN 공정은 기존의 GaAs 공정 대비 우수한 전력 특성과 열 안정성으로 인해, 고출력 전

력증폭기 및 고출력 스위치 구현에 GaN 소자를 활용할 경우 우수한 전력 특성을 얻을 수 있을 뿐만 아니라 칩의 크기를 소형화 할 수 있어 차세대 통신 및 레이다 시스템에 GaN 소자 및 MMIC가 사용되고 있다. 5G 기지국의 경우 3.5 GHz 대역에서 GaN 전력증폭기를 이용하여 다중 입력 다중 출력(MIMO)이 가능한 형태의 기지국이 개발

「이 논문은 2024년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구임(No.2022-0-000041).」

충북대학교 전자공학과(School of Electronics Engineering, Chungbuk National University)

1: 조교수(<https://orcid.org/0009-0007-2431-4687>)

· Manuscript received February 21, 2024 ; Revised March 1, 2024 ; Accepted March 2, 2024. (ID No. 20240221-017)

· Corresponding Author: Sanghoon Sim (e-mail: shsim@cgnu.ac.kr)

되어 사용되고 있고, 차세대 능동 위상배열 레이다의 경우 안테나간 간격이 파장의 절반 정도로 제한되므로 협소한 공간내에 고출력 부품을 배치하기 위해서는 GaN 소자의 사용이 필수적이라고 할 수 있다.

본 논문에서는 0.25  $\mu\text{m}$  GaN on SiC 공정을 이용하여  
고출력 SPDT 스위치를 설계, 제작하고 특성을 측정하였  
다.

## II. SPDT 스위치 설계

SPDT 스위치는 하나의 pole( $P_0$ )과 두 개의 through 포트 ( $P_1$ ,  $P_2$ )를 갖는다. 제어 신호에 따라  $P_0$ 에서  $P_1$ 으로 신호가 전달(편의상 ‘ $P_0$ - $P_1$  모드’로 표시)되거나,  $P_0$ 에서  $P_2$ 로 신호가 전달(편의상 ‘ $P_0$ - $P_2$ 모드’로 표시)되도록 동작한다. 그림 1은 본 논문에서 설계한 고효율 SPDT 스위치의 회로도이다. series-shunt 스위치 구조로 설계하였고, 각 스위치 트랜지스터는 2단으로 적층하여 출력을 향상시킬 수 있도록 하였다. 각 트랜지스터의 게이트는 바이어스 저항  $R_g$ 를 통해 0 V와 -40 V의 제어 신호를 인가할 수 있도록 하였다.

$V_{c1} = -40$  V,  $V_{c2} = 0$  V인 경우,  $P_0$ - $P_1$  모드로 동작한다. 즉,  $P_1$ 측의 series 스위치( $F_3$ ,  $F_4$ )는 on, shunt 스위치( $F_1$ ,  $F_2$ )는 off되고,  $P_2$ 측의 shunt 스위치( $F_5$ ,  $F_6$ )는 on, series 스위치( $F_7$ ,  $F_8$ )는 off된다. 마찬가지로,  $V_{c1} = 0$  V,  $V_{c2} = -40$  V인 경우,  $P_0$ - $P_2$  모드로 동작한다.

여기서, series 스위치 트랜지스터의 크기가 커지면 on 저항이 줄어들어 on 저항에 의한 손실은 줄어들지만, off

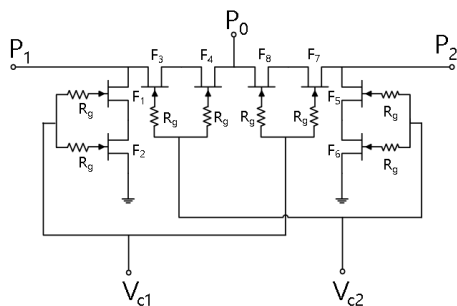


그림 1. 고출력 SPDT 스위치 회로도  
Fig. 1. High power SPDT switch schematic.

커패시턴스가 증가하므로 격리도 특성이 저하되므로 leakage에 의한 손실이 증가하게 된다. 예를 들어,  $P_0$ - $P_1$  모드인 경우  $P_1$ 측의 series 스위치( $F_3$ ,  $F_4$ )의 크기를 증가시키면 on저항이 줄어들게 되어  $P_0$ - $P_1$  경로의 삽입손실이 줄어들지만, 이 조건에서 모드를 변경하여  $P_0$ - $P_2$  모드가 되면 series 스위치( $F_3$ ,  $F_4$ )의 증가된 off 커패시턴스로 인해  $P_1$ 으로의 leakage 신호가 증가하게 되어 신호경로  $P_0$ - $P_2$ 의 삽입 손실은 증가하게 되는 문제가 있다. 여기서 shunt 스위치가 역할을 하게 되는데, shunt 스위치  $F_1$ ,  $F_2$ 가 on 되어 있으면  $P_1$ 으로의 leakage가 줄어들게 되고, 따라서 leakage에 의한 손실을 줄일 수 있다. shunt 스위치가 지나치게 커지게 되면 off 커패시턴스로 인하여 고주파 동작에 제한을 받게 되므로, 삽입손실의 최소화와 고주파 동작을 위하여 series 및 shunt 스위치 트랜지스터의 크기가 적절한 크기로 설계되어야 한다. 본 연구에서는 ADS 시뮬레이션을 통하여 스위치 트랜지스터의 크기를 최적화하였다.

각 트랜지스터는 2단으로 적층하여 대신호 동작에 의한 전압 스윙이 나누어 걸릴 수 있도록 하여 출력을 향상시켰다. 그림 2는  $P_0$ - $P_1$  모드에서 포트  $P_0$ 의 전압 스윙 및 각 트랜지스터의 소스-드레인 양단에 걸리는 전압스윙 ( $V_{DS}$ )을 보여준다. 각 트랜지스터의 on저항이 충분히 작

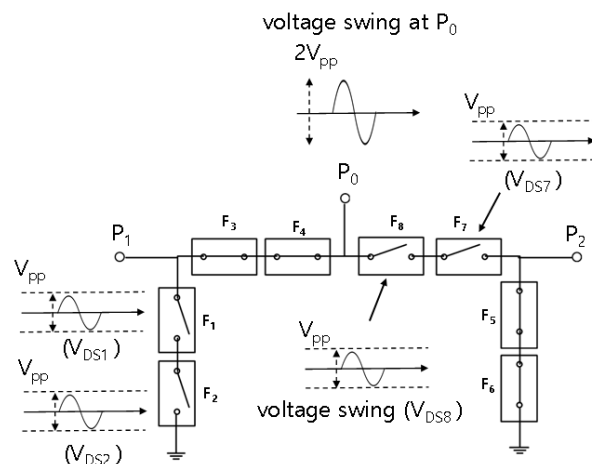


그림 2.  $P_0$ - $P_1$  모드 동작에 따른 포트  $P_0$ 의 전압 스윙 및 각 트랜지스터의 소스-드레인 전압 스윙 ( $V_{DS}$ )  
Fig. 2. Voltage swing at  $P_0$ , and voltage swing between source and drain in each transistor.

다고 가정하면, 포트  $P_0$ 의 전압 스윙이  $2V_{pp}$ 인 경우, off 되어있는 트랜지스터  $F_1, F_2, F_7, F_8$ 에는 대략  $V_{pp}$ 에 해당하는 전압스윙이 걸리게 된다. 따라서, 트랜지스터를 적층할 경우 SPDT스위치의 출력을 향상시킬 수 있다.

### III. 측정결과

그림 3은 제작된 SPDT MMIC의 사진이다. 칩 제작을 위하여  $0.25 \mu\text{m}$  GaN on SiC 공정을 이용하였고, 측정을 위하여  $V_{c1}, V_{c2}$ 는 wire bonding을 통해 각각 하나의 노드로 연결될 수 있게 하였다. 칩 크기는 패드 포함하여  $1.6 \text{ mm} \times 1.2 \text{ mm}$ 이다. series 스위치  $F_3, F_4, F_7, F_8$ 은 5 finger  $\times 300 \mu\text{m}$  소자를 사용하였고 shunt 스위치  $F_1, F_2, F_5, F_6$ 은 3 finger  $\times 200 \mu\text{m}$  소자를 사용하였다. 제작된 칩은 on-wafer 프루빙을 통하여 측정하였으며, 제어전압  $V_{c1}, V_{c2}$ 는 on 전압은 0 V, off 전압은 -40 V를 인가하였다.

S 파라미터 측정을 위하여 PNA(N5244A)를 사용하였으며, 대신호 측정을 위하여 피크파워미터(NI911A)와 알

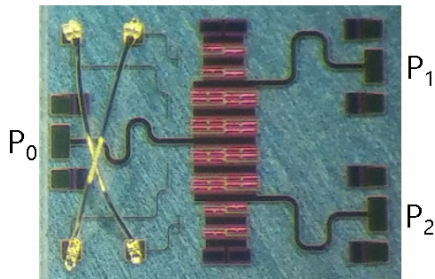


그림 3. 제작된 고출력 SPDT MMIC

Fig. 3. Fabricated high power SPDT MMIC (chip size:  $1.6 \text{ mm} \times 1.2 \text{ mm}$ ).

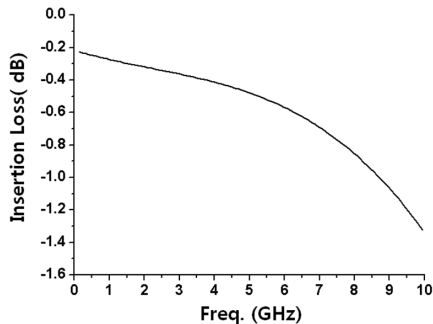


그림 4. 삽입손실 측정결과

Fig. 4. Measured insertion loss.

에프코어사의 C-band 50 W 전력 증폭기를 사용하였다.

그림 4는 삽입손실 측정 결과이다.  $0.1 \sim 10 \text{ GHz}$ 까지  $0.23 \sim 1.32 \text{ dB}$ 의 삽입 손실을 갖는다. 그림 5는 입력력 반사손실과 격리도 측정 결과이다. 입·출력 반사손실은 주파수  $0.1 \sim 10 \text{ GHz}$ 에서  $-9 \text{ dB}$  이하의 특성을 보인다. 격리도는 같은 주파수에서  $56 \sim 23 \text{ dB}$ 로 측정 되었다.

제작된 SPDT스위치의 대신호 동작 특성을 확인하기 위해,  $5.5 \text{ GHz}$ 에서 듀티 10 % (펄스폭  $10 \mu\text{s}$ )의 펄스를 50 W 전력 증폭기를 사용하여 증폭하고 스위치 입력( $P_1$ )에 인가한 후 출력( $P_0$ ) 펄스의 전력을 피크 파워미터로 측정하였다. 그림 6은 입력파위에 따른 삽입손실 compression 특성을 보여준다. 측정결과를 보면 입력파위  $44 \text{ dBm}$  근처에서 급격히 compression이 일어나는 것을 알 수 있다.

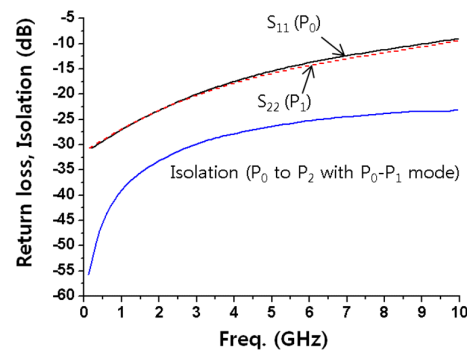


그림 5. 반사손실 및 격리도 측정결과

Fig. 5. Measured insertion loss and isolation.

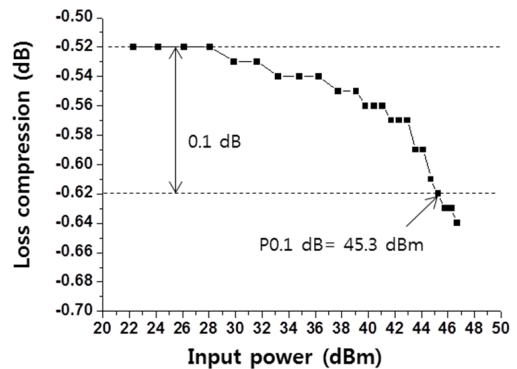


그림 6. 입력파위에 따른 삽입손실 compression 측정결과 (주파수  $5.5 \text{ GHz}$ )

Fig. 6. Measured insertion loss compression according to input power.

표 1. GaN SPDT스위치 성능 비교

Table 1. Performance comparison with previously reported GaN SPDT switches.

Ref.	Freq. (GHz)	Insertion loss (dB)	Isolation (dB)	Power compression (dBm)
[1]	8-12	$\leq 1.1$	$\geq 25$	P1 dB= 41.8@10 GHz
[2]	3-13	$\leq 1.2$	$\geq 25$	P0.1 dB= 39@12 GHz
[3]	DC-8	$\leq 1.0$	-	P0.1 dB= 42@4 GHz
This work	0.1-10	$\leq 1.3$	$\geq 23$	P0.1 dB= 45.3@5.5 GHz

5.5 GHz의 소신호 삽입손실 0.52 dB에 대하여 0.1 dB compression 포인트는 입력파워 45.3 dBm으로 측정되었다. 입력파워 46.7 dBm에서 삽입손실은 0.64 dB로 소신호 대비 0.12 dB compression에 해당한다. 표 1은 기존에 발표된 GaN SPDT스위치와 성능비교를 한 것이다. 본 논문의 결과가 기존 결과대비 우수한 전력 특성을 갖는 것을 알 수 있다.

#### IV. 결 론

0.25  $\mu\text{m}$  GaN on SiC 공정을 이용하여 고출력 SPDT스위치를 설계, 제작하고, 성능을 측정하였다. 각 신호 경로는 series-shunt 구조로 설계하였고, 고출력 특성을 위하여 스위치 트랜지스터를 2단으로 적층하여 설계하였다. 측정 결과, 입력파워 기준 46.7 dBm까지 0.12 dB 이하의

compression 특성을 갖는다. 본 논문에 의한 고출력 SPDT스위치는 차세대 레이다 및 5G 기지국 시스템 등에 적용될 경우 고출력 동작 및 성능향상에 기여할 것으로 기대된다.

#### References

- [1] M. Assad, A. I. Najam, and H. M. Cheema, "GaN based high power SPDT switch for single chip X-band T/R module front-end," in *2021 1st International Conference on Microwave, Antennas & Circuits(ICMAC)*, Islamabad, Dec. 2021.
- [2] S. Osmanoglu, E. Ozbay, "X-band high power GaN SPDT MMIC RF switches," in *2019 European Microwave Conference in Central Europe(EuMCE)*, Prague, May 2019, pp. 83-86.
- [3] C. F. Campbell, D. C. Dumka, "Wideband high power GaN on SiC SPDT switch MMICs," in *2010 IEEE MTT-s International Microwave Symposium*, Anaheim, CA, May 2010.
- [4] J. M. Carroll, "Using GaN FETs for high power RF switches," in *2008 IEEE Compound Semiconductor Integrated Circuits Symposium*, Monterey, CA, Oct. 2008.
- [5] H. G. Ji, J. H. Jeong, and D. M. Kang, "Balanced GaN HPA MMIC for 5G FR2 band base station," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 34, no. 6, pp. 444-449, Jun. 2023.