

해상용 전 디지털 다기능레이다 트레이닝을 위한 모의신호발생장치의 시스템 설계 및 실시간 구현

System Design and Real-time Implementation of Simulated Signal Generator for Naval Full-Digital Multi-Functional Radar Training

이승현 · 박민규 · 강보성 · 신범수 · 박동민 · 최승일* · 김준현* · 김시호**

Seung-Hyun Lee · Min-Kyu Park, Bo-Sung Kang · Bum-Su Shin ·
Dong-Min Park · Seung-Il Choi* · Joon-Hyun Kim* · Si-Ho Kim**

요약

최근 함정용 레이더는 전자식 빔조향이 가능하고, 복잡한 해상 환경에서 실시간으로 다수의 표적 탐지 및 추적, 대전 자전 기능의 동시 수행이 가능한 전 디지털 기반의 능동위상배열 다기능레이더의 형태로 발전하는 추세이다. 그러나 이러한 레이더는 복잡도가 높아 많은 비용과 시간이 소요되기 때문에 안테나 기능을 모의할 수 있는 모의신호발생장치를 이용하여 레이더를 개발하는 것이 효과적이다. 본 논문에서는 전 디지털 기반의 안테나를 모의하여 해상용 전장환경 및 표적 모의가 가능한 모의신호발생장치의 설계 및 실시간 구현방안을 제안하였다. 모델링 결과를 실시간으로 생성하기 위한 CPU와 FPGA의 기반의 시스템 구조와 고정소수점 연산, 실시간 채널 노이즈 생성 방법 및 실시간 빔형성 구조를 제안하고 그 결과를 제시하였다.

Abstract

Recently, shipborne radars are being developed into fully-digital Active Electronically Scanned Array (AESA) multifunctional radars (MFR) that are capable of electronic beam steering, simultaneously detecting and tracking multiple targets in a complex maritime environment, and performing electronic countermeasure functions in real-time. However, because the development process of a radar is expensive owing to its high complexity, using Simulated Signal Generator (SSG) that can emulate the function of an antenna proves effective in radar development. In this study, we propose a real-time implementation method for SSG capable of simulating maritime battlefield environments and targets using fully digital-based antenna simulation. We propose a CPU- and FPGA-based real-time system architecture, fixed-point operation, real-time channel noise generation method, and real-time beamforming structure to generate modeling results that are presented.

Key words: AESA, MFR, CPU, FPGA, SSG, Fixed Point Design, LFSR, Daisy Chain, Real-Time Implementation

한화시스템 해상레이더체계팀(Naval Radar Team, Hanwha Systems)

*주식회사 에델테크(Edeltech Co., Ltd)

**국방과학연구소(Agency for Defense Development)

· Manuscript received December 6, 2023 ; Revised December 27, 2023 ; Accepted February 21, 2024. (ID No. 20231206-010S)

· Corresponding Author: Seung-Hyun Lee (e-mail: shlee853@hanwha.com)

I. 서 론

오늘날 현존하는 레이다는 표적의 탐색 및 추적 기능 뿐 아니라 복잡한 전장환경에서 클러터와 전자전 공격에도 대응할 수 있는 다기능레이다로 개발되는 추세이다. 이러한 다기능레이다에서 핵심 구성품인 안테나는 전자 식별조향이 가능한 능동위상배열 형태로 진화되어 왔으며 반도체 기술 발전으로 고집적화된 RFSoc를 통해 기존 아날로그 부배열구조에서 우수한 성능의 전 디지털배열 구조로 안테나 형태가 변경되고 있다. 그러나 전 디지털 배열 안테나가 장착된 레이다를 개발함에 있어서 많은 비용과 시간이 소요되기 때문에 디지털배열 안테나 기능을 모의할 수 있는 모의신호발생장치를 이용하여 레이다를 개발하는 것이 효과적이다.

이와 같은 모의신호발생장치는 다기능레이다 성능 시험 및 최적화를 위한 목적으로 그림 1과 같이 여러가지 형태로 개발되고 있다^{[1][2]}. 환경신호를 RF기반으로 모의하는 장치는 안테나와 수신기 사이에 입력되어 아날로그 수신채널을 점검할 수 있다는 장점이 있으나 원하는 환경신호를 정확하게 모의할 수 없고 아날로그 형태의 신호를 모사해야 하기 때문에 하드웨어 복잡도 및 비용이 높다는 단점이 있다. 반면 디지털 기반의 모의신호발생장치는 디지털로 샘플링된 신호를 모의하여 생성하므로 하드웨어 구조가 간단하고 소형화할 수 있으며 복잡한 환경신호를 정확하게 구현할 수 있다는 장점이 있다. 또한 다양한 표적 및 환경 신호에 대한 모델을 소프트웨어적

으로 쉽게 수정할 수 있다. 다만 하드웨어 사양에 따라 디지털 기반으로 모의할 수 있는 정밀도가 달라지기 때문에 설계 시 충분히 고려하여야 한다.

구현된 모의신호발생장치는 통제장치의 제어명령을 수신받아 표적 및 환경 신호를 모의하고 실시간으로 다중 수신빔을 형성할 수 있는 기능을 가진다. 다수의 동시 표적과 재밍신호 및 해상 클러터 환경 모의가 가능하므로 레이다의 탐지 및 추적 성능분석, 전자전 대응 기능 등 다기능레이다의 다양한 기능을 시험할 수 있다. 또한 구현된 모의신호발생장치는 안테나에서 출력되는 신호를 모의하므로 안테나 없이도 다기능레이다의 기능을 시험할 수 있는 통합 개발환경을 구축하는데 활용할 수 있다.

본 논문에서는 해상용 전 디지털 다기능레이다 개발을 위한 모의신호발생장치의 설계 및 실시간 구현에 대해 기술한다. II장에서는 하드웨어 설계 및 구현과정에 대해 기술하고, III장에서는 이론적 배경을 근거로 구현된 M&S 모델링의 결과와 하드웨어로 제작된 모의신호발생장치의 결과를 비교 검증하고, 마지막 IV장에서 결론을 기술하였다.

II. 모의신호발생장치의 설계 및 실시간 구현

2-1 실시간 시스템 구조 설계

모의 표적신호의 수신전력은 식 (1)과 같이 레이다 방정식을 이용하여 계산한다^{[3]~[7]}. 이 단계에서는 배열소자 하나에서 모의되는 수신전력을 계산하기 때문에 수신빔이득은 포함하지 않는다. 수신빔이득은 배열 신호처리후 수신빔형성 과정을 통하여 계산된다. 안테나의 송신빔이득은 식 (2)와 같이 단위소자의 패턴과 전 디지털 안테나의 모든 소자의 배열 계수의 조합으로 계산할 수 있다. 전 디지털레이다의 배열 입력신호 X 는 식 (3)~식 (5)와 같이 표적 조향벡터와 양자화된 수신신호 I/Q 데이터의 행렬연산으로 표현할 수 있다. 양자화된 수신신호 I/Q 데이터는 식 (1)에서 계산된 표적신호의 수신전력과 레이다 수신 파형의 양자화된 값을 이용하여 계산할 수 있다. 이 과정에서 행렬연산은 배열수 또는 샘플수에 따라 연산량이 증가하므로 병렬연산을 고려해야 한다. 표적 이외의 해상 클러터의 모델링은 참고문헌을 통하여 모델링하였

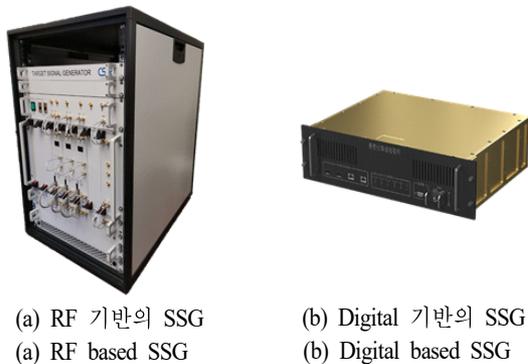


그림 1. 여러가지 형태의 모의신호발생장치
Fig. 1. Various types of SSG.

으며, 본 논문에서는 상세하게 기술하지 않는다^{[8]~[10]}.

$$P_r = \frac{P_i \cdot N_{ele} \cdot G_{tx} \cdot \lambda^2 \cdot \sigma}{(4\pi^3) \cdot R^4} \quad (1)$$

P_i : 최대 송신전력 [W]

N_{ele} : 배열소자수

G_{tx} : 안테나 송신빔 이득 [V]

λ : 파장 [m]

σ : 레이더 반사면적(RCS) [m²]

R : 모의 표적 거리 [m]

$$G_{tx}(\Delta u, \Delta v) = G_{TX} \cdot \cos^2(\theta) \cdot \sum_{l=1}^{N_{ele}} e^{-j\frac{2\pi}{\lambda}(X_l \cdot \Delta u + Y_l \cdot \Delta v)} \quad (2)$$

λ : 파장 [m]

G_{TX} : 안테나 시선방향에서 최대 이득값 [V]

θ : 안테나 시선방향에서 조향각 편차 [rad]

X_l : l 번째 배열소자의 가로축 위치 [m]

Y_l : l 번째 배열소자의 세로축 위치 [m]

Δu : U 도메인의 송신빔과 표적 조향 편차 [rad]

Δv : V 도메인의 송신빔과 표적 조향 편차 [rad]

$$X = \sum_{k=1}^{N_{sig}} D^H S = \begin{bmatrix} x_1(n) \\ \dots \\ x_l(n) \end{bmatrix} = \begin{bmatrix} D_1^H S(k, n) \\ \dots \\ D_l^H S(k, n) \end{bmatrix} \quad (3)$$

D : 표적 조향벡터

S : 양자화된 수신신호 I/Q 데이터

N_{sig} : 모의 표적수

n : 양자화된 I/Q 데이터의 샘플 인덱스

l : 배열소자 인덱스, $l = 1, 2, \dots, N_{ele}$

N_{ele} : 배열소자수

$$D = \begin{bmatrix} d_{11} & \dots & d_{1l} \\ \dots & \dots & \dots \\ d_{k1} & \dots & d_{kl} \end{bmatrix} \quad (4)$$

$$d_{kl} = e^{-j\frac{2\pi}{\lambda}(X_l \cdot tx.U + Y_l \cdot tx.V)} \quad (5)$$

$tx.U$: m 번째 송신빔의 U 도메인 좌표 [rad]

$tx.V$: m 번째 송신빔의 V 도메인 좌표 [rad]

그림 2는 모의신호발생장치의 기능블럭도를 나타내고

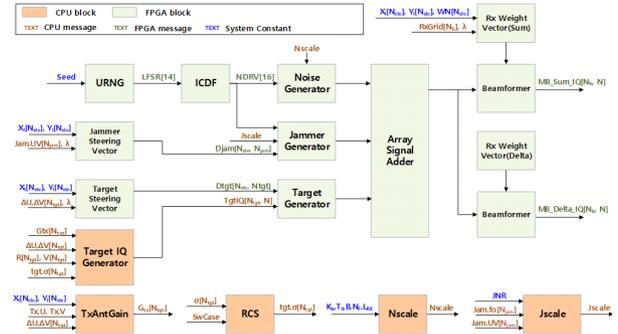


그림 2. 실시간 모의신호발생장치 기능구성도
Fig. 2. The functional diagram of the SSG.

있다. 본 기능구성도에서 사용된 다양한 레이더 파라미터는 모델링된 수신신호 및 환경신호를 기반으로 한 것이다. 기능 구성도에 도시된 바와 같이 CPU에서 수행하는 기능과 FPGA에서 수행하는 기능을 구분하여 설계를 진행하였다. CPU 블록은 단일소자 I/Q 데이터를 생성하거나 레이더 파라미터 연산을 위한 순차 연산을 담당하며, FPGA 블록은 CPU 블록에서 생성된 단일소자의 I/Q 데이터를 입력받아 조향벡터와 연산을 통해 배열 신호처리 및 실시간 다중 수신빔을 형성한다. 배열 신호처리와 다중 수신빔형성은 전 디지털레이더의 배열수가 증가하거나 다중수신빔 개수가 증가할수록 순차 연산에서는 연산 시간이 급격하게 증가하므로 FPGA를 이용하여 병렬처리를 수행한다. 그림 3은 모의신호발생장치의 하드웨어 시스템 구성도를 나타내고 있다. 순차 연산을 수행하기 위한 CPU 모듈은 2.6 GHz 이상의 Xeon 프로세서 6 core가 탑재되어 있어 메시지 송수신과 동시에 레이더 파라미터

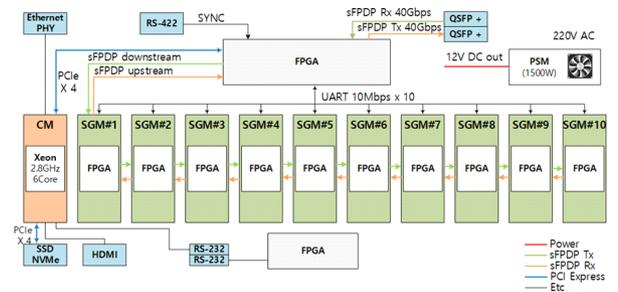


그림 3. 모의신호발생장치 시스템 구조
Fig. 3. The system architecture of the SSG.

연산이 가능하며 외부장비로 데이터를 송수신을 위한 1 Gbps 이더넷이 탑재되어 있다. CPU 모듈은 배열소자의 I/Q 데이터를 생성하고 레이다 파라미터 계산후 그 결과를 메인보드에 있는 FPGA로 전송한다. CPU 모듈이 전송하는 데이터는 샘플링수, 모의 표적수, 재머수, 클러터 샘플수에 따라 데이터량이 가변되며, 데이터 전송시간을 최소화하기 위해 PCI Express x4 lane을 시스템 버스로 사용한다. 메인보드는 Kintex Ultrascale 기반 Xilinx FPGA로 구성되어 있고, CPU 모듈에서 전송된 메시지를 처리하거나 장비상태를 점검하거나 수신빔형성된 결과를 sFPDP로 출력하는 기능을 수행한다. 신호생성모듈은 메인보드 FPGA에서 받은 메시지를 기반으로 배열 신호처리, 채널 노이즈 생성, 다중 수신빔형성 등의 기능을 수행한다. 신호생성모듈은 배열 연산 및 빔형성처리를 위해 DSP Slice 개수가 약 2,400개로 구성된 Ultrascale+ 기반의 FPGA 보드 10개로 구성되어 있다. 보드당 최대 500개의 배열 연산이 가능하므로 10개의 보드 기준으로 최대 5,000개의 배열 연산이 가능하며, 동시에 최대 60개의 다중 수신빔을 실시간으로 생성할 수 있다. 신호생성모듈간 데이터 전송은 데이터 체인(daisy chain) 방식의 80 Gbps sFPDP로 이루어진다. 신호생성모듈로 전달되는 데이터는 Downstream 버스를 통해 CPU 모듈에서 계산된 배열소자의 I/Q 데이터 및 레이다 파라미터를 분배한다. 각 신호생성모듈은 미리 선언된 배열소자의 위치벡터를 이용하여 조향벡터 및 수신빔 계수를 생성하고, 해당 위치벡터에 대한 부분적인 배열신호처리 및 다중 수신빔형성을 수행한다. 각 신호생성모듈에서 생성된 다중 수신빔형성 결과는 Upstream 버스를 통해 합산된다. 데이터를 분배 및 합산하는데 있어서는 계층구조(hierarchy structure) 방식과 데이터 체인 방식등이 있다. 본 논문에서 데이터 체인 방식을 이용하여 시스템을 구성한 이유는 데이터 체인 방식이 분배 및 합산을 위한 별도 모듈없이 간단히 구현할 수 있기 때문이다. 데이터 체인 방식에서 약간의 데이터 전달 지연이 발생할 수 있으나 본 시스템에서는 무시할 만한 수준이다.

2-2 고정 소수점 데이터 설계

그림 4는 모의신호발생장치의 데이터 흐름도를 나타내

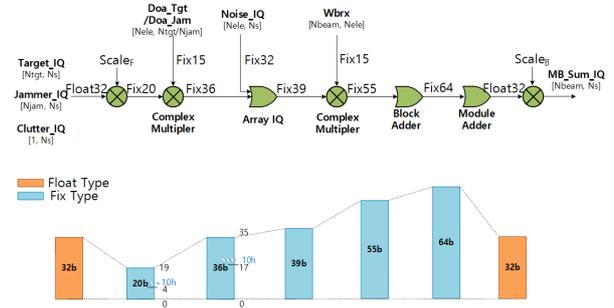


그림 4. 모의신호발생장치의 데이터흐름도
Fig. 4. The dataflow diagram for SSG.

고 있다. CPU 모듈에서 생성된 단일소자 I/Q 데이터는 32 비트 부동소수점 방식으로 계산한다. 하지만 FPGA에서는 연산처리 속도를 향상시키기 위해 고정소수점방식으로 변환한다. 실제 안테나 시스템에서는 ADC의 양자화 비트수에 의해 디지털 데이터로 변환되는데 설계된 모의 신호발생장치에서는 20 비트를 할당하여 정수부는 14 비트를 양자화 비트수로 사용하고 부호 1비트, 소수부 5 비트로 정밀도를 표현하도록 설계하였다. 고정소수점 변환 과정에서 32 비트를 20 비트로 형변환 하는 것에 대한 오차는 발생할 수 있으나 오차를 최소화하기 위해 아래 수식 (6)과 같은 방법 보상한다. $\max(P_i)$ 은 표적의 수신전력의 선형크기 중 가장 근거리에 있는 표적의 값이다. 양자화 비트수에서 표적의 최대 선형크기 값에 해당되는 비트수의 차를 보상해준다. 표적거리에 따라 동적으로 스케일 값을 가변함으로써 오차를 최소화할 수 있다.

$$S_F = 2^{14 - \text{ceil}[\log_2(\max(P_i))]} \quad (6)$$

고정소수점으로 변환된 단일소자 I/Q 데이터는 15 비트의 조향벡터와 연산으로 36 비트로 확장된다. 그리고 15 비트의 다중 수신빔형성계수와 연산하여 다중 수신빔 데이터는 최대 64 비트까지 확장된다. 다중 수신빔데이터는 다시 부동소수점으로 변환되고 단일소자의 양자화 단계에서 곱해준 스케일 값을 다시 나누어주어 복원한다.

2-3 전 디지털 배열의 랜덤 잡음 생성

잡음의 전력은 식 (7)과 같이 계산할 수 있다. 안테나 수신기를 통하여 입력되는 잡음들은 모든 배열소자에 대

해 독립적이라 가정하면 정규분포의 랜덤 잡음으로 모델링이 가능하다. 식 (8)은 수신단의 배열소자의 잡음 크기를 복소수로 모델링한 것이다. 정규분포의 랜덤 잡음을 생성하는 것은 여러가지 방법이 있지만 신호모델링 단계에서는 매트랩의 `randn` 함수를 활용하여 쉽게 구현할 수 있다.

$$P_n = K_b \cdot T_0 \cdot B \cdot 10^{\frac{N_F}{10}} \cdot 10^{\frac{L_{rx}}{10}}. \quad (7)$$

K_b : 볼츠만 상수 [J/K], 1.38×10^{-23}

T_0 : 시스템 온도 [deg]

B : 수신기 대역폭 [Hz]

N_F : 수신기 잡음지수 [dB]

L_{rx} : 수신기 손실값 [dB]

$$n_l(n) = \sqrt{\frac{P_n}{2}} \cdot (\text{randn}(n) + j \cdot \text{randn}(n)). \quad (8)$$

n_l : l 번째 배열소자의 잡음

l : 배열소자 인덱스, $l = 1, 2, \dots, N_{ele}$

N_{ele} : 배열소자수

n : 양자화된 IQ 데이터의 샘플 인덱스

배열수 또는 양자화된 샘플수가 증가하면 랜덤 잡음 생성 시 많은 시간이 소요되므로 FPGA를 이용하여 병렬 처리가 가능하도록 설계하였다. 그림 5는 정규분포의 랜덤 잡음을 생성하기 위한 블록도이다. 균일 분포의 랜덤 잡음을 생성하고 정규분포를 가지는 역 누적확률분포함수의 LUT(look-up table)를 이용하여 정규분포 랜덤잡음을

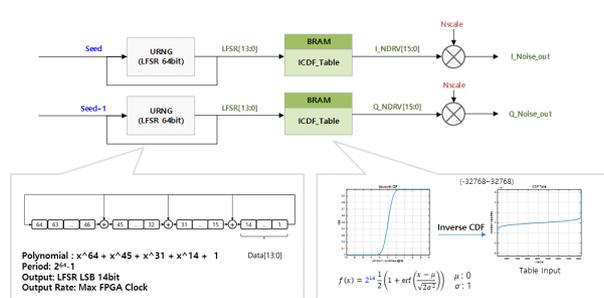


그림 5. 정규분포 랜덤 잡음 생성 블록도
Fig. 5. Normal distribution random noise generator.

을 생성할 수 있다. 균일 분포의 랜덤 잡음을 생성하기 위해 64bit LFSR(linear feedback shift register)을 이용하였다 [11],[12]. LFSR은 심플한 XOR 로직의 조합으로 다음 시드 값을 랜덤하게 생성하여 균일 분포의 랜덤 잡음을 생성한다. 식 (9)는 정규분포를 가지는 누적확률분포 함수이다. 평균과 분산값을 정의하여 정규화된 누적분포함수를 만들 수 있다. 여기서 x 는 정규분포를 가지는 랜덤변수이므로 역누적분포함수를 LUT로 만들면 정규분포를 가지는 랜덤 잡음을 생성할 수 있다. 랜덤 잡음은 FPGA의 클럭 단위로 생성이 가능하며, 로직 블럭을 병렬로 생성하여, 샘플주기당 채널 잡음의 동시 생성이 가능하도록 하였다.

$$f(x) = 2^s \cdot \frac{1}{2} \left(1 + \text{erf} \left(\frac{x-\mu}{\sqrt{2\sigma^2}} \right) \right). \quad (9)$$

x : 랜덤 변수

μ : 평균

σ : 분산

s : 양자화 비트수

2.4 실시간 빔형성기 설계

다중빔에 대한 수신빔형성은 식 (10)~식 (12)와 같이 배열소자의 입력신호와 수신빔계수의 행렬연산으로 표현할 수 있다. 수신빔계수 행렬 W_B 는 $N_{ele} \times N_b$ 크기를 가지며, 수신빔 그리드 개수만큼 다중빔을 형성한다. 식 (12)는 전 디지털 안테나의 각 배열소자와 다중 수신빔 그리드와의 DOA(direction of arrival)를 수식으로 나타낸 것이다. WN_l 은 l 번째 배열소자의 윈도우 계수이며 수신 빔형성 시 정규화된 45 dB Taylor 윈도우를 적용하였다.

$$Y = W_B^H X = \begin{bmatrix} y_1(n) \\ \dots \\ y_m(n) \end{bmatrix} = \begin{bmatrix} w_1^H X \\ \dots \\ w_m^H X \end{bmatrix}. \quad (10)$$

y_m : 양자화된 m 번째 수신빔

m : 수신빔 인덱스, $m = 1, 2, \dots, N_b$

N_b : 다중 수신빔수

$$W_B = \begin{bmatrix} w_{11} & \dots & w_{1m} \\ \dots & \dots & \dots \\ w_{n1} & \dots & w_{nm} \end{bmatrix}. \quad (11)$$

$$w_{lm} = WN_l \cdot e^{j\frac{2\pi}{\lambda}(X_l \cdot rx.U_m + Y_l \cdot rx.V_m)} \quad (12)$$

WN_l : l 번째 배열소자의 윈도우 계수

λ : 파장 [m]

X_l : l 번째 배열소자의 가로축 위치 [m]

Y_l : l 번째 배열소자의 세로축 위치 [m]

$rx.U_m$: m 번째 수신빔의 U 도메인 좌표 [rad]

$rx.V_m$: m 번째 수신빔의 V 도메인 좌표 [rad]

N_b : 다중 수신빔수

수신빔형성 과정은 다중빔수 또는 배열소자수가 늘어남에 따라 연산시간도 증가한다. 다기능레이다의 운영모드에 따라 배열소자수 또는 다중 수신빔수가 가변하므로 유연하게 대응할 수 있는 연산구조를 설계해야 한다.

다중 수신빔형성기는 기본적으로 식 (10)~식 (12)의 행렬연산을 동시에 수행할 수 있는 FPGA로 구현된 로직 블록이며, 미리 계산된 수신빔 계수를 저장하는 DPRAM과 복소수 곱셈 연산을 수행하기 위한 complex multiplier로 구성되어 있다. 하나의 블록은 배열소자 M 개를 순차적으로 처리할 수 있도록 설계되어 있다. 이러한 구조는 M 개의 배열소자는 동일한 DSP 블록 사용함으로써 리소스 사용을 최소화하기 위함이다. 예를 들어 양자화된 I/Q 데이터의 샘플링주파수가 5 MHz이고, FPGA 동작 주파수가 200 MHz라고 가정하면, 수신빔형성 블록은 M 개의 배열소자를 순차적으로 처리함으로써 DSP 사용량을 최소화할 수 있다. 따라서 수신빔형성기가 처리할 수 있는 샘플링 주파수 F_s 는 식 (13)과 같이 정의된다.

$$F_s \leq \frac{F_{proc}}{M} \quad (13)$$

M : 배열소자의 블록단위

F_{proc} : FPGA 동작 주파수

다중 수신빔형성기는 이러한 블록을 다수 생성하여 한 샘플 내 배열신호를 처리하고, 동시에 다중 수신빔을 생성한다. 그림 6은 병렬처리가 가능한 다중 수신빔형성기의 구조를 나타내고 있다. 모의신호발생장치는 신호생성 모듈을 최대 10개까지 장착 가능하며 신호생성모듈 1개

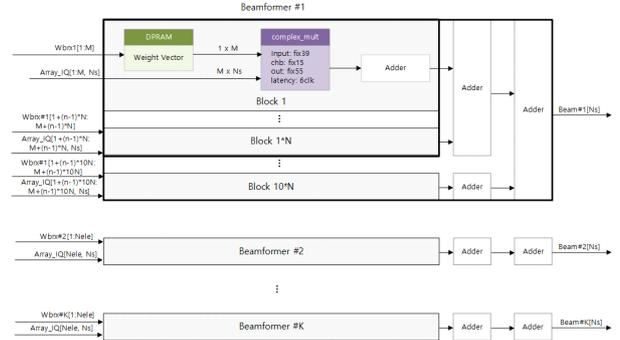


그림 6. 실시간 빔형성기 구조
Fig. 6. The structure of real-time beamformer.

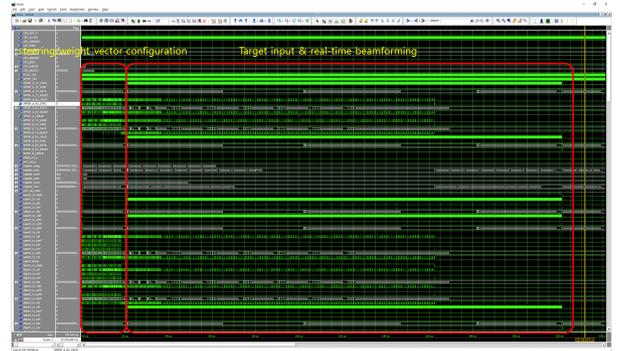


그림 7. 실시간 빔형성기 로직 시뮬레이션
Fig. 7. Logic simulation of the real-time beamformer.

당 최대 N 개의 블록수 $\times K$ 개 수신빔수의 블록을 동시에 처리할 수 있다. 각 신호생성모듈 내 블록에서 생성된 빔형성 결과는 블록합성기에서 부분 합성되고, 각 모듈의 빔형성 결과는 sFPDP의 Upstream 버스를 통해 데이터 체인 방식으로 전달하여 전 디지털안테나 배열소자의 완전 합성빔으로 합성된다. 빔합성 결과는 64비트 고정소수점 방식의 데이터이며, 32 비트 부동소수점으로 변환후 단일 소자의 양자화 단계에서 곱해준 식 (6)의 스케일 값을 다시 나누어 줌으로써 원래 스케일 레벨로 보상한다. 그림 7은 실시간 다중 수신빔형성기의 로직 시뮬레이션 결과를 보여주고 있다.

III. 시험결과

그림 8은 모의신호발생장치의 제작된 하드웨어 형상을 보여주고 있다. 개발된 하드웨어는 19 인치 랙에 장착할



(a) 모의신호발생장치 (b) 신호생성모듈
 (a) Simulated signal generator (b) Signal generation module

그림 8. 제작된 하드웨어 형상
 Fig. 8. Photograph of developed hardware.

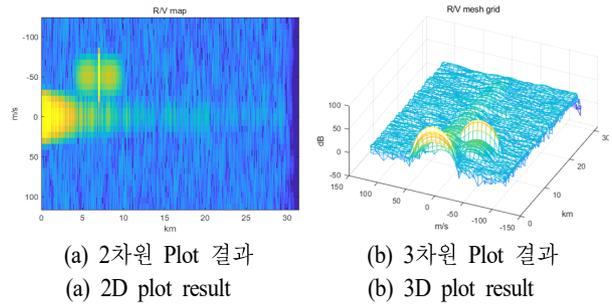
수 있는 표준 랙타입으로 설계되었다. 신호생성모듈을 최대 10개까지 장착할 수 있는 슬롯을 보유하고 있으며, 다수의 FPGA 및 CPU 모듈에서 발생하는 열을 외부로 배기할 수 있는 송풍팬이 4개 이상 장착되어 있으며, 송풍팬 배기 방식으로 방열이 가능하도록 하우징을 설계하였다. 전원은 220 VAC 상용전압을 이용하여 내부에서 사용하는 직류 전압을 생성할 수 있는 전원공급기를 보유하고 있다. 또한 외부 장비와 연동하여 제어명령 및 상태정보를 전송할 수 있는 1 Gbps 이더넷과 다중 수신빔형성 데이터를 출력할 수 있는 40 Gbps sFPDP 광출력 포트를 보유하고 있다. 신호생성모듈은 Ultrascale+ FPGA의 GTX Transceiver를 사용하여 80 Gbps sFPDP를 양방향으로 데이터 체인 방식으로 설계하였다. Xilinx의 Ultrascale+ FPGA는 타 모델 대비 저전력으로 칩으로 설계하여 DSP 리소스를 약 80 % 정도 사용하는 경우 약 10 W 이내로 전력을 소모한다.

그림 9는 모의신호발생장치의 시험환경을 나타내고 있다.

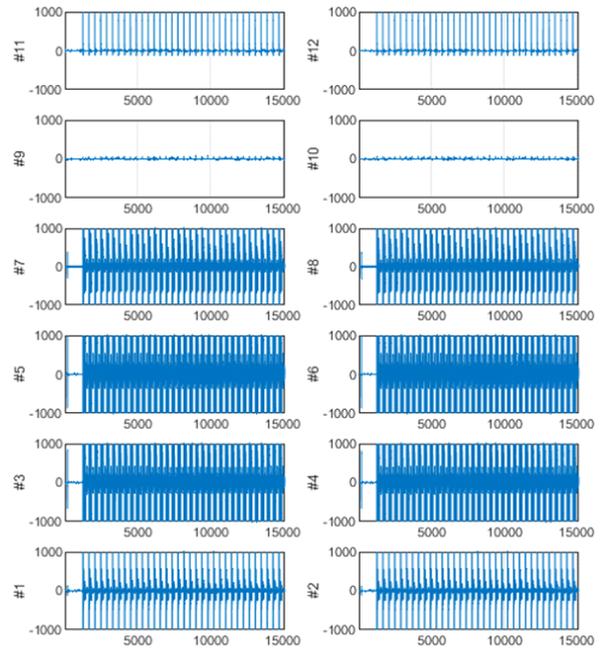


그림 9. 모의신호발생장치 시험환경
 Fig. 9. Test environment for SSG.

다. 제어 PC는 모의신호발생장치로 빔제어 명령 및 표적 시나리오를 입력하기 위해 사용하였다. 데이터저장기는 다중 수신빔형성 결과를 확인하기 위한 용도로 사용하였다. 시험에 사용한 표적은 7 km 거리에서 50 m/s의 속도로 반사도 1 m²의 크기로 방위각, 고각 0 도 시선방향에서 진입하는 표적으로 모사하였다. 수신기로 들어오는 채널 잡음은 약 20 dB의 크기이며, 해상클러터는 sea state가 2 이상인 환경을 모의하였다. 그림 10은 모의신호발생장치를 이용하여 레이다 표적 및 환경신호를 모의한 결과와 다중 수신빔형성의 시험 결과를 보여주고 있다. 그림



(a) 2차원 Plot 결과 (b) 3차원 Plot 결과
 (a) 2D plot result (b) 3D plot result



(c) 다중 수신빔형성 결과
 (c) Multi-beamforming result

그림 10. 모의신호발생장치 시험결과
 Fig. 10. Test result of SSG.

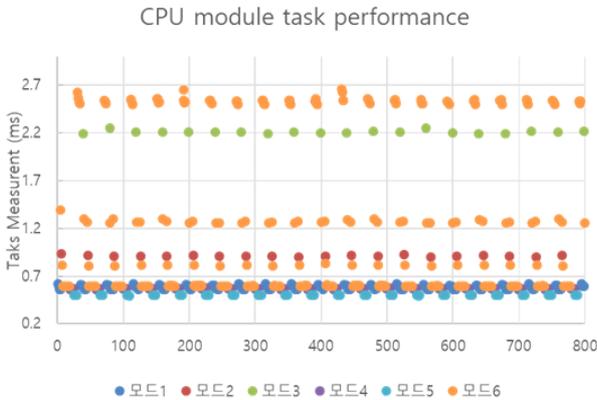


그림 11. CPU 모듈 연산 수행시간 측정
Fig. 11. CPU module task performance.

10(a) 및 그림 10(b)는 3번째 수신빔의 거리/속도 방향의 각각 2차원, 3차원 플롯 결과이다. 그림 10(c)는 시간축으로 샘플링된 총 12개의 다중수신빔 I/Q 데이터를 플롯한 결과이다. 수신빔중 3번과 5번 또는 4번과 6번빔 사이가 각각 0도의 시선방향이므로 해당 수신빔에서 이득이 최대로 모의가 되는 것을 확인하였다.

모의신호발생장치의 실시간 동작은 CPU 모듈의 동작과 다중 수신 빔형성 기능의 실시간성으로 확인할 수 있다. 다중 수신 빔형성의 실시간성은 양자화된 샘플링주파수가 식 (13)의 조건을 만족하는 조건에서 로직 시뮬레이션을 통하여 확인할 수 있다. CPU 모듈의 실시간 동작은 데이터 준비시간 이내에 CPU 동작이 완료되어야 한다. 그림 11은 데이터 준비시간 3 ms에 대하여 서로 다른 빔주기를 가지는 6개의 운영파형에 대한 CPU 모듈 연산 성능을 보여주고 있다. 그림에서 보는 바와 같이 모든 빔 제어 모드에 대해 데이터 준비 시간내 연산이 완료되는 것을 확인할 수 있다.

IV. 결 론

본 논문에서는 전 디지털 기반의 안테나를 모의하여 해상용 전장 환경 및 표적 모의가 가능한 모의신호발생장치의 설계 및 실시간 구현방안을 제시하였다. 양자화된 수신신호를 모델링하고 CPU 모듈 및 병렬분산시스템을 구축하여 레이더 표적 및 환경신호의 실시간 생성이 가능하며 동시에 다중 수신빔형성이 가능함을 확인하였다.

구현된 모의신호발생장치는 전 디지털안테나가 없는 상황에서도 다수의 동시 표적 및 레이더 환경신호를 모의하여 다기능레이다의 기능을 시험할 수 있는 통합 개발 환경을 구축하는데 활용될 수 있음을 확인하였다.

References

- [1] K. J. Yoo, K. C. Lee, G. S. Kim, and Y. D. Jin, "Development method of radar environment signals simulator for active phased array multi function radar," in *KIMST Annual Conference Proceedings*, Jeju-si, Jun. 2016, pp. 154-155.
- [2] G. H. Kim, K. J. Yoo, K. M. Lee, S. J. Kil, E. H. Yang, and K. C. Lee, et al., "Development of radar environmental signals simulator for simulating sub-array receiving signals of active phased array multi-function radar," *Journal of the Korea Institute of Military Science and Technology*, vol. 23, no. 5, pp. 452-458, Oct. 2020.
- [3] M. Skolnik, *Introduction to Radar Systems*, 3rd ed. New York, NY, McGraw-Hill, 2001.
- [4] M. Skolnik, *Editor in Chief, Radar Handbook*, 3rd ed. New York, NY, McGraw-Hill, 2008.
- [5] D. K. Barton, *Radar System Analysis and Modeling*, 3rd ed. Norwood, MA, Artech House, 2005.
- [6] D. K. Barton, *Radar Equation for Modern Radar*, Norwood, MA, Artech House, 2013.
- [7] Y. G. Kwak, *Radar System Engineering*, Paju, Cheongmoon, 2017.
- [8] J. P. Reilly, *Clutter Models for Shipboard Radar Applications: 0.5 to 70 GHz, multi sensor propagation data and clutter modelling*, NATO AAW System Program Office Tech. Rep. F2A 88 0 307R2, 1998.
- [9] D. Walker, "Doppler modelling of radar sea clutter," *IEEE Proceedings-Radar, Sonar and Navigation*, vol. 148, no. 2, pp. 73-80, Apr. 2001.
- [10] A. Farina, P. Lombardo, "Modeling of a mixture of K-distributed and Gaussian clutter for coherent radar detection," *Electronics Letters*, vol. 30, no. 6, pp. 520-521, Mar. 1994.

[11] D. Datta, B. Datta, and H. S. Dutta, "Design and implementation of multibit LFSR on FPGA to generate pseudorandom sequence number," in *IEEE Devices for Integrated Circuit(DevIC)*, Kalyani, Mar. 2017, pp. 346-349.

[12] W. Li, X. Yang, "A parallel and reconfigurable united architecture for fibonacci and galois LFSR," in *IEEE International Conference on Intelligent Human-Machine Systems and Cybernetics*, Hangzhou, Aug. 2015, pp. 203-206.

이 승 현 [한화시스템/수석연구원]

<https://orcid.org/0009-0006-3967-328X>



2004년 2월: 부경대학교 제어계측학과 (공학사)
 2006년 2월: 경북대학교 전자공학과 (공학석사)
 2016년 4월~현재: 한화시스템 해상레이다체계팀 수석연구원
 [주 관심분야] 디지털 신호처리, 레이더 시스템 설계, 임베디드 시스템 설계 등

신 범 수 [한화시스템/전문연구원]

<https://orcid.org/0009-0001-3066-6909>



2008년 8월: 중앙대학교 컴퓨터공학과 (공학사)
 2013년 6월~현재: 한화시스템 소프트웨어팀 전문연구원
 [주 관심분야] 디지털 신호처리, 네트워크 시스템, 임베디드 시스템 등

박 민 규 [한화시스템/선임연구원]

<https://orcid.org/0000-0002-1658-3920>



2016년 8월: 고려대학교 전기전자전파공학과 (공학사)
 2023년 2월: 고려대학교 전기전자공학과 (공학석사)
 2016년 7월~현재: 한화시스템 해상레이다체계팀 선임연구원
 [주 관심분야] 블록 최적화, 안테나 배열 신호처리, 레이더 시스템 설계, 다중안테나 기법

박 동 민 [한화시스템/수석연구원]

<https://orcid.org/0000-0003-1872-9126>



1999년 2월: 광운대학교 전자공학과 (공학사)
 2001년 2월: 광운대학교 전파공학과 (공학석사)
 2014년 8월: 한국과학기술원 전기및전자공학과 (공학박사)
 2001년 4월~현재: 한화시스템 레이더연구소 해상레이다체계팀 수석연구원
 [주 관심분야] RF, 위상배열안테나, 디지털 신호처리, 레이더 시스템 설계 등

강 보 성 [한화시스템/연구원]

<https://orcid.org/0009-0004-8584-3046>



2022년 3월: 안양대학교 전기전자공학과 (공학사)
 2021년 8월~현재: 한화시스템 해상레이다체계팀 연구원
 [주 관심분야] RF, RF power Amplifier 등

최 승 일 [에델테크/연구소장]

<https://orcid.org/0009-0008-8442-341X>



1999년 2월: 서울대학교 전기공학부 (공학사)
 2001년 2월: 서울대학교 전기컴퓨터공학부 (공학석사)
 2008년 3월~현재: 주식회사 에델테크 연구소장
 [주 관심분야] FPGA, 신호처리, RF 등

김 준 현 [에텔테크/수석연구원]

<https://orcid.org/0009-0000-8285-0727>



1999년 2월: 홍익대학교 전자공학과 (공학사)
2019년 10월~현재: 주식회사 에텔테크 수석연구원
[주 관심분야] SOC, FPGA, MCU, EMC 등

김 시 호 [국방과학연구소/책임연구원]

<https://orcid.org/0000-0001-7632-822X>



1998년 2월: 경북대학교 전자공학과 (공학사)
2001년 2월: 경북대학교 전자공학과 (공학석사)
2006년 2월: 경북대학교 전자공학과 (공학박사)
2011년 1월~현재: 국방과학연구소 책임연구원

[주 관심분야] 레이더 통제 및 신호처리, 레이더 표적인식