

포고핀 소켓의 시뮬레이션 상관성 개선

Enhancement of Simulation Correlation in Pogo Pin Socket

강 동 현 · 김 문 정

Donghyun Kang · Moonjung Kim

요 약

포고핀 소켓은 대면적 반도체 패키지와 짧은 패드 간격에 대응할 수 있어 반도체 테스트에 널리 사용되고 있다. 따라서 포고핀 소켓의 신호 전달 특성을 분석하는 과정의 중요성도 높아지고 있다. 분석 과정 중 측정과 시뮬레이션 결과 간의 상관성이 훼손될 수 있다. 본 논문에서는 측정 환경을 유사하게 모델링하기 위한 변수를 설정한다. 설정된 변수는 실물에 대한 측정 결과와 검증된 이론 모델을 반영하여 시뮬레이션에 적용한다. 변수가 적용된 시뮬레이션은 설계 기반 시뮬레이션 대비 상관성의 개선이 이루어졌으며 변수의 적용 여부에 따른 결과물을 측정과 비교 분석하여 상관성 개선에 미치는 유효성을 확인하였다.

Abstract

Pogo-pin sockets are widely used in semiconductor testing due to their ability to accommodate large-area semiconductor packages and their short pad spacing. Therefore, analyzing the signal transmission characteristics of pogo-pin sockets is becoming increasingly important. During the analysis, the correlation between the measurement and simulation results was compromised. In this study, variables were set to model the measurement environment in a similar manner. These variables were applied to the simulation by reflecting the actual measurement results and the validated theoretical model. The simulation with the variables was shown to have an improved correlation as compared with the design-based simulation, and the results of the simulation with and without the variables were analyzed and compared with the measurements to verify the effectiveness of the improvement in correlation.

Key words: Pogo Pin Socket, Signal Transmission Characteristics Analysis, Correlation, Electromagnetic Simulation, *S*-parameter

I. 서 론

최근 반도체 패키지의 다기능화와 연산량 증가로 인하여 패키지 면적이 증가하는 추세를 보이고 있다. 이러한 대면적 패키지의 테스트를 위하여 다양한 테스트 소켓이

개발되고 있다. 그중 포고핀 소켓은 대면적 패키지의 뒤틀림(warpage)과 짧은 패드 간격에 대응이 가능하다는 장점이 있으므로 패키지 테스트용 부품으로 많이 사용되고 있다. 하지만 핀 간 거리가 짧아질수록 포고핀 사이에서의 누화로 인한 신호 품질 저하, 핀 길이로 인한 손실 증

「본 논문은 교육부와 한국연구재단의 재원으로 지원을 받아 수행된 3단계 산학협력 선도대학 육성사업(LINC 3.0)의 연구결과입니다.」

「본 논문은 정부(교육부)의 재원으로 한국산업기술진흥원의 지원을 받아 수행된 연구임(P0028098, 반도체특성화대학지원사업-동반성장형-한국공학대학교).」

국립공주대학교 전기전자제어공학과(Department of Electrical Electronic and Control Engineering, Kongju National University)

· Manuscript received November 5, 2024 ; Revised November 19, 2024 ; Accepted December 2, 2024. (ID No. 20241105-123)

· Corresponding Author: Moonjung Kim (e-mail: mjkim@kongju.ac.kr)

가의 문제점이 발생하고 있다. 따라서 포고핀 소켓의 신호 전달 특성 분석에 대한 중요성이 증가하고 있다.

신호 전달 특성 분석에는 3D EM(electromagnetic) 시뮬레이션을 수행하게 된다. 이러한 시뮬레이션에는 설계를 기반으로 만들어진 3D 모델을 사용한다. 그러나 포고핀 설계는 실제 동작 환경과 특성을 모두 반영할 수 없으며, 이로 인해 시뮬레이션 결과와 측정 결과의 차이를 발생시킬 수 있다. 이러한 문제점을 보완하기 위해 실제 측정 환경을 시뮬레이션에 반영하는 연구가 진행되었다^[1]. 하지만 재설계 과정을 최소화할 수 있는 상관성에 관련된 연구가 활발하게 진행되지 않아 포고핀의 상관성 개선을 위한 시뮬레이션 연구가 필요하다.

본 논문은 포고핀 소켓의 상관성 측면에서의 신호 전달 특성을 분석한다. 상관성 개선을 위한 시뮬레이션 변수를 설정하고 변수 적용 여부에 따른 시뮬레이션과 측정 결과를 비교한다. 이를 통해 시뮬레이션에 적용된 변수가 상관성 개선에 미치는 유효성을 확인한다.

II. 포고핀 소켓의 신호 전달 특성 분석 방법

포고핀 소켓의 신호 전달 특성 분석은 그림 1과 같은

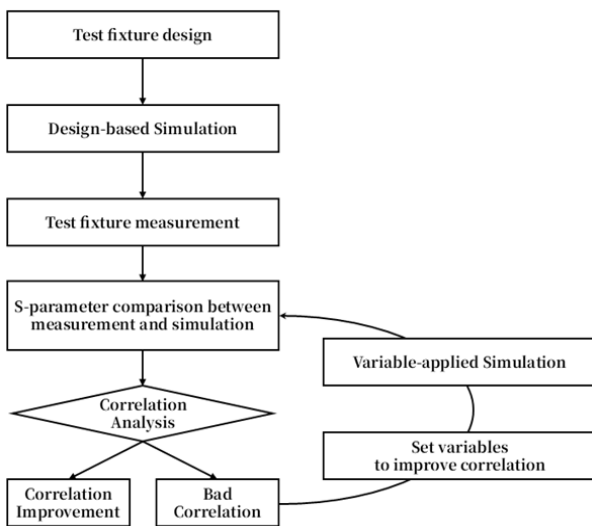


그림 1. 포고핀 소켓의 신호 전달 특성 분석 흐름도
Fig. 1. Flowchart for signal transmission characteristics analysis of pogo pin socket.

순서로 이루어진다. 먼저 포고핀의 동작 특성상 압력이 인가되어야 하며 이를 위해 test fixture가 필요하다. 따라서 Test fixture를 설계하고 설계 기반의 시뮬레이션을 진행한다. 이후 제작된 Test fixture의 측정을 진행한다. 측정을 통해 얻은 S-파라미터와 설계 기반 시뮬레이션을 통해 얻은 S-파라미터를 비교해 상관관계를 분석한다. 만약 낮은 상관성을 가질 시 상관성 개선이 가능한 변수를 시뮬레이션에 적용한다. 최종적으로 개선된 상관성을 갖는 결과를 얻을 경우 분석을 종료한다.

Test fixture는 그림 2(a)와 같이 좌측부터 커넥터, PCB (printed circuit board), 포고핀 소켓, PCB, 커넥터의 결합으로 이루어져 있다. 수직 신호 인가형 커넥터는 커넥터와 PCB 사이의 안정적인 접점 형성과 포고핀의 신호 경로 형성을 위한 압력을 인가하기 위하여 사용되었다. PCB는 그림 2(b)와 같이 신호 전달 경로를 비아로 사용하는 quasi-coaxial 구조를 사용한다. Quasi-coaxial 구조는 접지 패드에 차폐 목적으로 설계된 접지 비아를 0.61 mm 간격으로 배치하여 설계하였다. 위 접지 비아 간 간격은 파장 길이를 구할 수 있는 식 (1)을 사용하여 최대 관심 주파수 대역 40 GHz의 $\lambda/4$ 보다 작은 간격으로 설계되었다.

$$\lambda = \frac{c}{\sqrt{\epsilon_r} \times f} \tag{1}$$

λ 는 최대 관심 주파수의 1 파장 길이이고, c 는 진공에서의 광속, ϵ_r 은 PCB 유전체의 유전 상수, f 는 최대 관심 주파수이다.

이러한 비아 설계는 신호 전자기파가 Quasi-coaxial 구조 외부로 누설되는 양을 최소화 할 수 있다^[2]. 또한, 신호 전파 경로의 길이가 짧기 때문에 전파 속도의 차이를 최소화할 수 있다는 장점이 있다. 포고핀 소켓은 그림 2(c)와 같은 핀맵을 갖는 포고핀 소켓을 선정하였다. 핀 간 거리는 0.65 mm이며 접지 핀 4개가 신호 핀 1개를 둘러싸고 있는 핀 배열을 가지고 있다.

III. 설계 기반 시뮬레이션

Test fixture의 제작을 위하여 시뮬레이션으로 신호 전달 특성 분석을 진행하였다. 본 시뮬레이션은 PCB 설계

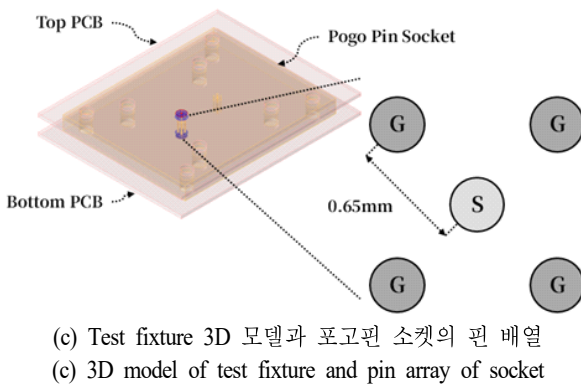
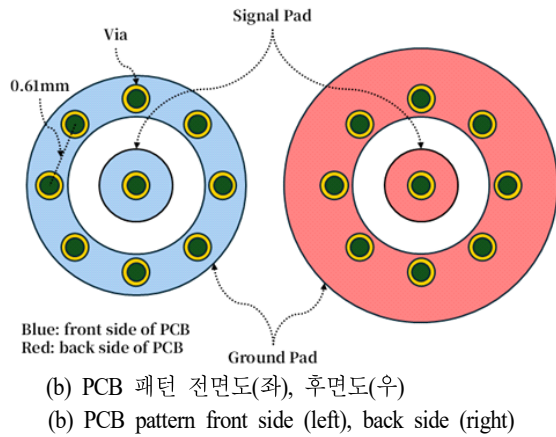
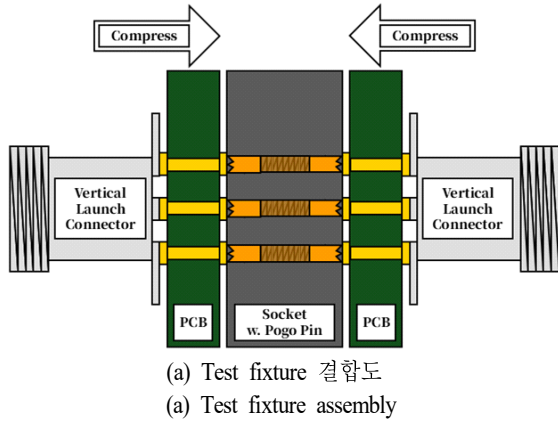


그림 2. 포고핀 소켓 측정을 위한 test fixture
Fig. 2. Test fixture for pogo pin socket measurement.

치수값과 도체 및 유전체의 물성값이 적용되었기 때문에 설계 기반 시뮬레이션이라 칭한다. 시뮬레이션에는 Ansys의 HFSS(high frequency structure simulation)를 사용하였으며 해석 주파수 대역은 40 GHz까지 해석하였다.

표 1. 설계 기반 시뮬레이션에 사용된 물성
Table 1. Material properties used in the design-based simulation.

Component	Material	Property	Value	
PCB	Pattern	Copper	Conductivity	5.8×10^7 (S/m)
			Dielectric	FR402
	Loss tangent	0.015		
	Via filling	PSR ink	Relative permittivity	3.9
Loss tangent			0.02	
Socket housing	Ceramic peek	Relative permittivity	3.5	
		Loss tangent	0.005	

PSR: Photo solder resist.
PCB: Printed circuit board.

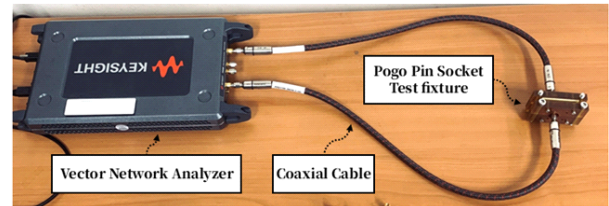
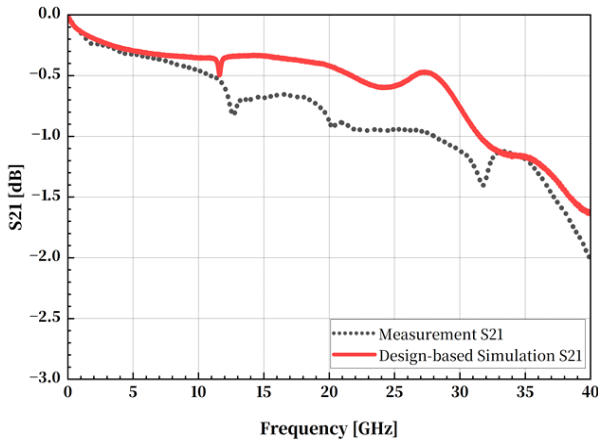


그림 3. 포고핀 소켓의 S-파라미터 측정 구성
Fig. 3. S-parameter measurement configuration for pogo pin socket.

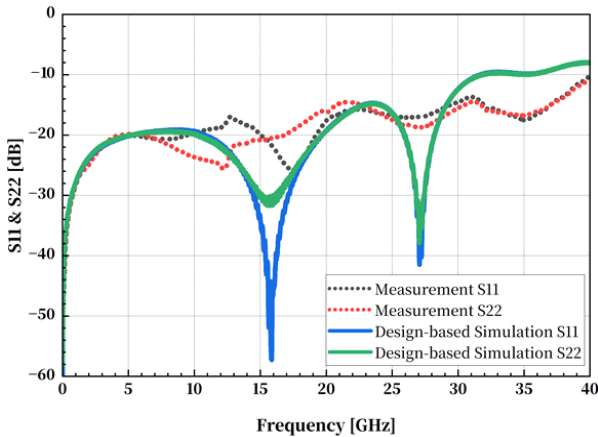
설계 기반 시뮬레이션에 적용된 물성값은 표 1과 같다. 이후 그림 3과 같이 설계와 동일한 물질로 제작된 Test fixture를 사용하여 본 연구의 기준 설정을 위한 측정을 진행하였다. 사용한 VNA(vector network analyzer)는 Keysight의 P5008B이고 측정 주파수 대역은 시뮬레이션과 동일하다.

측정과 설계 기반 시뮬레이션의 비교는 그림 4와 같다. 삽입 손실의 경우 S_{21} 과 S_{12} 가 동일하기 때문에 S_{21} 을 기준으로 비교하였다. 그림 4(a)와 같이 삽입 손실의 전반적인 크기를 비교하면 6 GHz 대역부터 33 GHz 대역까지 차이가 발생하는 것을 확인할 수 있다.

또한, 그림 4(b)와 같이 반사 손실은 공진 지점의 위치에 대한 차이를 확인할 수 있다. 특히 12.7 GHz 대역과 17.5 GHz 대역의 공진 주파수에서의 차이가 큰 것을 확인할 수 있다. 이러한 결과 분석을 통하여 측정 결과와 설계 기반 시뮬레이션 결과는 상관성을 확보할 수 없었다.



(a) 측정과 설계 기반 시뮬레이션의 삽입 손실
(a) Insertion loss of measurement and design-based simulation



(b) 측정과 설계 기반 시뮬레이션의 반사 손실
(b) Return loss of measurement and design-based simulation

그림 4. 포고핀 소켓의 S-파라미터 측정 결과와 설계 기반 시뮬레이션 결과 비교

Fig. 4. S-parameter measurement results of the pogo pin socket compared to design-based simulation results.

오차의 원인은 시뮬레이션에 반영되지 않은 측정 환경에 대한 변수의 영향이다. 측정 환경의 반영을 위해 제작된 PCB의 치수, PCB와 소켓 하우징의 주파수 의존적 유전 상수와 손실 계수, 패턴의 표면 거칠기를 변수로써 선정하였다. 제작된 PCB의 치수는 공정 오차로 인한 설계 치수와의 차이가 존재한다. 유전 상수와 손실 계수는 주파수에 대한 함수이다^[3]. 또한, 고주파수 환경에서 표면

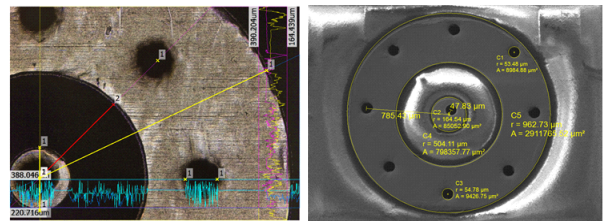
거칠기의 영향이 있기 때문에 시뮬레이션에 반영되어야 한다^[4].

IV. 변수 적용 시뮬레이션

본 장에서는 설정된 변수들에 대하여 구체적인 변수 도출 방법과 변수값을 설명하고, 시뮬레이션에 적용한 결과를 분석한다. 변수 적용 시뮬레이션은 설계 기반 시뮬레이션과 동일한 시뮬레이션 프로그램과 해석 조건을 가진다.

먼저 제작된 PCB의 치수는 그림 5(a)와 같이 레이저 현미경과 그림 5(b)와 같이 Normal SEM(scanning electron microscope)을 사용해 측정하였다. 이후 측정된 치수값의 평균으로 평균 공정 오차를 설정하였다. 공정 오차로 인한 변화는 신호 패드 외경과 비아 내경에서 크게 나타났다. 구리 두께 역시 도금 공정의 영향으로 두꺼워졌으나, 시뮬레이션 결과를 크게 변경시키는 요인은 아니었다. 신호 패드는 추가적인 식각 공정으로 인해 직경이 감소했고, 비아 내경은 비아 내부의 도금 두께 증가로 인해 감소하였다. 설계 기반 시뮬레이션과 변수 적용 시뮬레이션에 사용된 PCB의 치수는 표 2와 같다.

유전 상수와 손실 계수는 주파수에 의존적인 유전율 특성을 반영하기 위해 Djordjevic-Sarkar 모델을 사용하였다. 본 모델은 인과 관계 오류가 발생하지 않아서 신뢰도가 높아 널리 사용된다^{[5]-[7]}. 또한, 적용할 수 있는 주파수 대역이 제한되지 않기 때문에 고주파수 시뮬레이션에 사용될 수 있다^{[6]-[8]}. 주파수에 대한 함수로 변환하기 위하



(a) 레이저 현미경 측정 결과 (b) Normal SEM 측정 결과
(a) Laser microscopic photo (b) Normal SEM photo

그림 5. 제작된 PCB의 치수 측정 결과
Fig. 5. Dimension of fabricated PCB.

표 2. 각 시뮬레이션에 사용된 PCB의 치수
Table 2. Dimension of the PCB used in each simulations.

Parameter		Design-based (mm)	Variable-applied (mm)
Copper thickness		0.035	0.061
GND pad outer radius	Connector side	2	2
	Pogo pin side	2.55	2.55
GND pad inner radius		1	1.019
SIG pad outer radius		0.4	0.321
GND-SIG via pitch		0.8	0.8
Via outer radius		0.2	0.2
Via inner radius		0.18	0.143
Dielectric thickness		0.8	0.8

여 식 (2)를 사용해 계산되었다.

$$\epsilon(\omega) = \epsilon_{\infty} + \frac{\Delta\epsilon'}{\ln\left(\frac{\omega_B}{\omega_A}\right)} \ln\left(\frac{\omega_B + j\omega}{\omega_A + j\omega}\right) \quad (2)$$

ϵ_{∞} 는 자유 공간 유전 상수이고 $\Delta\epsilon'$ 은 상대 유전율의 실수부 변화량, ω_A 는 하한 주파수, ω_B 는 상한 주파수를 의미한다. 모든 주파수 대역에서 상수로 설정한 설계 기반 시뮬레이션의 유전 상수와 식 (2)를 통해 계산하고 변수 적용 시뮬레이션에 설정한 유전 상수를 비교하면 그림 6과 같다.

PCB 패턴 표면의 거칠기는 고주파수 신호 특성에 영향을 미치기 때문에 시뮬레이션 상에서 Huray 모델 또는 Groiss 모델을 적용할 수 있다. 다양한 직경의 표면 거칠기 객체를 시뮬레이션에 직접 반영하는 것은 불가능에 가깝다. 따라서 본 논문에서는 모든 표면에 대한 거칠기를 확인하지 않아도 적용할 수 있는 Huray 모델을 사용하였다. Huray 거칠기 모델은 도체 표면의 거칠기를 구의 집합으로 모델링하여 표면 거칠기에 의한 전력 손실과 전자기파의 산란을 정량적으로 계산하는 모델이다. 본 모델은 위상이 고려된 모델이며 입사파에 대한 유도 쌍극자로 인한 손실 전력 또한 계산되어 유효성이 입증되었다. 이와 같은 Huray 모델은 표면을 이루는 구(nodule)의 RMS(root mean square)값 수준에 따라 표면 거칠기를 표현할 수 있다^[9]. 표 3과 같은 측정된 PCB 표면의 R_{rms} 값

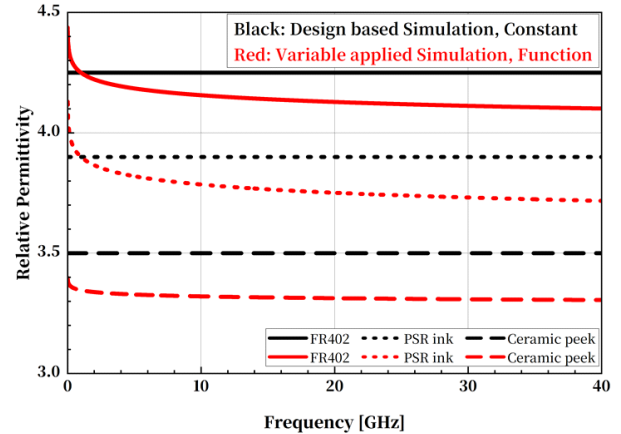


그림 6. 각 시뮬레이션에 적용된 유전 상수
Fig. 6. Relative permittivity applied to each simulation.

표 3. 측정된 PCB 표면의 RMS 거칠기
Table 3. RMS roughness of the measured PCB surface.

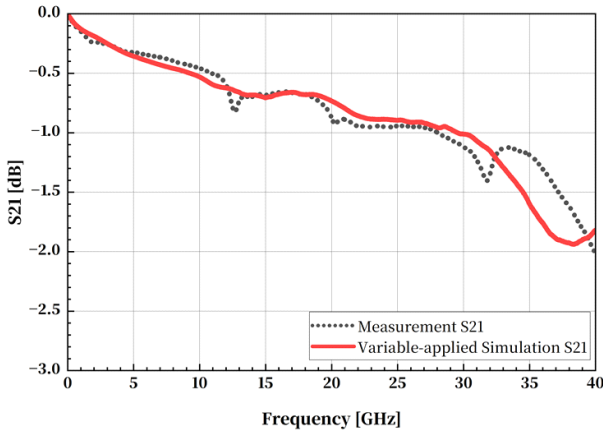
R_{rms} (μm)	#1	#2	#3	#4	#5
Front side 1	12.239	11.809	12.423	12.574	11.86
Front side 2	12.071	11.823	12.015	12.252	11.777
Back side 1	13.112	13.263	12.783	13.609	12.812
Back side 2	13.051	13.176	12.802	13.214	12.662
Average	12.618	12.518	12.506	12.912	12.278

을 참조하였으며 거친 표면을 나타내기 위하여 모델의 nodule radius 파라미터를 $0.5 \mu m$, HSR(huray surface ratio) 파라미터를 6으로 적용하였다. 각 파라미터는 구의 반지름(r)과 구가 단위 면적당 뭉쳐진 개수(N_r)의 비를 표현하며 표면 거칠기를 나타낼 수 있다^[10]. HSR은 식 (3)을 통해서 계산될 수 있다.

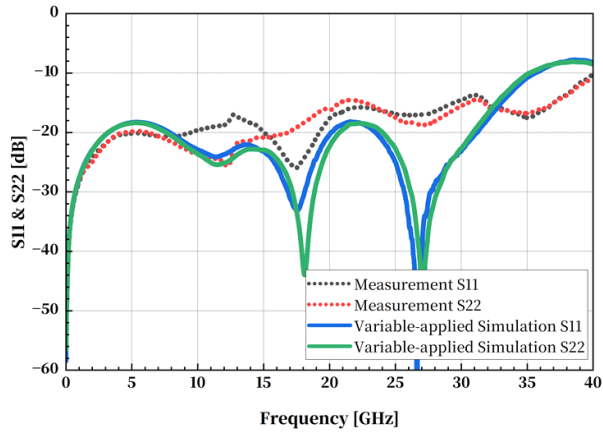
$$HSR = \frac{4\pi r^2 N_r}{A_{flat}} \quad (3)$$

r 은 구의 반지름이며 N_r 은 구의 개수, A_{flat} 은 구의 집합이 쌓여있는 평평한 단위 면적이다.

측정과 변수 적용 시뮬레이션의 비교는 그림 7과 같다. 그림 7(a)와 같이 삽입 손실을 비교하면 32 GHz 대역까지 손실 크기의 오차가 줄어든 것을 확인할 수 있다. 이는 표면 거칠기와 주파수에 의존적인 함수로 나타낸 손실 계



(a) 측정과 변수 적용 시뮬레이션의 삽입 손실
(a) Insertion loss of measurement and variable-applied simulation



(b) 측정과 변수 적용 시뮬레이션의 반사 손실
(b) Return loss of measurement and variable-applied simulation

그림 7. 포고핀 소켓의 S-파라미터 측정 결과와 변수 적용 시뮬레이션 결과 비교

Fig. 7. S-parameter measurement results for a pogo pin socket compared to variable applied simulation results.

수의 영향이 반영된 것으로 해석할 수 있다. 그림 7(b)와 같은 반사 손실의 경우 공진의 크기 차이는 존재하지만 12 GHz 대역부터 30 GHz 대역까지의 공진 위치에 대한 상관성 개선이 이루어진 것을 확인할 수 있다.

V. 결 론

본 논문에서는 시뮬레이션에서 측정 환경을 유사하게

모델링하기 위한 변수를 적용했다. 변수는 측정된 PCB의 치수와 검증된 이론적 모델이 적용된 주파수 의존적 유전 상수와 표면 거칠기이다. 변수가 적용된 시뮬레이션은 설계 기반 시뮬레이션 대비 상관성 개선이 이루어짐을 확인했다. 또한, 본 연구를 통해 PCB 공정과 같이 설계자가 제어할 수 없는 변수와 주파수에 따라 변화하는 유전 상수, 패턴의 표면 거칠기는 상관성에 영향을 미친다는 것을 알 수 있다. 본 연구 결과는 시뮬레이션의 신뢰성을 높여 설계 단계에서 예상 성능 및 문제점 파악에 활용될 수 있을 것이다.

References

- [1] V. Sriboonlue, Y. Jeon, G. R. Luevano, C. Ferguson, and E. Ochoa, "Comprehensive socket characterization and correlation for high-speed interface testing system," in *2024 IEEE 74th Electronic Components and Technology Conference(ECTC)*, Denver, CO, May 2024, pp. 1768-1772.
- [2] A. Sain, K. L. Melde, "Impact of ground via placement in grounded coplanar waveguide interconnects," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 6, no. 1, pp. 136-144, Jan. 2016.
- [3] L. F. Chen, C. K. Ong, C. P. Neo, V. V. Varadan, and V. K. Varadan, *Microwave Electronics: Measurement and Materials Characterization*, Hoboken, NJ, John Wiley & Sons, 2004.
- [4] B. Curran, I. Ndip, and K. D. Lang, "A comparison of typical surface finishes on the high frequency performances of transmission lines in PCBs," in *2017 IEEE 21st Workshop on Signal and Power Integrity(SPI)*, Lake Maggiore, May 2017, pp. 1-3.
- [5] A. R. Djordjevic, R. M. Biljic, V. D. Likar-Smiljanic, and T. K. Sarkar, "Wideband frequency-domain characterization of FR-4 and time-domain causality," *IEEE Transactions on Electromagnetic Compatibility*, vol. 43, no. 4, pp. 662-667, Nov. 2001.
- [6] Y. Wang, P. Pan, Y. Yang, D. Wu, and Y. Guo,

- "Wideband characterization of materials in TSV interposer using multi-objective comprehensive optimization," in *2022 23rd International Conference on Electronic Packaging Technology(ICEPT)*, Dalian, Aug. 2022, pp. 1-4.
- [7] B. Young, A. S. Bhandal, "Causality checking and enhancement of 3D electromagnetic simulation data," in *19th Topical Meeting on Electrical Performance of Electronic Packaging and Systems*, Austin, TX, Oct. 2010. pp. 81-84.
- [8] T. Kitazawa, T. Yamagiwa, R. Kitahara, Y. Kim, J. Chakarothai, and Y. Hayashi, et al., "A novel FDTD approach considering frequency dispersion of FR-4 substrates for signal transmission analyses at GHz band," *IEEE Transactions on Electromagnetic Compatibility*, vol. 64, no. 5, pp. 1522-1532, Oct. 2022.
- [9] Q. M. Khan, D. Kuylenstierna, "Analysis of Q-factor for AM-SLM cavity based resonators using surface roughness models," *IEEE Journal on Multiscale and Multiphysics Computational Techniques*, vol. 9, pp. 75-83, Jan. 2024.
- [10] P. G. Huray, S. Hall, S. Pytel, F. Oluwafemi, R. Mellitz, and D. Hua, et al., "Fundamentals of a 3-D 'snowball' model for surface roughness power losses," in *2007 IEEE Workshop on Signal Propagation on Interconnects*, Genova, May 2007.

강 동 현 [국립공주대학교/학석사연계과정]

<https://orcid.org/0009-0003-4734-7992>



2024년 2월: 국립공주대학교 전기전자제어공학부 반도체정보공학전공 (공학사)
 2023년 9월~현재: 국립공주대학교 전기전자제어공학과 학석사연계과정
 [주 관심분야] 신호무결성, 고속 신호 인터커넥트

김 문 정 [국립공주대학교/교수]

<https://orcid.org/0009-0007-4007-6930>



1997년: 경북대학교 전자공학사 학사
 1999년: 한국과학기술원 전기 및 전자공학과 석사
 2003년: 한국과학기술원 전기 및 전자공학과 박사
 2006년~현재: 공주대학교 전기전자제어공학부 교수

[주 관심분야] 신호무결성, 전원무결성