

8체배기를 내장한 Ka 밴드 레이더 수신기

A Ka-Band Radar Receiver with Built-in X8 Multiplier

이찬종¹ · 양동열² · 강석원³ · 김병성⁴Chan-Jong Lee¹ · Dong-Yeol Yang² · Seuk-Won Kang³ · Byung-Sung Kim⁴

요 약

본 논문에서는 8체배기를 내장한 32 GHz 대역 레이더 수신기를 제안한다. 수신기에 사용한 Ka 대역 수신 칩은 28 nm CMOS 공정을 통해 제작되었으며 8체배기를 내장하여 4 GHz 대역의 낮은 기준 신호로 구동할 수 있다. 제작된 수신 칩은 32 GHz 마이크로스트립 패치 안테나 기판의 접지면에 부착하고 비아와 본딩 와이어를 통해 급전선에 연결된다. 본딩 와이어와 비아에 의한 임피던스 변화를 고려하여 안테나 급전선을 따라 임피던스 매칭 회로를 구현하였다. 수신기에 입력되는 기준 신호, IF 출력 및 바이어스 선로는 캐버티가 형성된 FR4 기판에서 공급함으로써 고가의 정밀한 패키징 기술 없이 간단히 Ka 밴드 수신기 모듈을 구현하였으며, over-the-air (OTA) 테스트를 통해 제작된 수신기 모듈의 성능을 검증하였다.

Abstract

This paper proposes a 32 GHz band radar receiver with an X8 multiplier. The Ka-band Rx chip used in the receiver was fabricated by using a 28-nm complementary metal-oxide-semiconductor (CMOS) process and its built-in X8 multiplier enables the chip to driven by a low reference signal of 4 GHz. The designed Rx chip was attached to the ground plane of a microstrip patch antenna and connected to the feedline via the bonding wire. The impedance matching circuit was implemented along the antenna feedline by considering the impedance changes caused by the bonding wire. The reference input signal, intermediate frequency (IF) output, and bias of the receiver were supplied on an FR4 substrate with a cavity, which enabled easy implementation of the Ka-band receiver module without requiring expensive and precise packaging technology. The performance of the fabricated receiver module was verified in an over-the-air (OTA) test.

Key words: FMCW Radar, CMOS Receiver, Ka-Band

I. 서 론

Ka 대역은 원격 센싱, 레이더, 위성 통신 등 다양한 분야에서 응용 시스템이 활발히 연구되고 있다^{[1]~[3]}. Ka 대

역에서 동작하는 레이더는 CMOS 공정을 이용해 효율적으로 구현할 수 있다^[4]. 하지만 Ka 대역 시스템을 구현하기 위해서는 플립칩과 같은 정밀한 패키징 기술과 저손실 기판의 사용이 필수적이며, 이는 패키징 비용의 상승

「본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였습니다.」

「본 연구는 삼성전자 지원(과제번호IO201209-07913-01)을 받아 수행된 결과임.」

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

1: 석사과정(<https://orcid.org/0000-0002-4539-6569>), 2: 석 · 박사통합과정(<https://orcid.org/0000-0001-7403-8464>)

3: 석 · 박사통합과정(<https://orcid.org/0000-0002-4658-3008>), 4: 지도교수(<https://orcid.org/0000-0003-3084-6499>)

· Manuscript received March 16, 2023 ; Revised March 27, 2023 ; Accepted April 12, 2023. (ID No. 20230316-019)

· Corresponding Author: Byung Sung Kim (e-mail: bskimice@skku.edu)

을 수반한다^[5]. 본 논문에서는 8채배기를 내장해 4 GHz 대역의 기준 신호 주파수로 구동 가능한 Ka 대역 수신 칩을 이용하여, 저비용으로 Ka 대역 수신 시스템을 제작 및 검증하였다.

본 논문의 II 장에서는 입력 임피던스 정합 구조, III 장에서는 제작된 레이더 수신기의 성능에 대해 서술한다. IV 장에서는 측정 결과를, 마지막으로 V 장에서는 결론을 제시한다.

II. 32 GHz 입력 임피던스 정합 구조

그림 1은 28 nm CMOS FD-SOI 공정을 이용해 제작한 수신 칩의 현미경 사진을 보여주며, 그림 2(a)는 수신 칩의 블록도를 보여준다. 수신 칩은 축퇴 인덕터를 이용한 공통 소스 구조의 저잡음 증폭기 2단, 전류 구동 타입의 혼합기, 공통 게이트 구조의 트랜스 임피던스 증폭기, 그리고 8채배기로 구성된다. 8채배기를 제외한 수신 칩의 구조는 참고문헌 [6]에서 기 발표한 결과와 동일하다. 그림 2(b)는 8채배기의 회로도를 보여준다. 8채배기는 단일-차동 구조의 트랜스포머와 다중 위상 필터(poly phase filter) 기반의 상보형 차동 4채배기와 2채배기 구조로 설계되었다^{[7],[8]}. 또한, 체배기를 구동하기 위해 통상적으로 사용하는 인덕터를 사용한 증폭기 구조들에 비해 칩 면적을 줄이는 부분에서 이점을 갖는 인버터 구조를 증폭기로 사용하여 각 체배기를 구동하였다. FMCW 레이더의 IF 출력은 수십 MHz 이하의 낮은 주파수를 갖기 때문에 그라운드가 공유된 출력 패드로 구성한 반면, 4 GHz 기준 신호 입력과 32 GHz RF 신호 입력은 GSG 패드를 통해 연결된다.

그림 3은 수신 칩의 본딩 와이어 구조이다. 수신 칩은 안테나가 구현된 Taconic사의 TYL-5 10 mil 기판 접지면

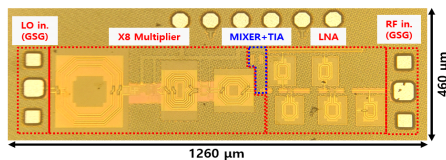
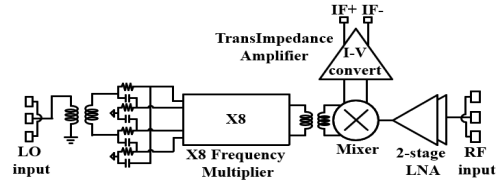
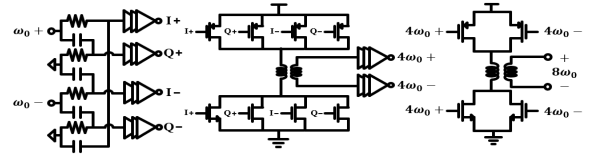


그림 1. 수신 칩 현미경 사진
Fig. 1. Rx chip micro-graph.



(a) 칩 블록도
(a) Chip block diagram



(b) 8채배기 회로도
(b) X8 multiplier circuit diagram

그림 2. 수신 칩 구조

Fig. 2. Rx chip structure.

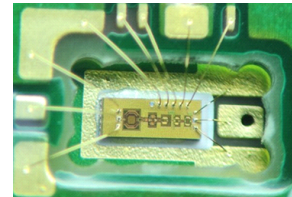


그림 3. 본딩 와이어가 연결된 수신 칩 사진
Fig. 3. Rx chip micro-graph with wire-bonding.

에 에폭시를 이용해 부착되고, 32 GHz 저잡음 증폭기 입력은 GSG 본딩 와이어와 비아를 통해 안테나 급전선에 연결된다.

안테나 보드와 수신 칩이 같은 면에 위치하면 수신 칩의 바이어스 회로 및 기준 신호 회로 등의 요소가 안테나 동작에 영향을 끼칠 수 있고, 복잡한 선로로 인해 다채널 레이더 시스템 구현이 까다롭다. 따라서 본 논문에서는 안테나 보드의 접지면에 칩을 부착하고, 본딩 와이어와 비아를 통해 연결하는 구조로 설계하여 안테나 방사 면에는 다른 회로나 신호선이 없도록 구성하였다.

저잡음 증폭기의 GSG 패드 입력 임피던스는 50 Ω으로 설계되었지만, 본딩 와이어와 비아에 의해 임피던스가 변환되어 안테나 정합을 위해 안테나의 마이크로스트립 급전선에 오픈 스텐브(open stub)를 사용하였다. 칩의 출력 패드로부터 패치 안테나의 급전 점까지의 투과 손실

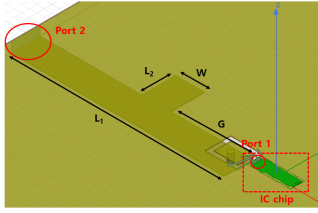


그림 4. 시뮬레이션 환경
Fig. 4. Simulation environment.

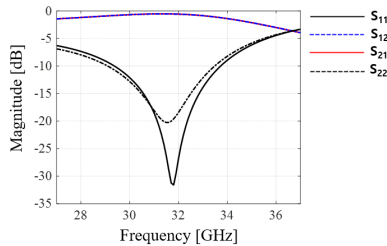
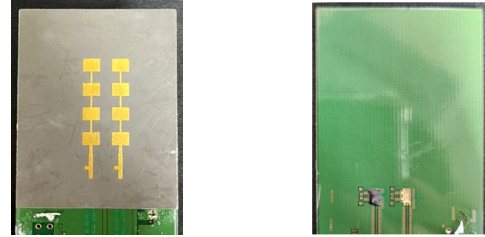


그림 5. 임피던스 정합 구조 시뮬레이션 결과
Fig. 5. Simulation result of impedance matching structure.

이 최소가 되도록 그림 4에서 스테브 위치 G , 스테브의 길이 L_2 , 폭 W 와 총 길이 L_1 를 최적화하였다. 그림 5는 설계된 임피던스 정합 구조의 투과 손실과 각 포트의 반사 손실을 보여준다. 최적화 결과 기반으로, 그림 4의 L_1 은 5.7 mm, L_2 는 0.9 mm, W 는 0.78 mm, 그리고 G 는 2.2 mm로 설계하였다. 32 GHz에서 각 포트의 반사 손실은 15 dB 이하, 투과 손실은 0.59 dB로 설계되었다. 본딩 와이어의 길이는 작업 시 일정하게 유지하기 어려우므로, 본딩 와이어 길이 또한 하나의 변수가 되어 임의의 길이에서도 임피던스 정합이 유지되어야 한다. 따라서 위 환경에서 본딩 와이어 길이의 편차를 ± 0.1 mm로 설정해 이에 따른 투과 손실을 시뮬레이션으로 확인한 결과, 0.5 dB 미만의 차이로 확인되었다.

III. 수신기 모듈의 구성

온-웨이퍼 프로브로 측정된 수신 칩의 변환 이득은 32 GHz에서 24 dB이고, 1 MHz 기저대역 주파수에서 잡음 지수는 시뮬레이션 결과 5.74 dB이며 소모 전력은 56.1 mW이다^[6]. 그림 6은 수신 칩과 마이크로스트립 패치 배열 안테나를 집적해 제작한 2채널 수신기 모듈이다. 수신



(a) 수신기 모듈 정면도 (b) 수신기 모듈 배면도
(a) Front view of Rx module (b) Rear view of Rx module

그림 6. 설계된 수신기 모듈
Fig. 6. Manufactured Rx module.

칩을 안테나 보드 배면에 부착하고, 칩이 부착된 영역에는 FR4 보드에 캐비티를 판 후 FR4 보드와 안테나 보드를 전도성 에폭시로 접착하였다. 이후 본딩 와이어를 이용해 칩과 안테나, 칩과 FR4 기판 상의 바이어스, 기준 신호, IF 신호를 연결한 뒤, 칩을 보호하기 위해 에폭시 몰딩을 수행하였다.

IV. 수신 성능 측정 결과

스펙트럼 분석기를 이용해 제작한 수신기 모듈의 전압 변환 이득을 측정하였다. 수신기 모듈로부터 2 m 거리에 신호 발생기와 송신 안테나를 위치시키고, 송신 전력 -10 dBm의 신호를 인가하였다. 송신 안테나에 31.001 GHz부터 33.001 GHz 주파수의 신호를 인가하고, 수신기에 3.875 GHz부터 4.125 GHz의 기준 신호를 인가해 8 채널 후 혼합기의 LO 신호로 31 GHz부터 33 GHz가 인가되어 1 MHz의 IF 주파수 신호가 나오게 측정 환경을 구성하였다. 프리스 전송 방정식 (1)을 이용하면 이론적인 안테나 수신 전력 P_r 을 도출할 수 있다. 식에서 P_t 는 송신 전력, G_t 는 송신 안테나 이득, G_r 은 수신 안테나 이득, R 은 송수신 안테나의 거리를 의미한다. 계산된 수신 전력 P_r 과 스펙트럼 분석기에 측정된 수신 전력을 역산한 뒤 케이블 손실, 본딩 와이어 투과 손실 등을 고려하여 간접적으로 전압 변환 이득을 계산하였다. 그림 7은 계산에 사용된 각 안테나의 안테나 이득 시뮬레이션 결과를 보여주며, 그림 8은 측정된 주파수 범위에서 계산한 전압 변환 이득을 보여준다. 참고문헌 [6]에서 온 웨이퍼 프로빙으로 측정된 결과와 비교했을 때 최대 약 4 dB의 오차가 발

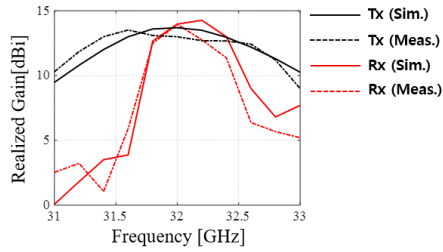


그림 7. 송수신 안테나 이득 시뮬레이션 결과
Fig. 7. Simulation result of TRx antenna gain.

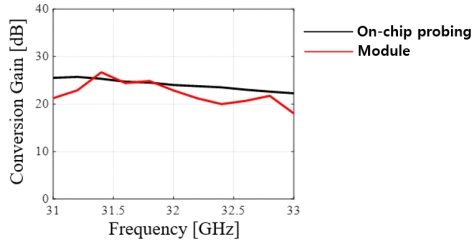


그림 8. 측정된 전압 변환 이득
Fig. 8. Measured conversion gain.

생했는데, 이는 송신 안테나와 수신 안테나의 대역폭의 영향으로 신호의 송수신 과정에서 발생한 오차로 고려된다. 칩 보호를 위한 에폭시 몰딩의 효과를 확인하기 위해 2채널 중 한 채널은 몰딩을 하지 않은 상태에서 측정하였으며, 결과적으로 몰딩에 의한 심각한 손실은 발생하지 않음을 확인하였다.

$$P_r = \frac{P_t G_t G_r \lambda^2}{(4\pi R)^2} \quad (1)$$

V. 결 론

본 논문은 28 nm CMOS 공정을 통해 제작된 8채배기를 내장한 Ka 대역 레이더 수신기의 패키징 방법을 제안하였다. 제작된 수신기 모듈은 4 GHz 대역의 기준 신호를 사용해 작은 손실 및 저비용으로 패키징하였고, 제안한 임피던스 정합 구조를 이용해 수신 칩과 안테나 사이의 투과 손실을 최소화시켰다. 또한, 측정을 통해 임피던스 정합 구조로 제작한 결과, 수신기 모듈이 31 GHz~33 GHz 대역에서 최대 26.67 dB의 이득을 갖고 동작하는 것을 확인하였다.

References

- [1] S. K. Kim, C. Cui, B. S. Kim, and S. Kim, "A fully-integrated low power K-band radar transceiver in 130 nm CMOS technology," *Journal of Semiconductor Tand Science*, vol. 12, no. 4, pp. 426-432, Dec. 2012.
- [2] W. Deng, R. Wu, Z. Chen, M. Ding, H. Jia, and B. Chi, "A 35-GHz TX and RX front end with high TX output power for Ka-band FMCW phased-array radar transceivers in CMOS technology," *IEEE Transactions on Very Large Scale Integration(VLSI) Systems*, vol. 28, no. 10, pp. 2089-2098, Oct. 2020.
- [3] A. Cuttin, F. Alimenti, F. Coromina, E. De Fazio, F. Dogo, and M. Fragiaco, et al., "A Ka-band transceiver for CubeSat satellites: Feasibility study and prototype development," in *2018 48th European Microwave Conference(EuMC)*, Madrid, Sep. 2018, pp. 930-933.
- [4] C. H. Doan, S. Emami, A. M. Niknejad, and R. W. Brodersen, "Millimeter-wave CMOS design," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 1, pp. 144-155, Jan. 2005.
- [5] J. E. Lee, J. B. Yoon, D. H. Kim, R. Song, and B. S. Kim, "24 GHz long-range radar transmitter using beam switching," *Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 32, no. 10, pp. 894-900, Oct. 2021.
- [6] J. Lee, D. Yang, and B. Kim, "Design of a Ka-band receiver using 28-nm CMOS process," *Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 33, no. 5, pp. 410-413, May 2022.
- [7] S. Yuan, H. Schumacher, "Novel frequency quadrupler design covering the entire V-band in 0.13-μm SiGe process," in *2014 IEEE 14th Topical Meeting on Silicon Monolithic Integrated Circuits in Rf Systems*, Newport Beach, CA, Jan. 2014, pp. 101-103.
- [8] J. H. Park, D. Y. Yang, K. J. Choi, and B. S. Kim, "D-band × 8 frequency multiplier using complementary differential frequency doubler," *IEEE Microwave and Wireless Technology Letters*, vol. 33, no. 3, pp. 311-314, Mar. 2023.