

40 nm CMOS 공정을 이용한 130 GHz 저면적 전력 증폭기

A 130-GHz Low-Area Power Amplifier in 40-nm CMOS

김 재 관 · 이 창 중 · 서 문 교

Jaegwan Kim · Changjung Lee · Munkyo Seo

요 약

본 논문에서는 40 nm CMOS 공정을 이용한 130 GHz 차동 공통 소스 구조 전력 증폭기를 제시한다. 출력을 제외한 단 간의 정합은 경우 트랜스포머를 통해 공액(conjugate) 정합을 하였으며, 출력은 발룬을 통한 최대 출력 부하 임피던스에 정합하였다. 온웨이퍼 측정 결과, 증폭기의 최대 이득은 130 GHz에서 22.5 dB, 3-dB 대역폭은 15 GHz이며, 출력 포화 전력은 7.7 dBm이다. 공급전압 1 V에서 소비전력은 81 mW이고, 포화된 출력 전력에서 7.1 %의 효율을 달성하였다. 패드를 제외한 칩 면적은 $388 \mu\text{m} \times 168 \mu\text{m}$ 이다.

Abstract

This paper presents a 130 GHz differential common-source architecture power amplifier using a 40-nm CMOS process. To ensure proper matching between the stages, except for the output, a transformer was used to achieve conjugate matching. For the output, a balun was used to match it to the maximum output load impedance. On-wafer tests showed that the maximum gain of the amplifier was 22.5 dB at 130 GHz, the 3-dB bandwidth was 15 GHz, and the output saturation power was 7.7 dBm. At a supply voltage of 1 V, the power consumption was 81 mW, and PAE was 7.1 % at a saturated output power. The chip area, excluding the pads, was $388 \mu\text{m} \times 168 \mu\text{m}$.

Key words: CMOS, Power Amplifier, RF Circuit, D-Band, Sub-THz

I. 서 론

정보화 사회의 발전과 더불어 초고속 이동 통신과 VR, AR, MR 등의 가상현실 기기를 위한 통신의 요구 전송률은 증가하고 있어, 100 GHz 이상의 테라헤르츠 대역 무선 통신 시스템의 구현에 관한 연구가 활발해지고 있다.

특히 D-대역(110~170 GHz)은 대기 중 손실이 인접 대역 대비 낮으며, 넓은 가용 주파수 대역으로 인해 6G 등 차세대 광대역 통신의 유력한 주파수 후보로 꼽힌다^[1]. 최근 D-대역에서 동작하는 다양한 무선 통신 회로들이 개발되고 있다^{[2]~[4]}. 송수신 시스템 구현 시, 대기 중 손실과 소자의 최대 이득의 한계를 극복하기 위해 위상배열 시

「본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였음.

「본 연구는 2021년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구임(No.2021-0-00198, 저전력 MIMO 및 고효율 공간합성 QAM 기반 6G RF 전단 핵심기술개발).

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

· Manuscript received March 30, 2023 ; Revised April 7, 2023 ; Accepted April 11, 2023. (ID No. 20230330-028)

· Corresponding Author: Munkyo Seo (e-mail: mkseo@skku.edu)

시스템을 통한 유효 복사 전력 향상을 통해 극복 가능하다. 대규모 위상배열 시스템의 경우, 많은 수의 전력 증폭기가 필요한데, 이때 저면적으로 설계하면 소형화에 유리하다.

본 논문에서는 130 GHz 4단 차동 전력 증폭기 구조를 제안하고 설계 및 온웨이퍼 측정 결과에 대하여 기술한다.

II. D-대역 전력 증폭기 구성 및 설계

그림 1은 본 논문에서 제안하는 D-대역 4단 전력 증폭기 회로도이다. 각 단은 교차 결합된 중성화 커패시터를 포함한 차동 공통 소스 증폭단으로 구성되었다. 각 단 간의 임피던스 정합은 트랜스포머를 사용하였고, 증폭기의 입출력은 트랜스포머 기반 발룬을 통한 임피던스 정합을 하였다. 각 단의 게이트 및 드레인 바이어스는 트랜스포머와 발룬의 중간 탭을 이용하여 인가하였다.

전력 소모가 상대적으로 큰 후단은 1:2의 비율로 스케일링을 하고 전력 소모가 가장 작은 첫 단을 재사용하여, 전체적으로 각 단의 트랜지스터 크기가 1:1:2:4의 비율을 가지게끔 구성하였다.

트랜지스터의 게이트-드레인 간 기생 커패시터는 공통 소스 증폭기의 이득 및 안정성을 저하시키는데, 이는 차동 증폭기 구조에서 별도의 커패시터 쌍을 교차 연결함으로써 중화(neutralization)할 수 있다. 그림 2는 중화 커패시터의 크기에 따른 각 증폭단의 최대이득 및 안정도 지수의 변화를 나타낸다. 16 μm 의 증폭단의 경우 5 fF의 중화커패시터값으로 최대 이득의 구현이 가능하나, 안정도가 1에 가까워 설계의 여유분(margin)이 충분하지 않다. 안정도가 1.5인 4.5 fF를 선택하여 설계 여유분을 확보함

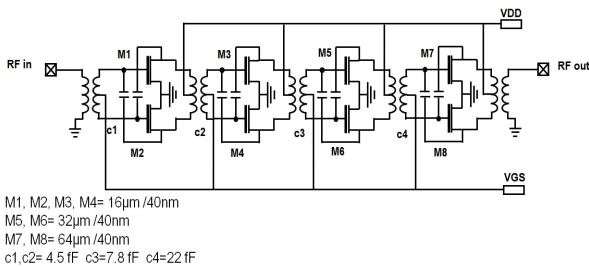
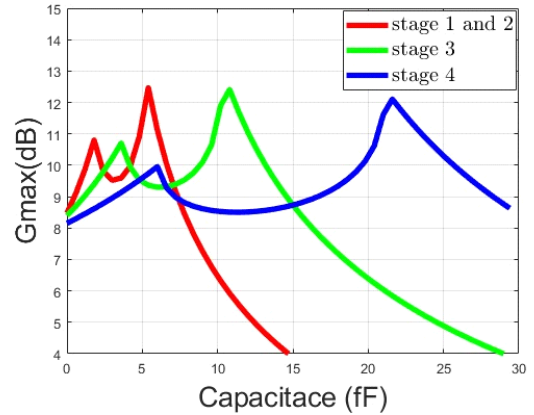
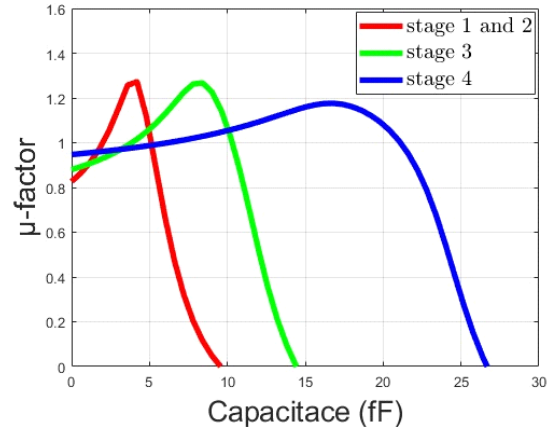


그림 1. 130 GHz 4단 차동 전력 증폭기 회로도

Fig. 1. Schematic of the 130 GHz 4-stage differential power amplifier.



(a) Gmax



(b) μ -factor

그림 2. 중화 커패시터에 따른 각 증폭단의 130 GHz에서의 이득과 안정도 지수 비교

Fig. 2. Comparison of gain and stability factor at 130 GHz of each amplification stage according to neutralizing capacitor.

과 동시에 이득을 1.8 dB 개선하였다. 셋째 단과 넷째 단의 증폭단도 유사한 방법으로 설계하여 각각 9 fF, 20 fF를 선택하여 이득을 각각 1.8 dB, 2.5 dB 개선하였다. 이러한 중화 커패시터는 실리콘 기판과의 기생 커패시턴스를 줄이기 위해 상위 금속층만으로 구현하였다. 첫째 단 이외의 증폭 단도 유사한 방법으로 설계 및 구현하였다.

증폭기의 출력을 제외한 입력과 단 간 정합의 경우, 그림 3(a)~그림 3(d) 트랜스포머와 발룬을 사용하여 공역

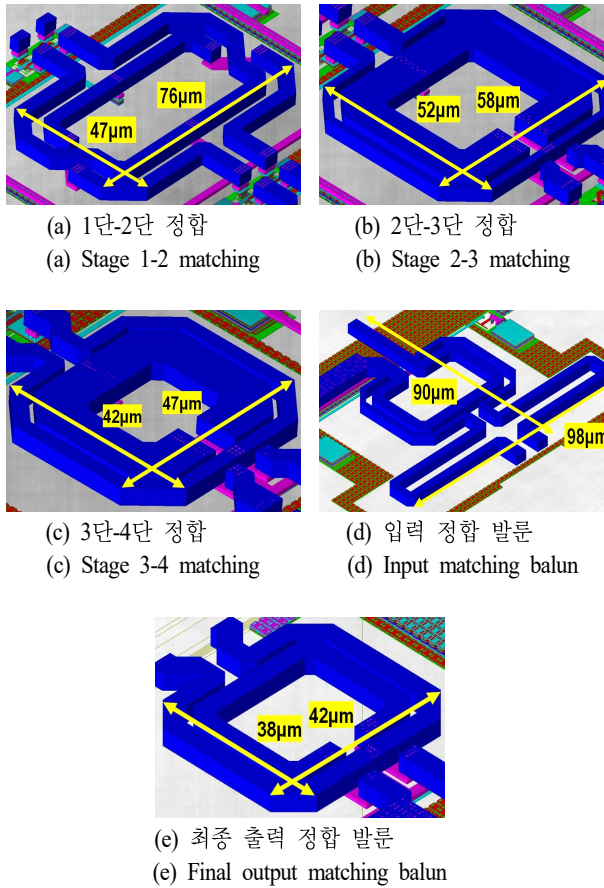
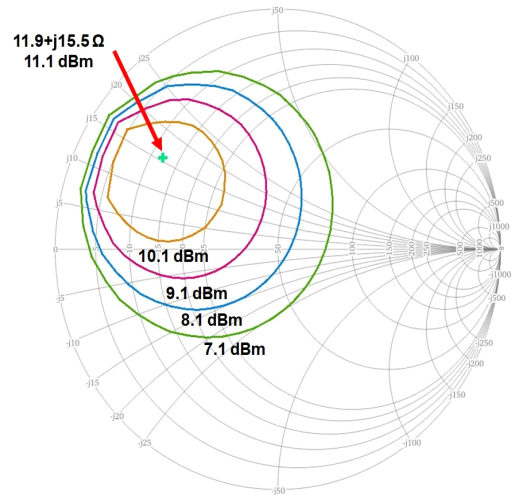


그림 3. 임피던스 정합을 위한 증폭단 간 트랜스포머 및 입출력 발룬 레이아웃

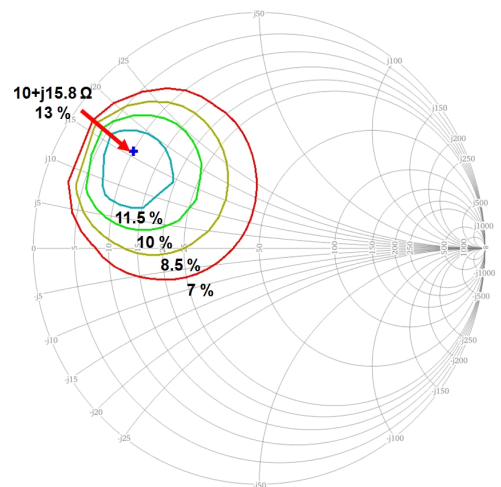
Fig. 3. Transformer and input, output balun layout between amplifier stages for impedance matching.

(conjugate) 임피던스 정합을 하였다. 그림 4는 130 GHz에서의 최종 출력 증폭단의 로드-풀 시뮬레이션 결과이다. 최대 출력 부하 임피던스와 최대 출력은 각각 $11.9+j15.5 \Omega$, 11.1 dBm이다. 최대 전력 부가 효율(PAE)은 13 %로, 최대 출력 임피던스와 최대 PAE 임피던스가 상대적으로 가까워 최종단은 최대 출력을 위한 정합을 하였다. 그림 3(e)는 최대 출력 정합을 위한 발룬의 레이아웃이며 손실은 1 dB이다. 개별 전송선의 직렬 및 병렬 연결로 구현한 정합 회로와 비교하였을 때 트랜스포머 기반 정합회로의 레이아웃 크기는 약 30 % 작아 저면적화 구현에 유리하다.

시뮬레이션에 의한 130 GHz에서의 증폭기의 이득과 포화출력은 각각 25 dB, 9.1 dBm이며 최대 PAE는 9 %이다.



(a) Output power contour 시뮬레이션 결과
(a) Output power contour simulation results.



(b) PAE contour 시뮬레이션 결과
(b) PAE contour simulation results.

그림 4. 130 GHz에서의 증폭기 로드-풀 시뮬레이션 결과
Fig. 4. Amplifier load-pull simulation result at 130 GHz.

Ⅲ. 측정 결과

설계된 전력 증폭기는 40 nm CMOS 공정으로 제작하였다. 그림 5는 제작된 130 GHz 전력 증폭기의 칩 사진으로 패드를 제외한 회로의 크기는 $388 \mu\text{m} \times 168 \mu\text{m}$ 이다. 측정용 PCB에 칩을 장착하고 본딩 와이어를 통해 바이어스를 공급하였다. D-대역 온웨이퍼(on-wafer) 측정 셋업을

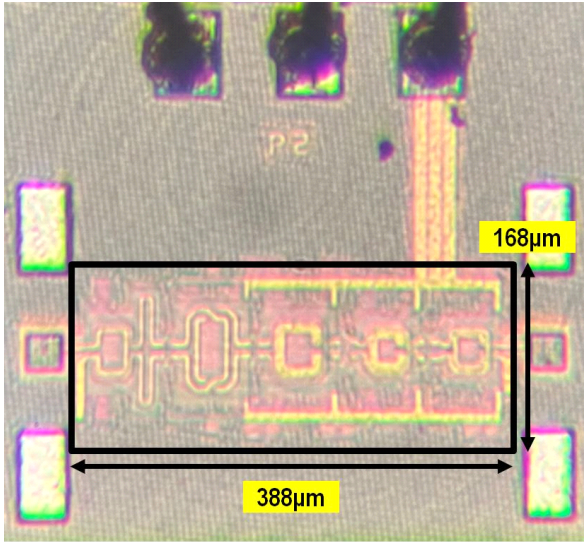


그림 5. 130 GHz 전력 증폭기의 칩 사진
Fig. 5. Chip micrograph of the 130 GHz power amplifier.

통하여 전력 증폭기의 산란 계수 및 입출력 전력 특성을 측정하였다. 모든 측정에서 증폭기의 게이트, 드레인 바이어스는 각각 0.7 V, 1 V이며 총 소비 전력은 81 mW이다.

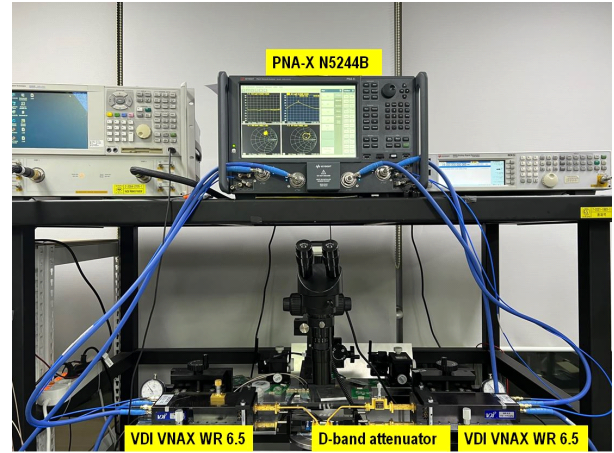
3-1 산란 계수 측정

그림 6은 증폭기의 산란 계수 측정을 위한 D-대역 온웨이퍼 측정 셋업이다. Keysight사의 네트워크 분석기 PNA-X N5244B, VDI사의 D-대역 주파수 확장 모듈, Eravant사의 D-대역 가변 감쇄기로 구성하였으며 GGB사의 CS-5 교정 기관을 사용하여 SOLT 방식으로 교정하였다.

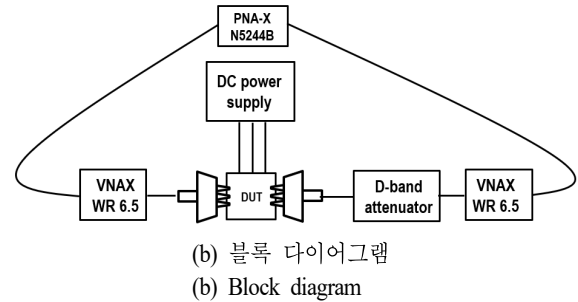
측정 시 시제품 칩의 손상을 방지하고 소신호 동작을 보장하기 위하여 증폭기의 입력과 출력에 각각 주파수 확장 모듈에 내장된 감쇄기와 별도의 D-대역 감쇄기를 이용하여 증폭기에 가해지는 입사 전력을 제한하였다.

그림 7은 산란 계수 측정 결과로 전력 증폭기의 최대 이득은 130 GHz에서 22.5 dB이며 3-dB 대역폭은 15 GHz이다. 설계 시 최대 이득은 25 dB로 측정치와의 차이는 레이아웃 기생 성분의 모델링 오차 및 공정 편차에 기인한 것으로 여겨진다. 증폭기의 측정된 입력 및 출력 반사 계수는 130 GHz에서 각각 -18.3 dB, -8.3 dB였다.

그림 8에서 보듯이 증폭기의 측정된 안정도(μ -factor)



(a) 사진
(a) Photo



(b) 블록 다이어그램
(b) Block diagram

그림 6. D-대역 온웨이퍼 산란 계수 측정 셋업
Fig. 6. D-band on-wafer S-parameter measurement setup.

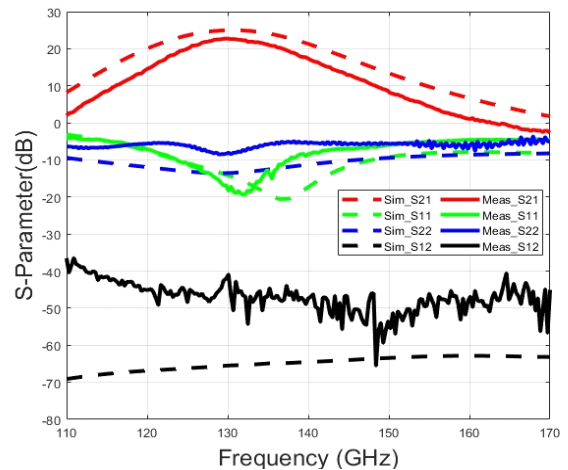


그림 7. 130 GHz 전력 증폭기 산란 계수 측정 결과
Fig. 7. Measured S-parameter of the 130 GHz power amplifier.

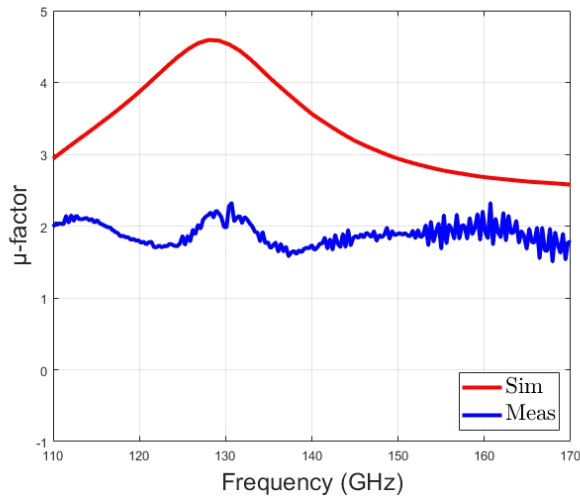


그림 8. 130 GHz 전력 증폭기 안정도 지수(μ -factor) 측정 결과

Fig. 8. Measured μ -factor of the 130 GHz power amplifier.

는 D-대역 전역에서 1보다 크므로 무조건적 안정성(unconditional stability)을 가짐을 알 수 있다.

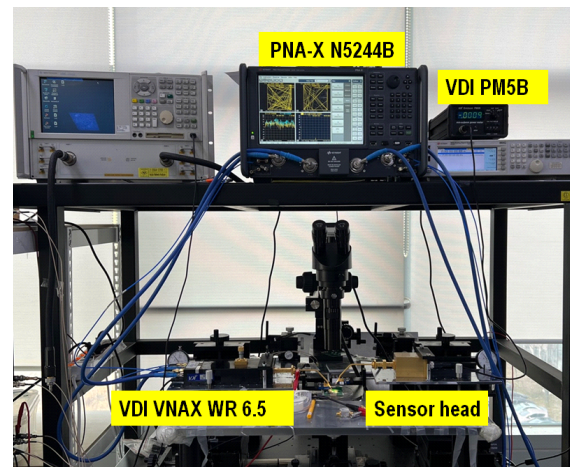
3-2 출력 전력 측정

증폭기의 입출력 전력 특성을 측정하기 위해 그림 9의 측정 셋업을 이용하였다. PNA-X N5244B를 연속파(CW) 모드로 설정 후, VDI사의 D-대역 주파수 확장 모듈로 생성된 130 GHz 신호를 증폭기 칩에 공급하고, 출력 전력은 VDI사의 전력 센서 PM5B로 측정하였다. 별도의 THRU-LINE으로 측정한 D-대역 프로브의 손실은 130 GHz에서 2.6 dB였다.

그림 10 및 그림 11에서 보듯이, 증폭기의 포화전력 및 OP1 dB는 각각 7.7 dBm, 5 dBm으로, 최대 PAE는 7.1 %로 측정되었다. 측정된 포화전력 및 최대 PAE는 시뮬레이션 대비 각각 1.4 dB, 2 % 낮는데, 이는 레이아웃 기생성분의 모델링 오차 및 공정 편차에 기인한 것으로 여겨진다.

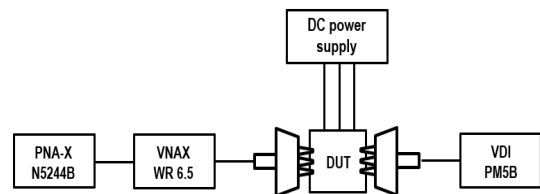
IV. 결 론

본 논문에서는 40 nm CMOS 기반 130 GHz 4단 차동 전력 증폭기의 설계 및 측정 결과를 제시하였다. 표 1에



(a) 사진

(a) Photo



(b) 블록 다이어그램

(b) Block diagram

그림 9. D-대역 온웨이퍼 출력 전력 측정 셋업

Fig. 9. D-band on-wafer output power measurement setup.

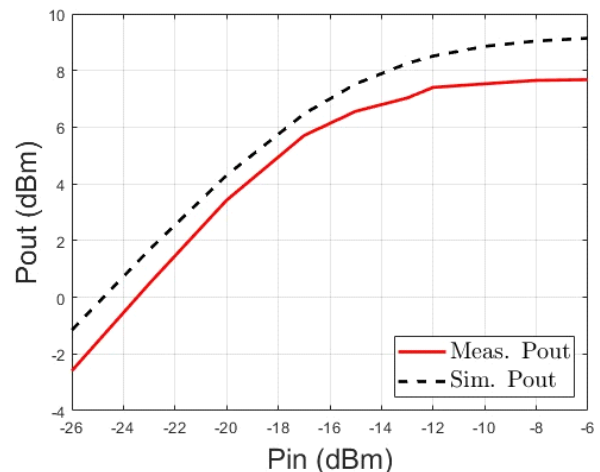


그림 10. 130 GHz 증폭기 입출력 전력 측정 결과

Fig. 10. Measured output power of the 130 GHz power amplifier.

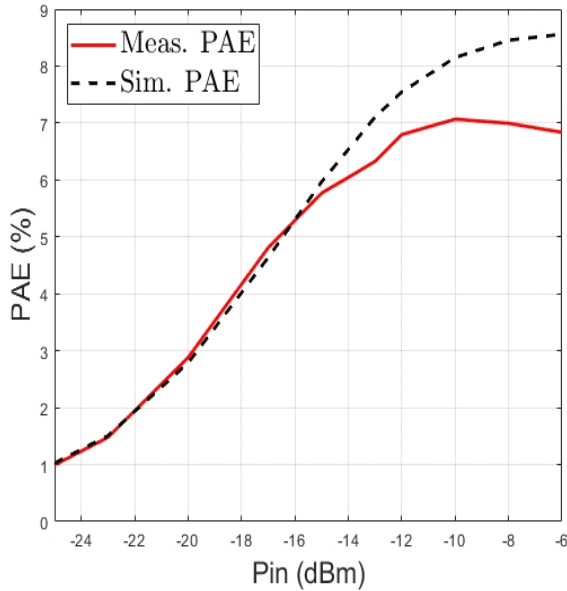


그림 11. 130 GHz 증폭기 PAE 측정 결과
Fig. 11. Measured PAE of the 130 GHz power amplifier.

기존 논문에 발표된 D-대역 전력 증폭기와 비교하였다. 본 논문의 전력 증폭기 면적은 0.065 mm^2 으로 상대적으로 저면적 구현이며, 고이득 특성을 보임을 알 수 있다. 본 논문에서 제안한 D-대역 전력 증폭기는 차세대 통신용 대규모 위상배열 시스템의 저면적화 및 소형화에 유용할 것으로 기대된다.

표 1. D-대역 전력 증폭기 성능 비교표

Table 1. Performance comparison of recently published D-band power amplifiers.

Ref.	Technology	Freq. [GHz]	3-dB BW [GHz]	Fractional bandwidth [%]	Gain [dB]	P_{sat} [dBm]	Peak PAE [%]	Supply [V]	P_{dc} [mW]	Area excluding pads [mm^2]	FOM ^{[7]**}
[5]	45 nm CMOS FDSOI	152.5	17.5	11.5	18	8.8	6.8	1	92	0.04	78.7
[6]	40 nm CMOS	160	24	15	11.6	4.1	N/A	1	42	0.063	N/A
[7]	40 nm CMOS	133	13	9.7	16.8	8.6	7.4	1.1	89.1	0.3*	76.5
[8]	40 nm CMOS	140	17	12.1	20.3	14.8	8.9	1	305	0.34	87.5
[9]	65 nm CMOS	118	17	14.4	22.3	14.5	10.2	N/A	N/A	0.343	88.3
[10]	45 nm CMOS RFSOI	140	21	15	22.2	16	12.5	1	N/A	0.43	95.1
This work	40 nm CMOS	130	15	11.5	22.5	7.7	7.1	1	81	0.065	80.7

*Chip area including pads.

**FOM= $P_{\text{sat}}[\text{dBm}] + \text{Gain}[\text{dB}] + 20 \log(\text{freq}[\text{GHz}]) + 10 \log(\text{PAE}_{\text{MAX}}[\%])$.

References

- [1] Y. Xing, T. S. Rappaport, "Propagation measurement system and approach at 140 GHz-moving to 6G and above 100 GHz," in *2018 IEEE Global Communications Conference(GLOBECOM)*, Abu Dhabi, Dec. 2018, pp.1-6.
- [2] S. Carpenter, H. Zirath, Z. S. He, and M. Bao, "A fully integrated D-band direct-conversion I/Q transmitter and receiver chipset in SiGe BiCMOS technology," *Journal of Communications and Networks*, vol. 23, no. 2, pp. 73-82, Apr. 2021.
- [3] P. Zhou, J. Chen, P. Yan, J. Yu, H. Li, and D. Hou, et al., "A 150-GHz transmitter with 12-dBm peak output power using 130-nm SiGe:C BiCMOS process," *IEEE Transactions on Microwave Theory and Techniques*, vol. 68, no. 7, pp. 3056-3067, Jul. 2020.
- [4] A. A. Farid, A. Simsek, A. S. H. Ahmed, and M. J. W. Rodwell, "A broadband direct conversion transmitter/receiver at D-band using CMOS 22 nm FDSOI," in *2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Boston, MA, Jun. 2019, pp. 135-138.
- [5] A. Hamani, A. Siligaris, B. Blampey, and J. L. G. Jimenez, "167-GHz and 155-GHz high gain D-band

power amplifiers in CMOS SOI 45-nm technology," in *2020 15th European Microwave Integrated Circuits Conference(EuMIC)*, Utrecht, Jan. 2021, pp. 261-264.

[6] N. Van Thienen, P. Reynaert, "A 160-GHz three-stage fully-differential amplifier in 40-nm CMOS," in *2014 21st IEEE International Conference on Electronics, Circuits and Systems(ICECS)*, Marseille, Dec. 2014, pp. 144-147.

[7] K. Katayama, M. Motoyoshi, K. Takano, L. C. Yang, and M. Fujishima, "133GHz CMOS power amplifier with 16 dB gain and +8 dBm saturated output power for multi-gigabit communication," in *2013 European Microwave Integrated Circuit Conference*, Nuremberg, Oct. 2013, pp. 69-72.

[8] D. Simic, P. Reynaert, "A 14.8 dBm 20.3 dB power

amplifier for D-band applications in 40 nm CMOS," in *2018 IEEE Radio Frequency Integrated Circuits Symposium(RFIC)*, Philadelphia, PA, Jun. 2018, pp. 232-235.

[9] H. S. Son, C. J. Lee, D. M. Kang, T. H. Jang, H. S. Lee, and S. H. Kim, et al., "A D-band CMOS power amplifier for wireless chip-to-chip communications with 22.3 dB gain and 12.2 dBm P1dB in 65-nm CMOS technology," in *2018 IEEE Topical Conference on RF/Microwave Power Amplifiers for Radio and Wireless Applications (PAWR)*, Anaheim, CA, Jan. 2018, pp. 35-38.

[10] S. Li, G. M. Rebeiz, "High efficiency D-band multiway power combined amplifiers with 17.5-19-dBm Psat and 14.2-12.1% peak PAE in 45-nm CMOS RFSOI," *IEEE Journal of Solid-State Circuits*, vol. 57, no. 5, pp. 1332-1343, May 2022.

김 재 관 [성균관대학교/석사과정]

<https://orcid.org/0009-0004-4311-6086>



2021년 2월: 순천향대학교 전자공학과 (공학사)
2021년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
[주 관심분야] RF, Integrated Circuit, Millimeter-Wave, CMOS 등

서 문 교 [성균관대학교/부교수]

<https://orcid.org/0000-0002-0691-1783>



1994년 2월: 서울대학교 전자공학과 (공학사)
1996년 2월: 서울대학교 전자공학과 (공학석사)
2007년 12월: University of California, Santa Barbara, USA (공학박사)
2009년~2013년: Teledyne Scientific Company, USA, Senior Engineer
2013년~현재: 성균관대학교 전자전기컴퓨터공학과 부교수
[주 관심분야] Millimeter-Wave & Terahertz IC Design

이 창 중 [성균관대학교/공학석사]

<https://orcid.org/0000-0002-1177-201X>



2020년 2월: 광운대학교 전자공학과 (공학사)
2022년 8월: 성균관대학교 전자전기컴퓨터공학과 공학 석사
[주 관심분야] RF, Integrated Circuit, Millimeter-Wave, Sub-THz, CMOS 등