

딕슨 정류기를 이용한 433 MHz 초저전력 Wake-Up 수신기 설계

Design of a 433 MHz Ultra-Low Power Wake-Up Receiver Using Dickson Rectifier

장 성 민 · 김 신 응* · 김 영 식*

Sung-Min Jang · Shin-Woong Kim* · Young-Sik Kim*

요 약

본 논문은 0.18 μm CMOS 공정을 통해 제작된 포락선 검파기 기반의 wake-up 수신기(WuRx)에 대해 기술한다. 제안된 WuRx의 프론트엔드는 전력 소모가 없는 CMOS 딕슨 정류기로 설계하였으며, 반송파 주파수 433 MHz 대역을 중심으로 off-chip 임피던스 정합 회로를 구현하였다. 본 WuRx는 온오프 변조 방식과 32 비트 펄스 폭 변조(PWM) 코드를 사용한다. 수신한 PWM 신호를 통해 클럭과 데이터를 복원하였으며, ID 코드와의 비교를 통해 wake-up 신호를 검출하는 디지털 상관기를 설계하였다. 제작한 칩은 0.5 V 단일 전원으로 구동하며, 총 소모 전력은 48 nW, 수신감도는 전송률 1 kbps 조건에서 -63.8 dBm으로 측정되었다.

Abstract

This paper presents an envelope detector-based wake-up receiver (WuRx) fabricated using a 0.18 μm CMOS process. The front end of the WuRx was designed as a CMOS Dickson rectifier with no power consumption, and an off-chip matching network was designed at a carrier frequency of 433 MHz. This WuRx used a 32-bit pulse width modulation (PWM) code along with on-off-keying. The clock and data were successfully recovered from the received PWM signal, and a digital correlator was designed that detects the wake-up signal through comparison with the ID code. The fabricated chip was tested with a 0.5 V single supply. The total power consumption was 48 nW and the sensitivity was -63.8 dBm at a data rate of 1 kbps.

Key words: Envelop Detector, WuRx, Dickson Rectifier, PWM, On-Off-Keying

I. 서 론

IoT(internet of things) 시장 규모의 지속적인 성장에 따

라 그 핵심 요소 중 하나인 무선 센서 네트워크(wireless sensor network, WSN) 기술 또한 함께 발전해왔다^[1]. WSN 은 온도, 압력, 전압과 같은 물리적, 환경적 정보들을 수

「이 논문은 2023년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가위원회의 지원을 받아 수행된 연구임(2019-0-00964, 스펙트럼 첼린지를 통한 기존 무선국 보호 및 주파수 공유기술 개발)」

「본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였습니다.」

한동대학교 일반대학원 전산전자공학과(Department of Computer Science and Electrical Engineering, Handong Global University)

*한동대학교 전산전자공학부(Computer Science and Electrical Engineering, Handong Global University)

· Manuscript received February 15, 2023 ; Revised March 11, 2023 ; Accepted March 24, 2023. (ID No. 20230215-016)

· Corresponding Author: Young-Sik Kim (e-mail: young@handong.edu)

집하고 전송하는 수많은 센서 노드들로 구성된다^[2]. 이러한 센서 노드들은 대부분 특정 지역에 배치되어 배터리 기반의 한정된 자원으로 운용이 되는데, 배터리의 교체 없이 장시간 구동되기 위해서는 저전력 동작이 필수적으로 요구된다. WSN의 전체적인 전력 소모를 줄이기 위해 새로운 센서 및 인터페이스, 저전력 무선 송수신기, 저전력 프로세싱 등 다수의 연구가 진행되어 왔다^[3]. 참고문헌 [3]~참고문헌 [5]는 다양한 WSN 저전력 설계 기법과 에너지 관리 방안에 대해 제시한다. 그중 대표적으로 초저전력 wake-up 수신기(wake-up receiver, WuRx)를 활용한 이벤트 드리븐(event driven) 방식은 대규모 센서 노드를 효율적으로 운용하면서 저전력 동작이 가능하다^{[6],[7]}. 이벤트 드리븐 방식이란 전력 소모가 큰 주 센서 모듈은 평상시 절전모드(sleep mode) 상태에 있고 WuRx는 항상 켜져 있는 상태로 인터럽트 신호를 수신하여 수신된 코드와 미리 입력된 암호 코드(passcode)의 ID 코드와 비교한 뒤 일치할 경우 주 센서 모듈을 활성화하는 방식이다^{[8],[9]}.

WuRx는 항상 켜져 있어야 하는 특성으로 인해 수신감도와 더불어 전력 소모가 주요 성능 지표이다. 그림 1은 기존에 소개된 WuRx의 성능을 수신감도와 전력 소모 측면에서 나타낸 것이다. 일반적으로 수신감도와 전력 소모는 상충관계(trade-off)를 가진다^[6]. 이러한 상충관계에 따라 다양한 WuRx 회로 구조들이 존재하며^[1] 응용 분야에서 요구하는 성능에 따라 적합한 구조를 선택하여 설계

하는 것이 중요하다. 높은 수신감도 성능을 위해서는 잡음과 간섭 신호에 대한 면역이 필요하므로 IF 처리 단계 대역 제한 필터와 같은 회로가 필요하다^{[10],[11]}. 참고문헌 [11]에서 제안된 WuRx는 이중 IF 단계 대역 제한 필터를 통해 수신감도를 향상했고, Mixer-First^[12] 구조와 Uncertain-IF^[13] 방식을 사용하여 기존 슈퍼 헤테로다인 수신기 구조에서 RF LNA(low-noise amplifier)와 PLL(phase locked loop)을 제거함으로써 저전력을 달성하였다. 해당 WuRx의 수신감도와 소모 전력은 각각 -97 dBm, $99 \mu\text{W}$ 로 보고되었다. 참고문헌 [14]는 정류기 구조를 이용한 포락선 검파 방식의 WuRx를 제안한다. 이 구조는 비교적 낮은 수신감도 성능을 가지지만 전력 소모가 없는 수동 소자를 통해 RF 신호를 검파하므로 초저전력 WuRx 설계가 가능하다^{[10],[14]}. 해당 WuRx의 수신감도와 소모 전력은 각각 -43.2 dBm, 116 nW로 보고되었다.

일반적으로 포락선 검파기(envelope detector, ED) 설계시, CMOS 능동 소자를 이용한 증폭기 구조를 사용할 경우, 바이어스(bias) 전류가 매우 작은 조건 ($< 1 \mu\text{A}$)에서는 전류 감소에 비례하여 열잡음(thermal noise)이 우세하게 증가하는 특성이 존재한다^{[15],[16]}. 이는 바이어스 전류를 사용하지 않는 수동(passive) 구조의 검파기가 nW급 초저전력 설계에 더 적합함을 의미한다.

본 연구는 디슨 정류기(Dickson rectifier)^[17]를 이용한 포락선 검파 방식의 WuRx를 제안한다. 디슨 정류기는 수동 소자만으로 이루어져 전력 소모가 없으며, 열잡음 이외에는 $1/f$ 잡음(flicker noise)이나 산탄 잡음(shot noise)과 같은 다른 주요한 잡음원이 없다는 장점이 있다^[17]. 이를 이용하여 최대 수신감도 -60 dBm, 소모 전력 50 nW 이하 성능의 WuRx 설계를 목표로 한다.

II. WuRx 구조 및 설계

2-1 WuRx 구조

그림 2는 제안된 WuRx의 전체 블록도를 나타낸다. 먼저, 펄스폭 변조(pulse width modulation, PWM) 인코딩된 433 MHz의 온오프 변조(on-off-keying, OOK) 신호가 안테나를 통해 수신된다. 수신한 RF 신호는 off-chip 정합 네

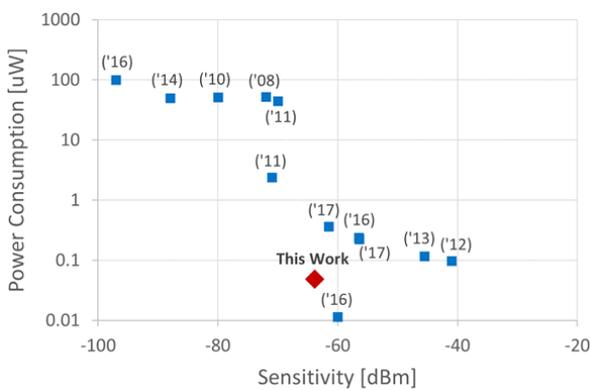


그림 1. 주요 학회지(CICC, ISCAS, ISSCC, JSSC, RFIC)에 소개된 WuRx의 성능조사

Fig. 1. Survey of WuRx performance presented in major publications (CICC, ISCAS, ISSCC, JSSC, RFIC).

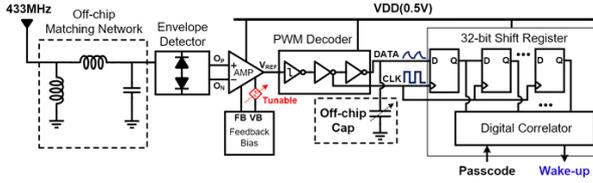


그림 2. 제안된 WuRx 블록도
Fig. 2. Block diagram of the proposed WuRx.

트위크(matching network)를 통해 대역이 제한됨과 동시에 수동 전압 이득을 얻는다. 임피던스 정합에 의해 증폭된 신호는 ED를 통과하여 기저 대역 신호로 변환된다. ED는 pseudo-balun^[18] 구조의 딕슨 정류기로 설계하여 단일 입력에 대해 차동 출력을 내게 된다. ED의 차동 출력 신호는 기저 대역 증폭기를 통해 증폭되어 인버터에 인가된다. 인버터는 비교기로 사용하여 기저 대역 신호를 디지털 레벨로 변환한다. 피드백 바이어스(feedback bias) 회로는 비교기로 동작하는 인버터의 스위칭 문턱 전압(threshold voltage)을 검출하여 증폭기의 출력 DC 전압 레벨을 비교기 동작을 위한 초기 상태로 맞추어준다. 디지털 레벨로 변환된 신호는 PWM 복호기(PWM decoder)^[19]를 통해 클럭과 데이터로 복원한다. 수신 코드는 32비트 시프트 레지스터(32-bit shift register)에 저장한 후 디지털 상관기(digital correlator)를 통해 미리 저장된 ID 코드와 일치 여부를 판단하여 일치하는 경우 wake-up 신호를 출력한다.

2-2 포락선 검파기 설계

ED는 pseudo-balun 구조의 딕슨 정류기를 사용하여 설계하였다. 그림 3과 같이 다이오드와 커패시터로 구성된

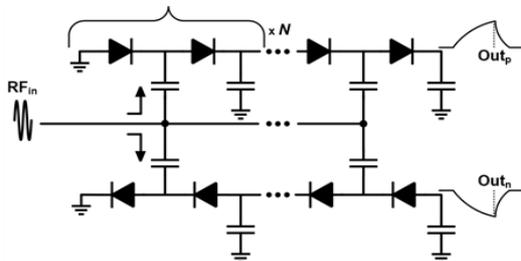


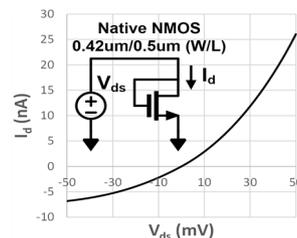
그림 3. Pseudo-balun 구조의 딕슨 정류기 회로
Fig. 3. Dickson rectifier with pseudo-balun structure.

딕슨 정류기는 여파기와 클램핑 회로가 N -stage만큼 반복되는 구조이며, RF 신호가 인가되면 다이오드 양단에 흐르는 전류의 불균형에 의해 커패시터에 전하가 축적되어 전압을 증폭한다. 최종 출력단은 다이오드 연결 방향에 따라 각각 양 전압과 음 전압의 차동 신호를 출력한다. 이러한 pseudo-balun 토폴로지의 차동 출력 구조는 기존의 단일 출력 구조에 비해 2배의 변환이득을 가지며, 1.5 dB의 수신감도 향상 효과를 가진다^[18].

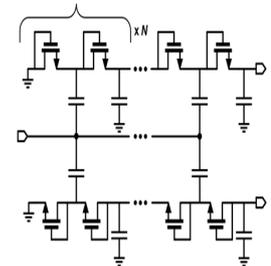
수 mV 이하의 전압 스윙 범위를 갖는 RF 입력 신호 인가 시, 이를 효과적으로 수신하기 위한 적절한 다이오드 소자 선정이 중요하다. 일반적으로 CMOS 공정을 이용한 저전력 RF 검파기 설계에서는 빠른 충·방전 시간을 위해 문턱 전압이 낮은 LVT(low-threshold voltage) 소자 혹은 문턱 전압이 0 V에 가까운 ZVT(zero-threshold voltage) 소자를 다이오드 구현에 사용한다^{[15],[17],[20],[21]}.

그림 4(a)는 0.18 μm CMOS 공정의 Native NMOS 소자로 구현한 다이오드 연결(diode-connected) 트랜지스터의 I-V 커브 특성을 나타내며 그림 4(b)는 이를 이용하여 설계한 ED의 회로도를 나타낸다. 참고문헌 [20]을 인용하여 ED의 stage 수 N 과 출력 전압 V_{out} 간의 관계식을 서술할 수 있다. 입출력이 정상 상태일 때, 입력 신호의 진폭을 V_{in} , 단일 다이오드 연결 트랜지스터 양단의 전압 차를 V_{drop} 이라고 하면 식 (1)과 같이 정의할 수 있다.

$$V_{out} = 2N \cdot (V_{in} - V_{drop}) \quad (1)$$



(a) 다이오드 연결 native NMOS의 I-V 커브



(b) CMOS 포락선 검파기 회로도
(b) Schematic of CMOS ED

그림 4. 다이오드 연결 트랜지스터의 I-V 커브 특성과 CMOS ED 회로도

Fig. 4. I-V curve characteristics of a diode-connected transistor and schematic of CMOS ED.

정상 상태에서 드레인-소오스 전류 I_{ds} 를 통해 전달되는 전하량 Q_t 는 0이 되므로 모든 MOSFET 소자들이 선형 영역에서 동작할 때 식 (2)와 같이 기술할 수 있다. 이때, 공정 파라미터 $K = \mu_n C_{ox} W/L$, V_{th} 는 문턱 전압, V_{gs} 는 게이트-소오스 전압이다.

$$Q_t = \int_0^T I_{ds} dt = \int_0^T K((V_{gs} - V_{th}) V_{ds} - \frac{V_{ds}^2}{2}) dt = 0 \quad (2)$$

입력 신호가 $V_{in} \sin(\omega t)$ 일 때, 드레인-소오스 전압 V_{ds} 의 시간 t 에 대한 식은 식 (3)과 같이 나타낼 수 있다.

$$V_{ds}(t) = V_{in} \sin(\omega t) + V_{in} - V_{drop} \quad (3)$$

식 (3)을 식 (2)에 대입하여 V_{drop} 에 관하여 풀면 식 (4)와 같이 나타낼 수 있다.

$$V_{drop} = \pm \frac{1}{2} \sqrt{4V_{th}^2 - 2V_{in}^2} + V_{th} + V_{in} \quad (4)$$

설계에 사용된 Native NMOS 소자의 경우, $V_{th} < 0$ 이며 입력 신호의 진폭이 충분히 작은 조건($|V_{in}| < |V_{th}|$)에서 식 (1)과 식 (4)를 통해 식 (5)와 같은 근사가 가능하다.

$$\begin{aligned} V_{out} &= 2N \cdot (V_{in} - V_{drop}) \\ &= -2N \cdot (V_{th} + \frac{1}{2} \sqrt{4V_{th}^2 - 2V_{in}^2}) \end{aligned} \quad (5)$$

식 (5)를 V_{in} 에 대해 정리하면 다음과 같다.

$$V_{in} = \sqrt{-2 \frac{V_{out}}{N} V_{th} - \frac{V_{out}^2}{2N^2}} \quad (6)$$

식 (6)을 통해 V_{out} 이 N 에 따라 선형적으로 증가하는 것이 아닌 $\approx \sqrt{N}$ 에 비례하여 증가함을 알 수 있다. 이는 ED 설계 시, 수신감도 향상을 위해 단순히 stage 수를 증가시키는 것이 아닌 이에 따라 선형적으로 증가하는 기생 성분을 고려하여 최적의 N 값을 선택해야 함을 의미한다.

그림 5는 ED의 입력 임피던스 등가 모델이며 C_1 과 C_2 는 각각 커플링 커패시터와 스토리지 커패시터의 커패시턴스값이다. R_{ds} 와 C_p 는 각각 트랜지스터를 대체한 유효 저항과 기생 커패시턴스를 나타낸다. $C_1, C_2 \gg C_p$ 인 경우, 등가 모델에서의 등가 저항과 등가 커패시턴스는 각각

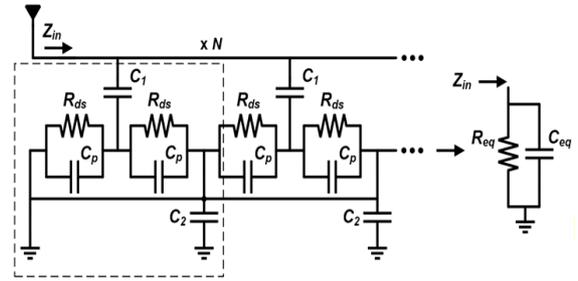


그림 5. 입력 임피던스 등가 모델
Fig. 5. Input impedance equivalent model.

$R_{eq} \approx R_{ds}/2N$, $C_{eq} \approx 2NC_p$ 로 근사가 가능하며, 입력 어드미턴스 Y_{in} 는 식 (7)과 같이 나타낼 수 있다.

$$Y_{in} = \frac{1}{R_{eq}} + j\omega C_{eq} \quad (7)$$

특성 임피던스 $Z_0 (= 50 \Omega)$ 를 기준으로 협대역 정합 시큐 인자(quality factor, Q)와 R_{eq} 와의 관계는 식 (8)과 같으며, 진폭이 V_{in} 인 입력 신호에 대한 수동 전압 이득 A_{boost} 는 식 (9)와 같이 나타낼 수 있다.

$$\frac{R_{eq}}{Z_0} = 1 + Q^2 \quad (8)$$

$$A_{boost} = \frac{V_{boost}}{V_{in}} = \sqrt{1 + Q^2} \quad (9)$$

임피던스 정합 시 높은 Q 값을 통해 높은 전압 이득을 얻을 수 있지만 R_{eq} 와 N 사이에는 상충관계가 존재한다.

그림 6은 소자의 채널 폭과 stage 수 N 의 증가에 따라 임피던스 정합 시에 얻을 수 있는 수동 전압 이득을 나타낸다. 각각 최소 단위($W/L=420 \text{ nm}/500 \text{ nm}$)의 1배, 5배, 10배 채널 폭 크기를 갖는 소자를 사용하였고 N 을 증가시키며 설계된 ED에 대한 프리 레이아웃(pre-layout) 시뮬레이션을 수행하였다. 채널 폭과 N 의 증가에 따른 Q 값의 감소로 인해 임피던스 정합 시의 전압 이득이 감소하는 경향성을 확인하였으며, 확인한 전압 이득을 토대로 최소 단위 크기의 소자와 $N=3$ 을 선택하여 ED를 설계하였다.

그림 7은 설계된 3-stage ED에 대한 50Ω 정합 네트워크 회로를 나타낸다. 주파수 433 MHz를 기준으로 Z_{in} (입력 임피던스) 파라미터에 대한 포스트 레이아웃(post-layout)

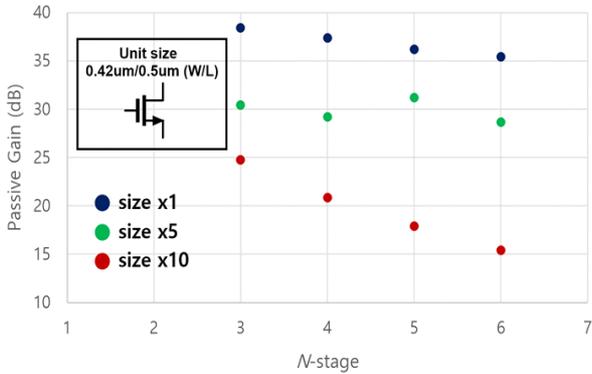


그림 6. 트랜지스터의 채널 폭과 stage 수에 따른 수동 전압 이득

Fig. 6. Passive voltage gain according to channel width of transistor and number of stages.

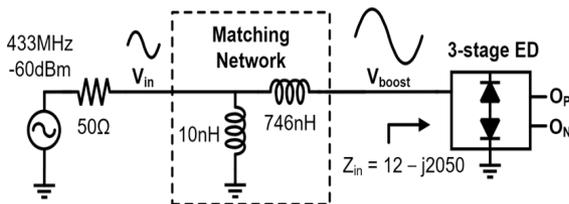


그림 7. 50 Ω 정합 네트워크
Fig. 7. 50 Ω matching network.

시뮬레이션을 진행한 결과, $12 - j2050 \Omega$ 로 확인되었으며 그림 5의 R_{eq} 와 C_{eq} 에 해당하는 값은 각각 350 kΩ, 1.13 pF로 확인되었다. 임피던스 정합은 병렬 인덕터(10 nH)와 직렬 인덕터(746 nH)를 사용하였다.

그림 8은 임피던스 정합을 통해 증폭된 신호와 ED의 차동 출력 신호에 대한 과도 해석 시뮬레이션 결과이다. 시뮬레이션은 20 μ s의 시간 동안 수행되었다. ED 출력 신호의 상승 시간(rising time)은 PWM 코드의 데이터 전송률(1 kbps)을 고려하여 최소 펄스 폭(200 μ s)의 10% 이하가 되도록 설계하였다. V_{in} 은 50 Ω 전압원에서 출력되는 433 MHz의 반송파이며 -60 dBm의 신호 전력을 갖는다. V_{boost} 는 임피던스 정합을 통해 증폭된 파형으로 V_{in} 에 대해 약 33 dB의 수동 전압 이득을 가진다. O_p 와 O_n 은 덕슨 정류기 회로의 차동 출력 전압이며 ED의 입력 전력 대비 출력 DC 전압을 의미하는 OCVS(open circuit voltage sensitivity)^{[15],[17]} 특성은 13 mV/nW로 확인되었다.

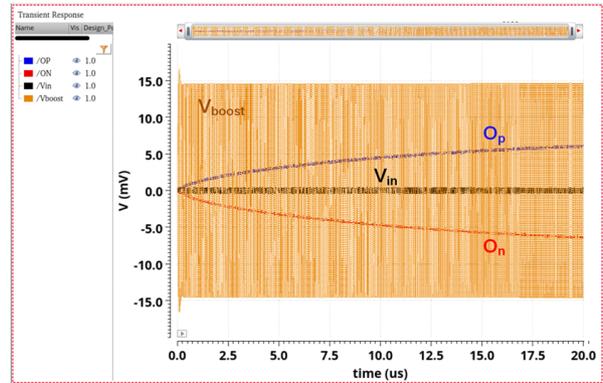


그림 8. 설계된 ED에 대한 과도 해석 시뮬레이션 결과
Fig. 8. Transient analysis simulation results of the designed ED.

2.3 기저 대역 설계

기저 대역 회로는 차동 증폭기와 피드백 바이어스 회로, PWM 복호기로 구성되어 있다. 그림 9는 기저 대역 회로를 나타낸다. 저전력 동작을 위해 0.5 V의 전원을 사용하며 차동 증폭기의 PMOS 입력단 (Q_2 , Q_3)의 게이트는 기본적으로 ED 출력단에 의해 0 V가 인가되어 있어 별도의 바이어스 회로를 사용하지 않는다. 대신 피드백 바이어스 회로가 헤드 전류원 Q_1 의 게이트 전압을 제어하여 헤드 전류와 동작점을 결정한다. PWM 복호기의 첫 번째 인버터는 스위칭 문턱 전압이 기준 전압인 비교기이며, 비교 동작을 위한 기본 출력 상태로 low 상태가 요구된다.

피드백 바이어스 회로는 V_{FB} 전압을 감지하여 피드백

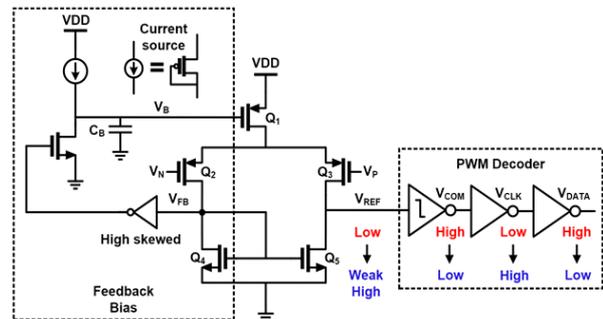


그림 9. 기저 대역 회로
Fig. 9. Baseband circuitry.

을 통해 V_{REF} 의 DC 레벨을 조절한다. 이는 차동 증폭기의 대칭성($V_{FB}=V_{REF}$)을 이용한 것으로 인버터를 사용하여 V_{FB} 를 감지한다. V_{FB} 가 low 상태가 될 경우 Q_6 를 도통시켜 V_B 전압을 하강시키는데, Q_1 의 바이어스 전류는 증가하게 되고, 이로 인해 V_{REF} 전압이 상승하여 인버터 비교기의 출력 전압 V_{COM} 이 low 상태가 된다. 이때, V_{FB} 전압을 감지하는 인버터는 하이 스큐(high skew) 특성을 갖도록 설계하여 정상 상태에서 V_{COM} 이 항상 low 상태가 되도록 하였다.

V_{FB} 전압 변화는 입력 신호에 충분히 둔감해야 증폭기의 안정된 동작 조건이 보장된다. 이는 소신호 해석을 통해 보장할 수 있다. Q_2 와 Q_4 의 트랜스 컨덕턴스를 각각 g_{m2} , g_{m4} 라 할 때 차동 입력 신호 v_{id} 에 대한 V_{FB} 의 소신호 전압 v_{FB} 는 식(10)과 같이 근사할 수 있다.

$$v_{FB} \approx \frac{g_{m2}}{2g_{m4}} v_{id} \quad (10)$$

식 (10)은 입력 신호에 대한 v_{FB} 의 전압 이득이 g_{m2} 와 g_{m4} 의 비에 의해 억제됨을 의미한다. 이를 통해 V_{FB} 전압에 대한 증폭기 입력 신호의 영향이 적다는 것을 알 수 있으며 추가로 Q_1 의 게이트에 바이패스 커패시터 C_B 를 달으로써 바이어스 전압 V_B 에 대한 안정성을 보장한다.

그림 10은 설계된 비교기 인버터와 비대칭 인버터의 전압 전달 특성(voltage transfer characteristic, VTC)을 보여 준다. 비대칭 인버터는 하이 스큐 특성으로 인해 스위칭 문턱 전압이 비교기 인버터의 스위칭 문턱 전압인 250

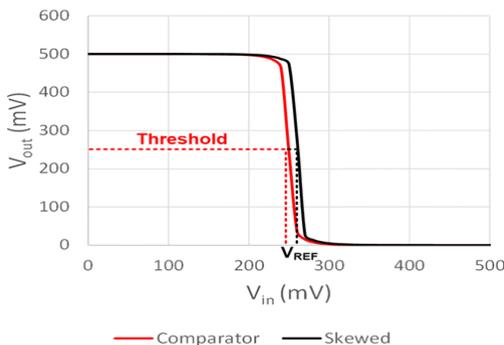


그림 10. 비교기 인버터와 비대칭 인버터의 전압 전달 특성
Fig. 10. VTC of comparator inverter and skewed inverter.

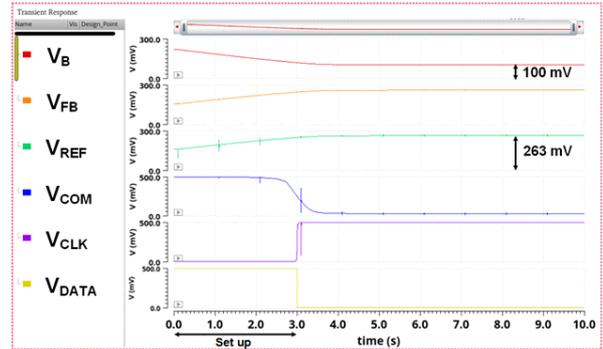


그림 11. 피드백 바이어스 회로와 PWM 복호기의 과도 해석 시뮬레이션 결과
Fig. 11. Transient analysis simulation results of the feedback bias circuit and PWM decoder.

mV보다 조금 높은 전압 레벨에 위치한다. 비교기 인버터의 비대칭성을 이용하여 정상 상태에서 V_{REF} 가 특정 전압 레벨에 위치하도록 설계할 수 있다. V_{REF} 는 수신감도와 노이즈에 대한 마진을 고려하여 260~270 mV 사이의 전압이 되도록 설계하였다.

그림 11은 피드백 바이어스 회로에 대한 과도 해석 시뮬레이션 결과이다. 시뮬레이션은 10 s 동안 수행하였으며 C_B 는 47 μ F를 사용하였다. 약 3 s에서 초기 셋업 상태로 진입하는 것을 확인하였고, 정상 상태에서 V_B 전압은 100 mV, V_{REF} 는 263 mV에 수렴하는 것을 확인하였다.

그림 12는 피드백 바이어스 회로를 통해 동작점이 최

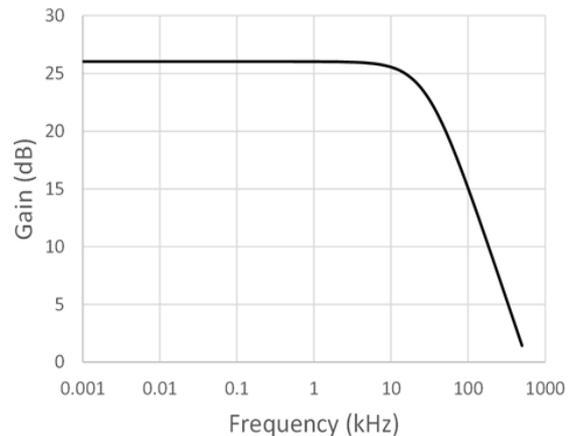


그림 12. 차동 증폭기의 개루프 전압 이득
Fig. 12. Open-loop voltage gain of differential amplifier.

적화된 상태에서 주파수에 따른 차동 증폭기의 개루프 전압 이득을 보여준다. 해당 동작점에서 헤드 전류는 27.7 nA이며, 증폭기의 DC 전압 이득과 3 dB 대역폭은 각각 26 dB, 30 kHz로 확인되었다.

2.4 PWM 복호기

그림 13은 PWM 복호기의 블록도를 나타낸다. PWM 복호기는 3개의 인버터와 off-chip 커패시터로 구성된다. 증폭기를 통과한 기저 대역 신호는 인버터 비교기에 의해 디지털 레벨의 신호로 변환되고 2개의 인버터에 의해 각각 클럭과 데이터 신호로 출력된다.

그림 14는 WuRx에서 사용하는 PWM 코드의 파형을 나타낸다. PWM 코드에서는 펄스 폭에 따라 ‘0’과 ‘1’을 구별하는데, 80 %인 경우는 ‘1’, 20 %인 경우는 ‘0’으로 판단한다. 데이터 복호화는 인버터 소자의 온(on) 저항과 off-chip 커패시터를 이용한 RC 회로의 충·방전 시간을 통해 이루어진다. 클럭의 상승 에지(rising edge)에서 80 %의

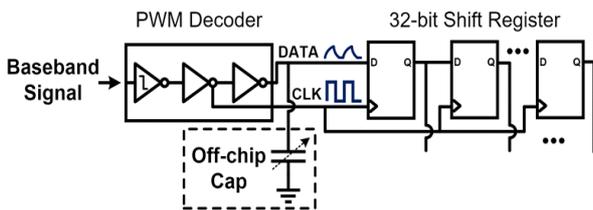


그림 13. PWM 복호기 블록도
Fig. 13. Block diagram of PWM decoder.

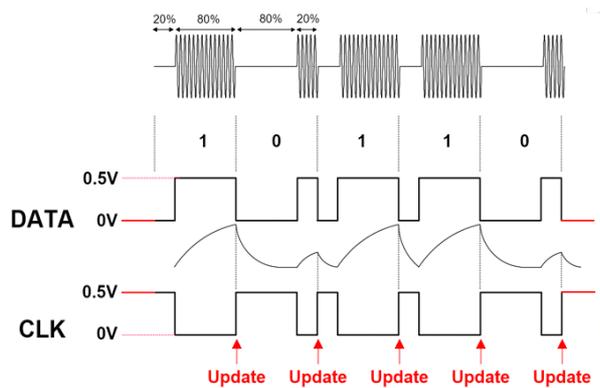


그림 14. PWM 코드
Fig. 14. PWM code.

펄스 폭 신호는 충분한 충전 시간으로 인해 D-플립플롭의 문턱 전압보다 높게 상승하여 ‘1’로 입력되지만, 20 %의 펄스 폭 신호는 짧은 충전 시간으로 인해 문턱 전압을 넘기지 못하고 ‘0’으로 입력된다. 이때 데이터는 생성된 클럭 신호와 동기화되어 32비트 시프트 레지스터를 통해 이동 및 저장된다. 시프트 레지스터에 저장된 데이터는 디지털 상관기에 전달되어 최종 연산을 수행한다.

PWM 코드는 영점 복귀(return to zero) OOK 방식이며, 영점 비복귀(non-return to zero) OOK 방식에 비해 5배의 대역폭이 요구되는 단점을 가진다. 하지만 수신측에서 간단한 RC 회로를 통해 데이터의 복호화 및 동기화가 쉬운 장점이 있고 별도의 클럭 생성 회로나 클럭 동기 회로가 필요하지 않기 때문에 칩 면적과 전력 소모 측면에서의 이점을 가진다^[19].

본 WuRx는 32비트 PWM 코드를 사용하며 1 kbps의 전송률을 기준으로 설계되었다. 포스트 레이아웃 시뮬레이션 과정에서 PWM 복호에 사용된 off-chip 커패시터의 크기는 400 pF이며, 필요에 따라 off-chip 커패시터를 가변하여 0.1~5 kbps 범위 내에서 전송률 조정이 가능하도록 설계하였다.

2.5 디지털 상관기

그림 15는 디지털 상관기의 블록도를 나타낸다. 디지털 상관기는 32비트 수신 코드와 32비트 ID 코드와의 연산을 통해 일치 여부를 판단하여 wake-up 신호를 출력한다. 암호 코드는 5비트 threshold 코드와 32비트 ID 코드로 구성된다. 6비트 카운터(6-bit counter)는 ID 코드와 수신

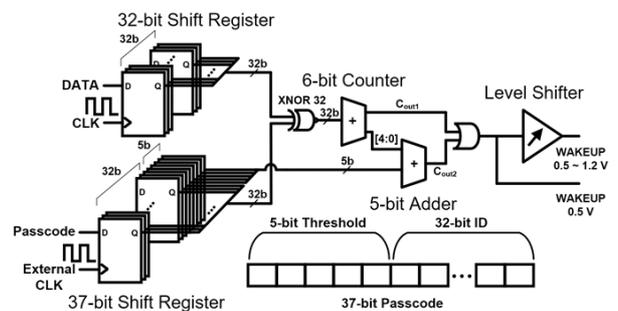


그림 15. 디지털 상관기 블록도
Fig. 15. Block diagram of digital correlator.

코드의 XNOR 연산 결과를 카운트하여 일치하는 비트 수를 출력한다. 32비트가 모두 일치할 경우, 6비트 카운터의 MSB 비트인 C_{out1} 으로 wake-up 신호를 출력한다.

5비트 threshold 코드는 wake-up 신호 출력 시 허용되는 불일치 비트 개수를 정해주는 코드이다. Threshold 코드는 6비트 카운터의 [4:0]값과 덧셈 연산이 되며 5비트 가산기(5-bit adder)의 최종 자리 올림 비트(carry bit) C_{out2} 가 C_{out1} 과 OR 연산을 통해 wake-up 신호로 출력된다. 최종 wake-up 신호는 기본 0.5 V와 레벨 시프터(level shifter)를 통해 승압된 전압, 2가지의 출력이 가능하다.

그림 16은 레벨 시프터 회로도를 나타낸다. 레벨 시프터는 cross-coupled 구조를 사용하였으며, 필요에 따라 별도의 전원을 인가하여 0.5 V에서 최대 1.2 V까지 출력이 가능하도록 설계하였다.

그림 17은 디지털 상관기 동작 검증과 wake-up 신호 출력 확인을 위해 수행한 포스트 레이아웃 시뮬레이션 결과

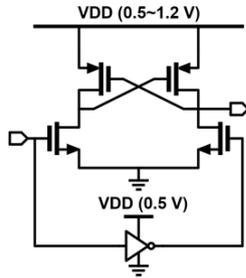


그림 16. 레벨 시프터 회로도
Fig. 16. Level shifter schematic.

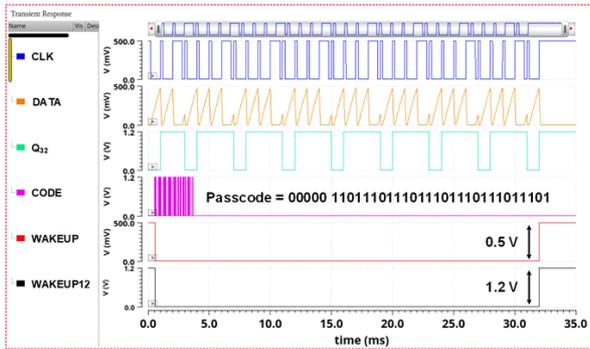


그림 17. Wake-up 시뮬레이션 결과
Fig. 17. Wake-up simulation results.

이다. 디지털 상관기에 임의의 37비트 암호 코드 입력 후 ID 코드에 해당하는 32비트 신호를 1 kbps의 전송률로 인가하였다. Threshold 코드는 00000₍₂₎의 입력을 주어 32비트의 모든 코드가 일치할 때 wake-up 신호가 출력되도록 하였다. Q_{32} 는 32비트 시프트 레지스터의 첫 번째 D-플립플롭의 출력 파형으로 클럭(CLK)과 데이터(DATA) 신호 파형과 비교하였을 때 수신 코드가 올바르게 전달되었음을 보여준다. CODE는 37비트 레지스터에 입력되는 암호 코드의 파형이다. 최종적으로 32 ms에서 32비트 수신 코드가 모두 디지털 상관기에 입력되었을 때 정상적인 wake-up 신호 출력을 확인하였다.

III. 제작 및 측정 결과

본 WuRx는 0.18 μm CMOS 공정을 통해 제작되었다. 그림 18은 WuRx 칩 다이를 확대한 사진이다. 전체 칩 면적은 $2 \times 2 \text{ mm}^2$ 이며 WuRx가 차지하는 면적은 $1.6 \times 0.52 \text{ mm}^2$ 이다. 그림 19(a)는 실험 및 성능 측정을 위해 PCB 기판에 WuRx 칩 다이를 COB(chip on board) 본딩한 사진이며, 그림 19(b)는 PCB 기판에 off-chip 임피던스 정합 회로와 부가적인 회로 부품들을 표면 실장(surface mount)한 사진이다.

그림 20과 그림 21은 각각 측정 장비와 실험 순서도를 나타낸다. 실험 순서는 다음과 같다. 먼저 함수 발생기(function generator)를 사용하여 PWM 코드를 생성하고, RF 신호 발생기(signal generator)를 통한 변조 과정을 통해 433 MHz OOK 신호를 출력한다. 출력된 신호는 SMA(sub-miniature version A) 커넥터를 통해 WuRx에 인가되며, 신호 전력 크기는 RF 파워 미터(power meter)로 측정한다. 이후 Tektronix사의 오실로스코프(oscilloscope)를 통해 파형을 관측하고, Digilent사의 EE(electronic explorer) board

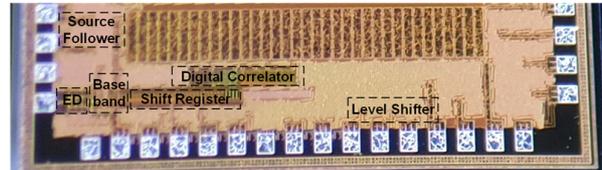
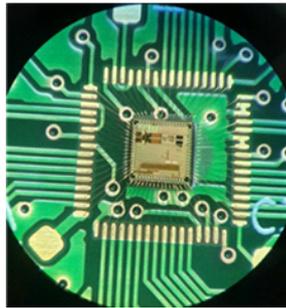
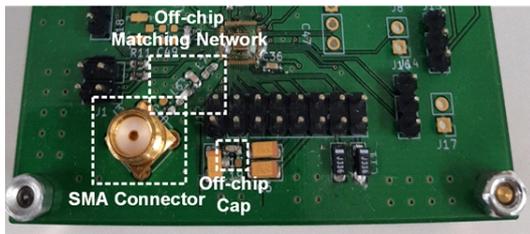


그림 18. WuRx 칩 다이 사진
Fig. 18. WuRx chip die photo.



(a) COB 본딩 칩
(a) COB bonding chip



(b) PCB 실험 기판
(b) PCB test board

그림 19. COB 본딩과 실험 기판 사진
Fig. 19. Photo of COB bonding and test board.

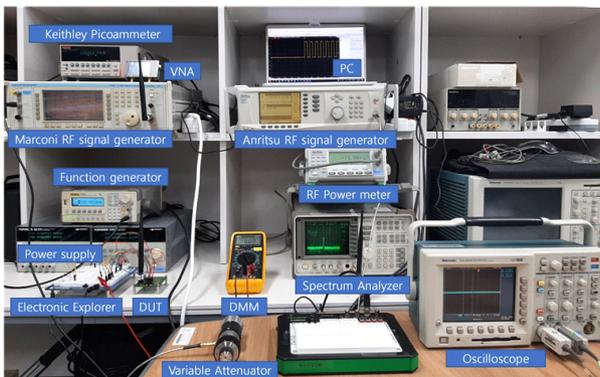


그림 20. 측정 장비
Fig. 20. Measuring equipment.

와 PC를 통해 비트 오류율(bit error rate, BER)을 측정하였다. 수신 감도는 RF 가변 감쇠기(variable attenuator)를 통해 신호 세기를 감쇠시키며 BER 10^{-3} 을 기준으로 측정하였다. WuRx의 전원은 0.5 V를 인가하며, Keithley사의 피코암미터(picoammeter)를 통해 전류를 측정하여 소모 전력을 계산하였다.

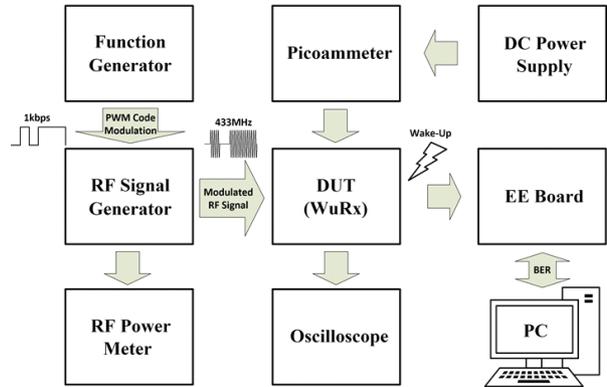


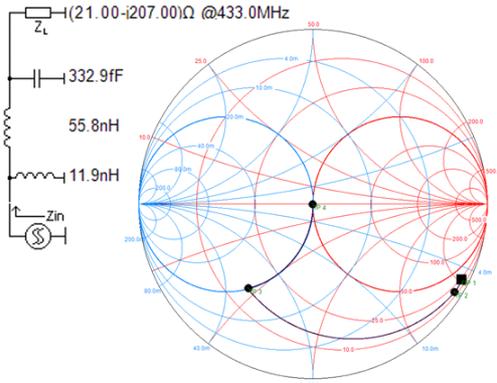
그림 21. 실험 순서도
Fig. 21. Test flowchart.

그림 22(a)는 WuRx 칩의 RF 입력단에 대해 50 Ω 임피던스 정합 과정에서의 스미스 차트 궤적을 나타낸다. 임피던스 정합 전의 입력 임피던스는 $21 - j207\Omega$ 으로 측정되었으며 그림 5의 R_{eq} 와 C_{eq} 에 해당하는 값은 각각 2 kΩ, 11 pF로 측정되었다. 정합에는 SMD(surface mount device) 타입의 병렬 인덕터(12 nH), 직렬 인덕터(56 nH), 병렬 커패시터(330 fF)가 사용되었다. 그림 22(b)는 임피던스 정합 후에 VNA(vector network analyzer)를 이용하여 측정된 S_{11} (입력단 반사계수) 파라미터를 보여준다. 정합 후의 S_{11} 은 중심 주파수 433 MHz에서 -30 dB로 측정되었다.

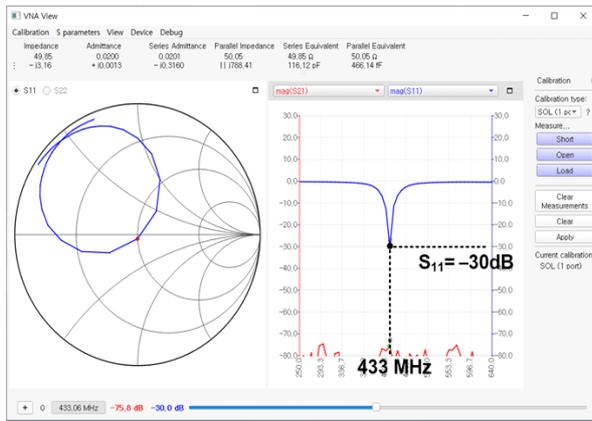
그림 23(a)는 RF 신호 발생기를 통해 인가한 -47 dBm, -52 dBm, -54 dBm 전력의 OOK 신호 파형이다. 반송파 주파수는 433 MHz이며 함수 발생기를 통해 1 kbps 전송률에 해당하는 임의의 PWM 코드로 변조하였다. 그림 23(b)는 인가되는 신호 전력에 따른 ED의 출력 파형을 측정한 것이다. ED의 출력은 공통 드레인 증폭기를 통해 측정되어 480 mV의 바이어스 전압 레벨을 가진다. 측정된 결과를 통해 계산한 ED의 OCVS는 2.1 mV/nW이다.

측정된 ED의 OCVS값과 시뮬레이션 결과값에서 유의미한 성능 차이가 있음을 확인하였다. 이는 시뮬레이션에서 고려되지 못한 PCB 기판 실험 환경 및 실제 칩 제작 과정에서 추가된 기생 성분으로 인한 Q값의 감소가 성능 저하의 원인으로 추정된다.

그림 24(a)는 -46 dBm 전력 크기를 가지는 임의의 32 비트 패킷 신호 파형이다. 그림 24(b)는 측정된 ED의 출



(a) 임피던스 정합 과정의 스미스 차트 궤적
(a) Smith chart trace of the impedance matching process

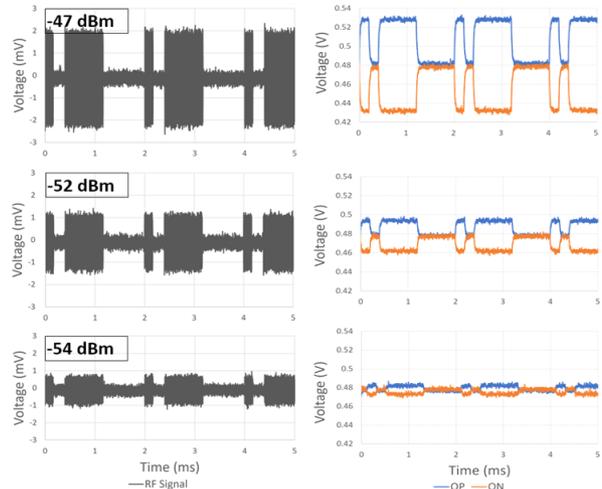


(b) 임피던스 정합 후 측정된 S_{11} 파라미터
(b) Measured S_{11} parameter after impedance matching

그림 22. 임피던스 정합 결과
Fig. 22. Impedance matching results.

력 파형이다. 그림 24(c)는 각각 측정된 클럭, 데이터, wake-up 파형이다. 디지털 상관기에 미리 암호 코드를 입력한 뒤, wake-up 코드에 해당하는 PWM 신호를 전송하여 클럭과 데이터 파형이 정상적으로 출력됨을 확인하였다. 32 ms의 전송시간 뒤에는 wake-up 신호 출력력을 확인하였다. 데이터 복호에 사용된 off-chip 커패시터의 크기는 150 pF이다.

그림 25는 입력 신호 전력에 대한 BER 측정 결과이다. 1 kbps 전송률로 10^5 개의 비트 신호를 송신하였고, 신호 전력에 따른 BER 측정을 진행하였다. BER 10^{-3} 에 해당하는 신호 전력은 -63.8 dBm으로 측정되었다.



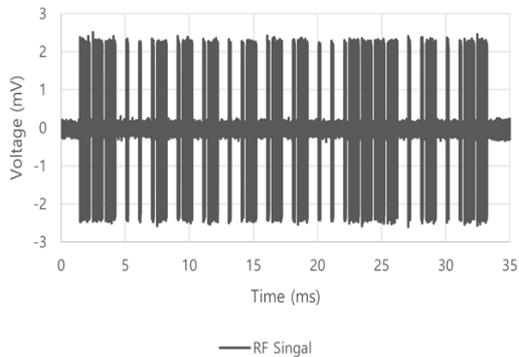
(a) RF 신호 전력에 따른 임 (b) 측정된 포락선 검파기 출력 파형
(a) Input waveforms along the (b) Measured output waveforms of ED
RF signal power

그림 23. RF 입력에 따른 포락선 검파기 출력 파형
Fig. 23. ED output waveform along the RF input.

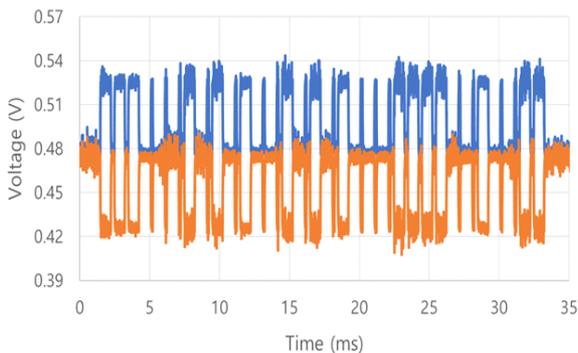
그림 26은 제작된 WuRx의 전력 소모 측정 결과이다. WuRx의 총 소모 전력은 48 nW로 측정되었다. 기저 대역 증폭기와 피드백 바이어스 회로의 소모 전력은 각각 14 nW, 4 nW로 측정되었다. 디지털 단의 소모 전력은 PWM 복호기와 디지털 상관기를 합한 것으로, 30 nW로 측정되었다. 이때, 디지털 상관기는 정적(static) 전력 소모가 거의 없으며, 해당 전력 소모의 대부분은 PWM 복호기로 인한 것으로 추정한다. 이는 PWM 복호기의 비교기 인버터가 스위칭 문턱 전압 근처에서 동작하므로 항상 약하게 도통되어 있기 때문이다.

IV. 결 론

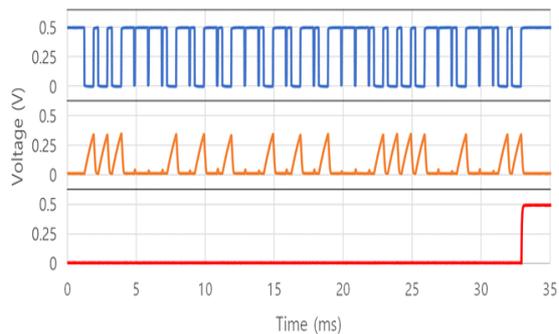
본 논문에서는 0.18 μ m CMOS 공정을 통해 433 MHz 대역에서 동작하는 포락선 검파 방식의 WuRx를 설계 및 제작하였다. 본 WuRx는 32비트 PWM 코드를 사용한다. 측정된 ED의 OCVS 특성은 2.1 mV/nW이다. 제작된 WuRx는 0.5 V 전원을 사용하며 총 소모 전력은 48 nW이다. 수신감도는 전송률 1 kbps, BER 10^{-3} 의 조건에서 -63.8 dBm으로 측정되었다. 표 1은 기존 논문들에서 제안된



(a) 32비트 RF 송신 신호
(a) 32-bit RF transmit signal



(b) 측정된 ED 출력 파형
(b) Measured output waveform of ED



(c) 측정된 클럭, 데이터, wake-up 신호 파형
(c) Measured waveforms of the clock, data, and wake-up signal

그림 24. 측정된 신호 파형
Fig. 24. Measured signal waveforms.

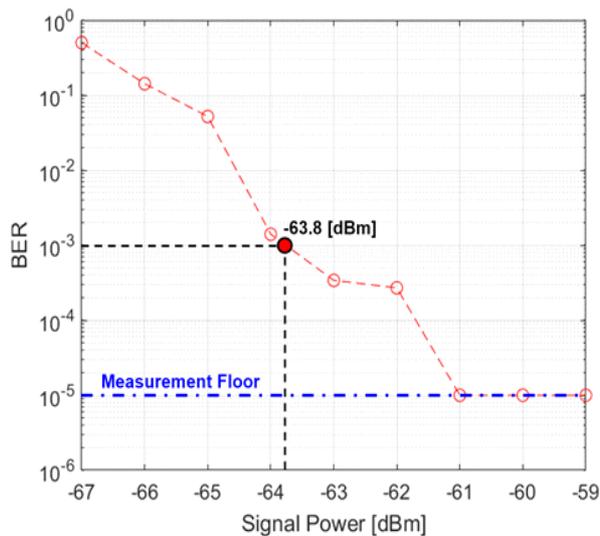


그림 25. 비트 오류율 대 신호 전력 그래프
Fig. 25. BER versus signal power.

Power Consumption

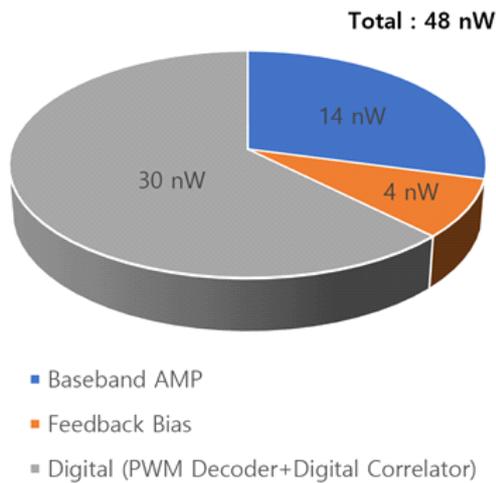


그림 26. WuRx 전력 소모
Fig. 26. WuRx power consumption.

WuRx와의 성능 비교표이다. 본 논문에서 제안한 WuRx는 기존 논문들의 WuRx와 비교해볼 때, 수신감도와 전력 소모 측면에서 우수한 성능을 나타낸다.

표 1. WuRx 성능 비교표

Table 1. WuRx performance comparison table.

	Ref. [22]	Ref. [23]	Ref. [24]	Ref. [25]	This work
Architecture	Passive ED	High impedance antenna	ED & antenna	Active ED	Pseudo- balun ED
Modulation	BLE	OOK	OOK	OOK	OOK
Frequency (GHz)	0.4~ 2.4	0.05	2.4	0.868	0.433
Power supply (V)	0.5/1	0.4/0.5	0.1/0.5/ 0.8	1/1.2~3.6	0.5
Sensitivity (dBm)	-56.5	-60	-61.5	-71.5	-63.8
Data rate (kbps)	8.912	1	2.5	100	1
Power consumption (nW)	236	11.5	365	2,400	48

References

[1] P. P. Mercier, A. P. Chandrakasan, *Ultra-Low-Power Short-Range Radios*, Cham, Springer International, 2015.

[2] B. Dalal, S. Kukarni, "Wireless sensor networks: Applications," in *Wireless Sensor Networks: Design, Deployment and Applications*, London, IntechOpen, 2021.

[3] E. Popovici, M. Magno, and S. Marinkovic, "Power management techniques for wireless sensor networks: A review," in *5th IEEE International Workshop on Advances in Sensors and Interfaces IWASI*, Bari, Jun. 2013, pp. 194-198.

[4] N. Kumari, N. Patel, S. Anand, and P. P. Bhattacharya, "Designing low power wireless sensor networks: A brief survey," *International Journal of Advanced Research in Electrical Electronics and Instrumentation Engineering*, vol. 2, no. 9, pp. 4447-4456, Sep. 2013.

[5] A. A. Babayo, M. H. Anisi, and I. Ali, "A review on energy management schemes in energy harvesting wireless sensor networks," *Renewable and Sustainable Energy Reviews*, vol. 76, pp. 1176-1184, Sep. 2017.

[6] P. Bassirian, J. Moody, and S. M. Bowers, "Event-driven wakeup receivers: Applications and design challenges," in *2017 IEEE 60th International Midwest Symposium on Circuits and Systems(MWSCAS)*, Boston, MA, Aug. 2017, pp. 1324-1327.

[7] Y. K. Lee, Y. S. Kim, "Design of a 900 MHz wake-up receiver using an N-path filter," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 30, no. 10, pp. 814-822, Oct. 2019.

[8] I. Demirkol, C. Ersoy, and E. Onur, "Wake-up receivers for wireless sensor networks: Benefits and challenges," *IEEE Wireless Communications*, vol. 16, no. 4, pp. 88-96, Aug. 2009.

[9] G. U. Gamm, M. Sippel, M. Kostic, and L. M. Reindl, "Low power wake-up receiver for wireless sensor nodes," in *2010 Sixth International Conference on Intelligent Sensors, Sensor Networks and Information Processing*, Brisbane, Dec. 2010, pp. 121-126.

[10] M. G. Kang, J. W. Park, and Y. S. Kim, "Design of a 900 MHz band wake-up receiver with -52 dBm sensitivity," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 32, no. 3, pp. 243-249, Mar. 2021.

[11] C. Salazar, A. Cathelin, A. Kaiser, and J. Rabaey, "A 2.4 GHz interferer-resilient wake-up receiver using a dual-IF multi-stage N-path architecture," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 9, pp. 2091-2105, Sep. 2016.

[12] E. A. M. Klumperink, H. J. Westerveld, and B. Nauta, "N-path filters and mixer-first receivers: A review," in *2017 IEEE Custom Integrated Circuits Conference(CICC)*, Austin, TX, Apr.-May 2017, pp. 1-8.

[13] N. M. Pletcher, S. Gambini, and J. Rabaey, "A 52 μ W wake-up receiver with -72 dBm sensitivity using an uncertain-IF architecture," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 1, pp. 269-280, Jan. 2009.

[14] S. Oh, N. E. Roberts, and D. D. Wentzloff, "A 116nW multi-band wake-up receiver with 31-bit correlator and

- interference rejection," in *Proceedings of the IEEE 2013 Custom Integrated Circuits Conference*, San Jose, CA, Sep. 2013, pp. 1-4.
- [15] J. Moody, P. Bassirian, A. Roy, Y. Feng, S. Li, and R. Costanzo, et al., "An 8.3 nW -72 dBm event driven IoE wake up receiver RF front end," in *2017 12th European Microwave Integrated Circuits Conference(EuMIC)*, Nuremberg, Oct. 2017, pp. 77-80.
- [16] J. Moody, P. Bassirian, A. Roy, N. Liu, S. Pancrazio, and N. S. Barker, et al., "A -76 dBm 7.4 nW wakeup radio with automatic offset compensation," in *2018 IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, Feb. 2018, pp. 452-454.
- [17] P. Bassirian, J. Moody, and S. M. Bowers, "Analysis of quadratic dickson based envelope detectors for IoE sensor node applications," in *2017 IEEE MTT-S International Microwave Symposium(IMS)*, Honolulu, HI, Jun. 2017, pp. 215-218.
- [18] P. H. P. Wang, H. Jiang, L. Gao, P. Sen, Y. H. Kim, and G. M. Rebeiz, et al., "A 6.1-nW wake-up receiver achieving -80.5-dBm sensitivity via a passive pseudo-balun envelope detector," *IEEE Solid-State Circuits Letters*, vol. 1, no. 5, pp. 134-137, May 2018.
- [19] S. von der Mark, R. Kamp, M. Huber, and G. Boeck, "Three stage wakeup scheme for sensor networks," in *SBMO/IEEE MTT-S International Conference on Microwave and Optoelectronics*, Brasilia, Jul. 2005, pp. 205-208.
- [20] T. Schumacher, P. Fath, S. Schmickl, T. Faseth, P. Hetterle, and R. Weigel, et al., "A design-for-sensitivity strategy for charge-pump-based receivers," in *2020 Austrochip Workshop on Microelectronics(Austrochip)*, Vienna, Oct. 2020, pp. 13-20.
- [21] J. Yi, W. H. Ki, and C. Y. Tsui, "Analysis and design strategy of UHF micro-power CMOS rectifiers for micro-sensor and RFID applications," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 54, no. 1, pp. 153-166, Jan. 2007.
- [22] N. E. Roberts, K. Craig, A. Shrivastava, S. N. Wooters, Y. Shakhsher, and B. Calhoun, et al., "26.8 A 236 nW -56.5dBm-sensitivity bluetooth low-energy wakeup receiver with energy harvesting in 65 nm CMOS," in *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, Jan.-Feb. 2016, pp. 450-451.
- [23] A. Nikoofard, S. Mandal, "An 11.5 nW broadband wake-up RF receiver with -60 dBm sensitivity at 50 MHz," in *2016 IEEE International Symposium on Circuits and Systems(ISCAS)*, Montreal, QC, May 2016, pp. 2787-2790.
- [24] K. R. Sadagopan, J. Kang, S. Jain, Y. Ramadass, and A. Natarajan, "A 365 nW -61.5 dBm sensitivity, 1.875 cm² 2.4 GHz wake-up receiver with rectifier-antenna co-design for passive gain," in *2017 IEEE Radio Frequency Integrated Circuits Symposium(RFIC)*, Honolulu, HI, Jun. 2017, pp. 180-183.
- [25] C. Hambeck, S. Mahlknecht, and T. Herndl, "A 2.4 μW wake-up receiver for wireless sensor nodes with -71dBm sensitivity," in *2011 IEEE International Symposium of Circuits and Systems(ISCAS)*, Rio de Janeiro, May 2011, pp. 534-537.

장 성 민 [한동대학교/연구원]

<https://orcid.org/0000-0002-4044-1965>



2020년 2월: 한동대학교 전산전자공학부 (공학사)
2022년 8월: 한동대학교 전산전자공학과 (공학석사)
2022년 9월~현재: 한동대학교 정보통신 기술 연구소 연구원
[주 관심분야] RF/Analog IC 설계

김 영 식 [한동대학교/교수]

<https://orcid.org/0000-0003-1590-8233>



1993년 2월: 포항공과대학교 전자전기공학과 (공학사)
1995년 2월: 포항공과대학교 전자전기공학과 (공학석사)
1999년 2월~: 포항공과대학교 전자전기공학과 (공학박사)
1999년 3월~현재: 한동대학교 전산전자공학부 정교수
[주 관심분야] 센서 네트워크 개발, RFID, 무선 송·수신용 RF/Analog IC 설계, 무선 통신용 모뎀 설계, RF 전력 증폭기 개발

김 신 응 [한동대학교/조교수]

<https://orcid.org/0009-0002-4319-3255>



2009년 2월: 한동대학교 전산전자공학부 (공학사)
2011년 2월: 한동대학교 정보통신공학과 (공학석사)
2016년 2월: 포항공과대학교 전자전기공학과 (공학박사)
2022년 2월: 삼성전자 책임연구원
2022년 3월~현재: 한동대학교 전산전자공학부 조교수
[주 관심분야] Analog/Mixed IC 설계, Analog/Digital 주파수 합성기 설계