

전자전 지원을 위한 초광대역 채널화 수신처리장치 개발

Development of an Ultra-Wideband Channelization Receiver for Electronic Support

최 대 규 · 윤 창 열 · 이 규 송

Dae-Gyu Choi · Chang-Ryul Yun · Kyu-Song Lee

요 약

본 논문은 레이더, 미사일 탐색기 등의 C~K 밴드를 사용하는 비통신 신호를 탐지, 수집, 식별하는 전자전 지원 장비의 초광대역 채널화 수신처리장치 개발에 있어, 1.8 GHz 이상의 초광대역 순시대역폭 수신에 가능한 직접 샘플링 수신기 구조와 1단계 주파수 변환 수퍼 헤테로다인 수신기 구조를 제시하였다. 순시대역폭 채널화를 위해 다상 필터뱅크 구조를 적용하며, 채널 간 중첩을 고려한 최종 구조 및 설계 변수를 도출하여 1.8 GHz 이상의 순시대역폭을 채널화하는 초광대역 다상 필터뱅크를 설계하고, 시뮬레이션 결과를 제시하였다. 마지막으로 제시한 수신구조를 적용하여 초광대역 채널화 수신처리장치를 제작하였고, 신호주입 시험으로 수신 성능을 확인하였다.

Abstract

This study develops an ultra-wideband channelization receiver for electronic warfare support equipment that detects, collects, and identifies non-communication signals using C-K bands, such as radar and missile seekers. This study presents a direct sampling receiver structure that can receive an instantaneous bandwidth of at least 1.8 GHz and a one-step frequency conversion superheterodyne receiver structure. We apply the polyphase filter banks structure for channelization of the instantaneous bandwidth as well as obtain the final structure and design parameters considering the overlap between channels to design ultra-wideband polyphase filter banks that channelizes an instantaneous bandwidth of at least 1.8 GHz. Furthermore, we present simulation results. Finally, we fabricate an ultra-wideband channelization receiver by applying the proposed receiver structure and validate its receiving performance through a signal injection test.

Key words: Electronic Warfare, Electronic Support, Channelization Receiver, Polyphase Filter Banks, Instantaneous Bandwidth

I. 서 론

전자전 시스템은 일반적으로 전자공격(electronic attack, EA), 전자전 지원(electronic support, ES), 전자보호(electronic

protection, EP), 신호정보(signal intelligence, sigint)로 구분하며, 위협신호에 따라 통신 전자전, 비통신 전자전으로 분류할 수 있다^{[1]~[3]}. 본 논문은 비통신 전자전 분야에서 대표적인 레이더, 미사일 탐색기 등의 신호에 대응하는

「이 논문은 2022년 정부의 재원으로 수행된 연구 결과임.」

국방과학연구소 국방첨단과학기술연구원 레이더/전자전기술센터(Radar & EW Technology Center, Agency for Defense Development, Advanced Defense Science & Technology Research Institute)

· Manuscript received February 2, 2023 ; Revised February 9, 2023 ; Accepted February 20, 2023. (ID No. 20230202-009)

· Corresponding Author: Kyu-Song Lee (e-mail: ksong@add.re.kr)

전자전 지원 장비 개발을 위한 설계 및 제작 내용을 기술한다.

전자전 지원 장비는 전자파를 이용하는 적 위협 환경을 적시에 판단할 수 있도록 미상의 적 비통신 장비로부터 방사되는 전자파 신호를 탐색, 수집, 식별하고, 신호원의 신호제원 및 방향을 탐지하여 아군에게 위협 상황을 정보하는 기능과 아군의 전자공격 장비에게 수집 및 식별한 신호에 대한 정보를 전달하는 기능을 가지고 있다^[3]. 또한, 먼 거리에서 활동하는 신호원, 주파수 어자일 및 홉핑으로 넓은 주파수 대역을 사용하는 신호원, 동시간대에 활동하는 다수의 신호원 환경도 고려하므로 높은 수신감도, 넓은 순시대역폭, 동시 다중신호 수신 성능이 필수적으로 요구된다. 이를 위해 수신 장비는 안테나, RF수신부, 디지털수신부, 제어부를 기본 구성으로 안테나의 RF 출력신호를 RF 수신부가 수신하여 1단계 또는 2단계 주파수 변환으로 IF신호를 출력하고, 디지털수신부에서는 입력된 IF신호를 아날로그-디지털 변환 및 채널화하여 기저대역 I/Q신호를 출력하고, 신호제원을 측정하는 수퍼 헤테로다인 수신구조를 적용하였다^[4]. 이 구조는 ADC 샘플링 주파수의 $f_s/2$ 이내로 순시대역폭을 확보할 수 있으며 다상 필터뱅크를 적용한 순시대역폭 채널화로 동시신호 수신 및 수신감도를 향상시킬 수 있다. 또한, 빠른 LO 동조로 탐색 범위를 고속 스캔할 수 있어 전자전 지원 장비뿐만 아니라 전자정보 수집 장비에도 적용 가능하다.

최근에는 5세대 이동통신 기술로 밀리미터파가 사용됨에 따라 높은 주파수 신호에 대한 디지털 신호처리가 가능한 디지털소자의 수요가 높아져 TI(Texas Instruments), Analog Devices에서 수 Gsps(giga samples per second)의 샘플링 속도를 지원하는 고속 ADC가 개발되고 있다^{[5][6]}. 따라서 이러한 최신의 고속 ADC를 적용하면 IF 주파수를 높이고 순시대역폭을 넓힐 수 있으므로 C~K 주파수 대역 내의 수 GHz 신호에 대해서는 RF수신부가 매우 간소화되는 직접 샘플링 수신구조를 적용하고, 수십 GHz 신호에 대해서는 1단계 주파수 변환만을 수행하는 수퍼 헤테로다인 수신구조를 적용하여 기존 장비를 소형화할 수 있는 동시에 넓은 순시대역폭 확보가 가능하다.

본 논문에서는 5 Gsps 이상의 고속 ADC를 적용하여 기존의 1 GHz 순시대역폭^[7]보다 넓은 1.8 GHz 이상의 순

시대역폭을 수신 처리할 수 있는 초광대역 채널화 수신처리장치를 개발하였다. 군용표준대역 기준 C~G 밴드의 수 GHz 신호는 직접 샘플링 구조를 적용하며, 1.8 GHz 순시대역폭을 확보할 수 있도록 2-경로 직접 샘플링 수신구조를 제시하였다. 또한, H~K 밴드의 수십 GHz 신호는 1단계 주파수 변환 수퍼 헤테로다인 수신구조를 적용하며, 참고문헌 [8]~참고문헌 [10]을 참고하여 다상 필터뱅크 구조를 상세 분석하고 전자전 지원 장비에 적합한 다상 필터뱅크의 최종 구조 및 설계 변수를 도출하고 2.16 GHz 순시대역폭을 채널화하는 다상 필터뱅크를 설계하였고 매틀랩 시뮬레이션 통해 검증하였다. 상기와 같이 설계한 수신구조 및 다상 필터뱅크는 초광대역 채널화 수신처리장치에 적용, 제작하였고 계측기 신호 주입 시험으로 성능을 확인하여 실제 개발이 가능함을 보였다.

본 논문의 구성은 다음과 같다. II장에서는 초광대역 채널화 수신처리장치에 적용한 직접 샘플링 수신구조와 1단계 주파수 변환 수퍼 헤테로다인 수신구조에 대해 설명한다. III장에서는 다상 필터뱅크 구조에 대해 상세한 분석을 하고 최종 구조 및 설계 변수를 도출한다. 이를 바탕으로 2.16 GHz 순시대역폭을 채널화하는 초광대역 다상 필터뱅크를 설계하고 시뮬레이션 결과를 제시한다. IV장에서는 초광대역 채널화 수신처리장치의 제작 및 시험 결과를 제시하고 V장에서 결론을 맺는다.

II. 초광대역 채널화 수신처리장치 설계

2.1 직접 샘플링 수신구조

RF신호를 주파수 하향 변환 없이 ADC로 직접 샘플링 처리 가능한 구조를 직접 샘플링 수신구조라고 한다^[5]. 일반적인 직접 샘플링의 수신신호 처리과정은 그림 1과 같다. RF신호를 대역통과필터(BPF)로 필터링하고, 나이퀴스트 샘플링 이론에 만족하는 샘플링 주파수(f_s)로 샘플링 한 후 [RF]신호(RF's replica)를 하향 변환하여 기저대역(baseband, BB)의 I/Q신호를 얻는다. 그림 2는 그림 1에 해당하는 직접 샘플링 수신구조를 나타내었다.

하나의 경로에 단일 대역통과필터와 ADC가 있는 매우 간단한 구조로 순시대역폭은 ADC의 샘플링 속도에 의존한다. 이 구조는 순시대역폭이 협대역인 경우, 적용이 용

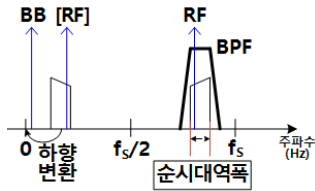


그림 1. 직접 샘플링 신호처리
Fig. 1. Direct sampling signal processing.

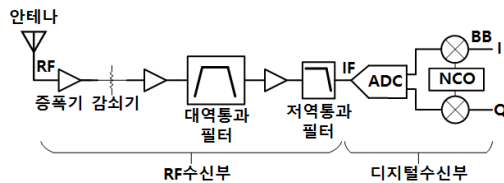


그림 2. 일반적인 직접 샘플링 수신기 구조
Fig. 2. General direct sampling receiver structure.

이하나, 광대역인 경우에는 대역통과필터가 광대역이 되므로 수신한 신호에 수신기의 열 잡음이 많이 포함되어 수신감도가 나빠지는 특성을 가지고 있다. 이에 따라 그림 3과 같이 광대역 순시대역폭을 다수의 협대역 대역통과필터를 병렬로 사용하여 필터링한 후 샘플링하고, 1st 나이퀴스트 영역의 IF신호를 하향 변환하여 기저대역의 I/Q신호를 얻는 방법으로 발전되었다.

그림 4는 그림 3에 해당하는 다중경로 직접 샘플링 수신구조를 나타내었다.

그림 4는 RF 수신부에서 입력된 RF 신호를 분기하여 N개의 경로로 나누고, 경로별 협대역 대역통과필터를 사

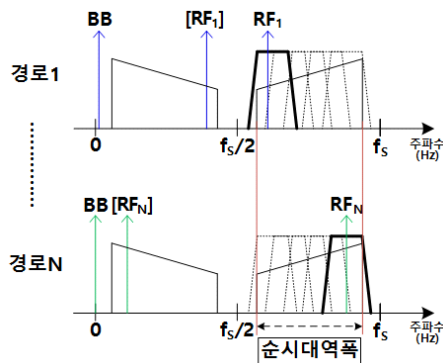


그림 3. 다중경로 직접 샘플링 신호처리
Fig. 3. Multi-path direct sampling signal processing.

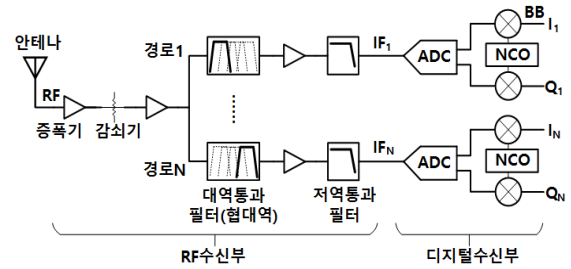


그림 4. 다중경로 직접 샘플링 수신기 구조
Fig. 4. Multi-path direct sampling receiver structure.

용하여 채널화하고, 이후 IF신호를 직접 샘플링하는 수신 구조로 그림 2보다 수신감도를 향상시킬 수 있고 순시대역폭 내의 동시 신호를 수신할 수 있지만 채널 수만큼의 경로가 병렬로 요구되므로 RF수신부 및 디지털수신부의 크기가 커지는 단점이 있다.

따라서, 본 논문에서는 C~K 주파수 대역에 활동하는 위협을 대상으로 하는 전자전 지원 장비 개발을 위해 초 광대역의 순시대역폭을 얻을 수 있고 디지털수신부에서 채널화를 수행함으로써 장비를 소형화할 수 있는 구조를 제안한다.

앞에서 설명한 바와 같이 직접 샘플링 수신구조에서 모호성 없이 수신 가능한 순시대역폭은 ADC 샘플링 주파수의 절반 이하이고, 실제 고속 ADC의 입력 주파수별 출력(SNR 등) 특성을 고려하면 1st 나이퀴스트 영역($0 \sim f_s/2$), 2nd 나이퀴스트 영역($f_s/2 \sim f_s$), 3rd 나이퀴스트 영역($f_s \sim 3f_s/2$) 내의 수신신호 처리가 가능하다. 이에 따라 그림 5와 같이 샘플링 주파수 f_{s1}, f_{s2} 로 수신 가능한 주파수 대역은 1, 2와 3, 4가 될 수 있다. 그림 5의 탐색 범위에 해당하는 주파수 대역을 감시한다고 하였을 경우, 단일 ADC만으로는 부족함이 있으며, 대역통과필터의 스퀘트 특성을 고려하면 $f_s/2, f_s, 3f_s/2$ 부근의 일부 영역도 감시할 수 없다. 따라서, 그림 5의 ADC₁과 ADC₂를 병렬로 사용하면 1+3 조합으로 순시대역폭1, 2+4 조합으로 순시대역폭2로 확장이 가능해지며 이 조합으로 2번 스캔하면 탐색 범위를 모두 만족할 수 있다. 또한, 각 ADC의 출력은 III장의 다상 필터뱅크를 적용하여 채널화함으로써 동시 다중신호를 분리하여 수신 가능하며, 수신감도를 향상시킬 수 있다. 그림 6은 이 과정에 따른 수신신호의 처리과정을 자세히 나타낸다.

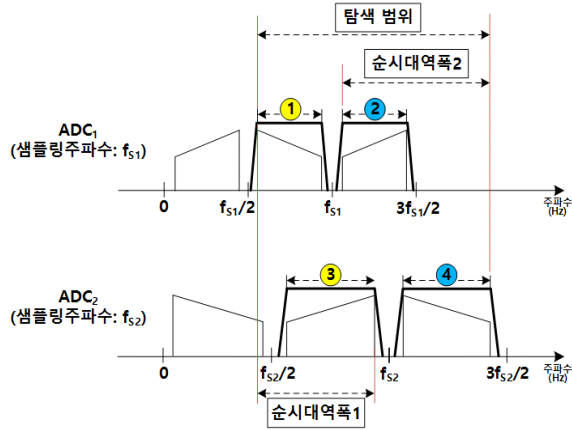


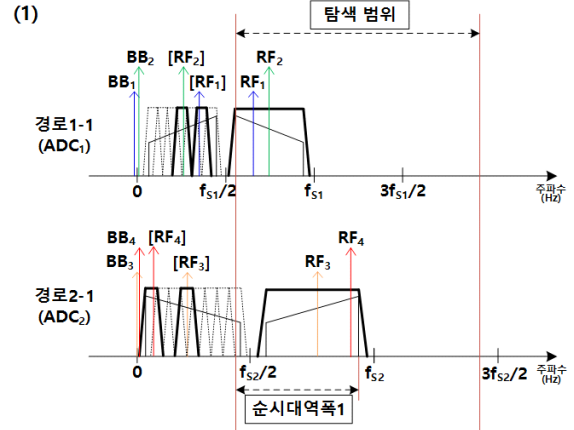
그림 5. 수신가능 대역과 순시대역폭 확장 방법
Fig. 5. Receivable bandwidth and method for extending instantaneous bandwidth.

수신한 RF신호는 경로1과 경로2로 분기되고, 다시 각 경로는 1-1, 1-2와 2-1, 2-2로 스위칭되어 RF 필터링된다. 그림 6과 같이 경로1-1, 2-1 또는 경로1-2, 2-2로 조합할 수 있으며 각 경로에서 필터링된 RF신호는 샘플링 후 다상 필터뱅크를 통해 기저대역 I/Q신호로 변환되어 출력된다. 또한, 그림 6(a)는 순시대역폭1 내에 동시 신호($RF_1 \sim RF_4$)가 수신되더라도 협대역 필터링에 의해 분리되어 모두 수신 가능함을 나타낸 그림이며, 그림 6(b)는 ADC_1 의 $(3f_s)/2$ 부근에서 각 경로의 수신 가능 주파수 대역 중 일부를 겹치게 하여 순시대역폭2에서 감시 배제되는 영역이 없도록 하였고 RF_1 과 같이 경로1-2와 경로2-2에서 동시에 수신되는 경우에는 수신 이후 하나는 제거하고 저장하는 처리과정을 포함할 수 있다.

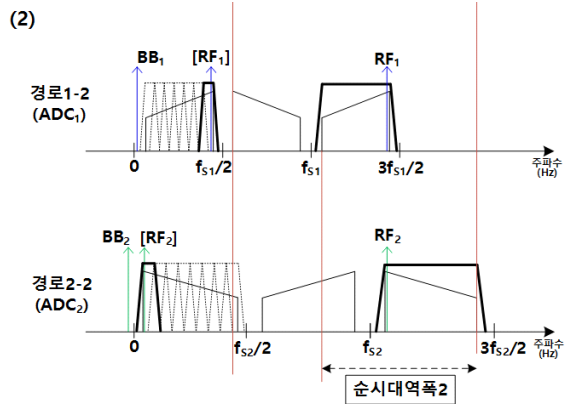
그림 7은 그림 6에 해당하는 디지털 채널화가 포함된 2중 경로 직접 샘플링 수신구조를 나타내었다. 채널화 수만큼의 경로 및 RF 필터가 요구되는 그림 4 수신구조에 비해 그 수가 대폭 줄었으며, 샘플링 주파수가 다른 2개의 ADC를 병렬로 사용하여 순시대역폭을 확장시킬 수 있었다.

2-2 1단계 주파수 변환 수퍼 헤테로다인 수신구조

수 GHz 신호는 제한한 2-경로 직접 샘플링 수신구조를 적용할 수 있으나, 수십 GHz 신호의 경우에는 최신의 고속 ADC를 사용하더라도 샘플링 속도가 부족하므로 RF



(a) 경로1-1과 경로2-1 조합에 의한 신호처리
(a) Signal processing by combination of path 1-1 and 2-1



(b) 경로1-2와 경로2-2 조합에 의한 신호처리
(b) Signal processing by combination of path 1-2 and 2-2

그림 6. 제안하는 2-경로 직접 샘플링
Fig. 6. Proposed 2-path direct sampling.

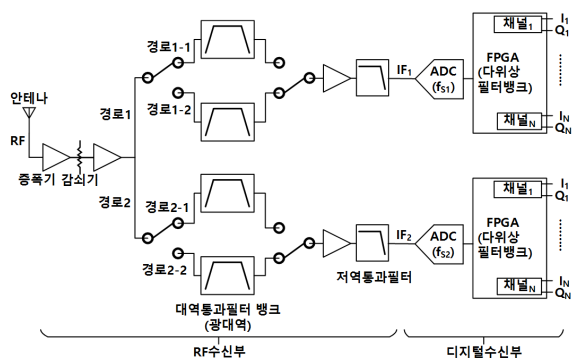


그림 7. 제안하는 2-경로 직접 샘플링 수신기 구조
Fig. 7. Proposed 2-path direct sampling receiver structure.

신호를 IF신호로 주파수 변환을 해주어야 하며, 수신감도를 만족하기 위해서 수퍼 헤테로다인 수신구조를 적용한다. 기존의 수퍼 헤테로다인 수신구조는 낮은 ADC 샘플링 속도로 인해 IF 주파수 대역이 낮아 RF신호를 하향 변환하는 경우, RF신호에 가까운 국부발진신호(local oscillator, LO)를 이용하게 되므로 믹서 출력에 포함된 불요신호가 차단되지 않고 IF 주파수 대역 내에 존재하게 된다. 따라서, 일반적으로 그림 8과 같이 RF신호를 상향 변환하고 다시 하향 변환하는 2단계 주파수 변환을 한다.

본 논문에서는 수 Gbps 샘플링 속도를 가지는 고속 ADC를 적용하여 높은 IF 주파수를 사용함에 따라 RF신호를 IF신호로 하향 변환 시 RF신호와 이격된 국부발진신호를 사용함으로써 불요신호가 IF 주파수 대역 밖에 존재하게 되므로 1단계 주파수 변환만을 수행하는 수퍼 헤테로다인 수신구조를 적용한다.

그림 9의 1단계 수퍼 헤테로다인 수신구조는 믹서 및 2차 RF 필터가 제외됨에 따라 내부의 국부신호발생부 및 RF신호부의 크기를 소형화할 수 있고 확장된 순시대역폭은 넓은 탐색 범위에 대한 탐색 소요시간을 단축시킬 수 있어 전자전 지원 장비에 매우 적합하다.

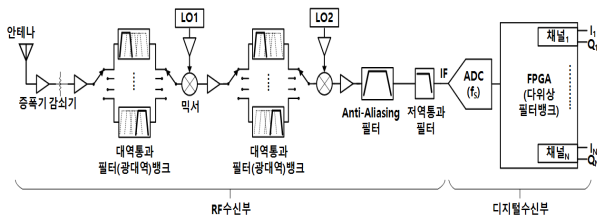


그림 8. 2단계 주파수 변환 수퍼 헤테로다인 수신기 구조
Fig. 8. 2-step frequency conversion super-heterodyne receiver structure.

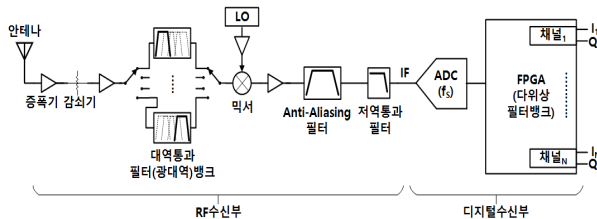


그림 9. 1단계 주파수 변환 수퍼 헤테로다인 수신기 구조
Fig. 9. 1-step frequency conversion super-heterodyne receiver structure.

III. 초광대역 디지털 채널화 수신 설계

3-1 다상 필터뱅크 최종 구조 및 설계 변수 도출

II장에서 설계한 최신의 고속 ADC 적용에 따른 수신 처리장치의 전체적인 수신구조는 디지털 채널화 적용을 전제로 하였다. 채널화는 광대역의 순시대역폭을 다수의 필터를 이용하여 다수의 채널로 분리하여 해당 채널 대역 외의 신호는 제거하고, 채널 대역 내의 신호는 수신하는 것을 말한다. 특히, ADC 이후 디지털 신호처리를 적용하여 채널화하는 것을 디지털 채널화라고 말하며, 그림 10에 기존의 저역통과 필터뱅크 채널화의 신호처리과정을 나타내었다.

수신한 IF주파수 대역 내의 IF_1 , IF_2 신호는 f_s 로 샘플링 하며, 채널₁~채널_N으로 분기한다. 각 채널에서는 1st 나이퀴스트 영역 $0 \sim f_s/2$ 내에 위치한 IF_1 , IF_2 신호의 복사본(replica)인 $[IF_1]$, $[IF_2]$ 에 각 채널의 중심주파수 f_1 , f_N 과 동일한 주파수의 국부발진신호를 곱하여 기저대역으로 하향 변환한다. 기저대역의 BB_1 , BB_2 는 I/Q신호로 저역통과 필터(LPF)로 채널₁에서는 BB_1 신호만을, 채널_N에서는 BB_2 신호만을 수신할 수 있고, 각 신호는 데시메이션을 통해 f_s/D 로 샘플링된 I/Q신호로 변환한다. 여기서 f_s/D 는 모호성이 발생되지 않도록 저역통과필터의 차단주파수 f_{stop} 의 2배보다 크거나 같아야 하며, 그림 10에서는 f_{stop} 의 2배로

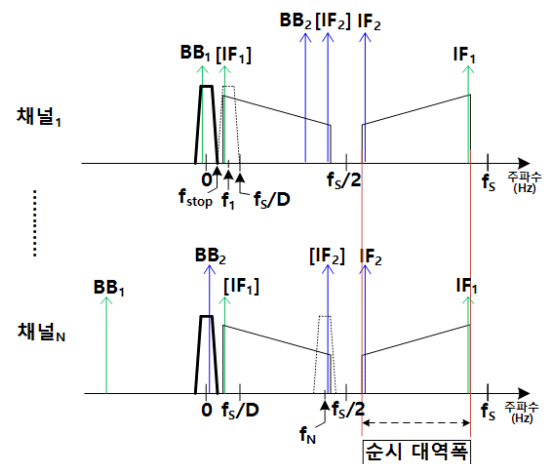


그림 10. 저역통과 필터뱅크 채널화
Fig. 10. Lowpass filter banks channelization.

데시메이션을 한 예를 나타내었다. 최종적으로 미상의 IF_1 과 IF_2 는 채널₁과 채널_N에서 수신할 수 있으며, BB_1 , BB_2 신호 본래의 IF 주파수가 (BB_1 의 주파수 $f_s - f_1$), (BB_2 의 주파수 $f_s - f_N$)에 해당하므로 그림 10의 저역통과필터뱅크 채널화는 그림 11과 같이 IF주파수 대역의 순시대역폭을 채널₁~채널_N으로 채널화됨을 알 수 있다.

그림 12는 그림 10에 대응하는 저역통과 필터뱅크 채널화 수신구조를 나타내었다.

저역통과 필터뱅크 수신구조는 채널화를 위해 수신신호를 N 개 채널에서 동일하게 병렬 처리하므로 다수의 DDC(digital down converter), 저역통과필터, 데시메이션 블록이 필요하므로 자원 소모가 크며 최종 출력으로 저역통과필터의 출력 샘플 중 일부만 사용하므로 불필요한 연산이 수행되는 단점을 가지고 있다. 따라서, 데시메이션 블록을 ADC 다음으로 옮김으로써 불필요한 연산을 제거하고 하나의 저역통과필터만을 사용하며, DFT(discrete Fourier transform)를 통해 채널화할 수 있는 다상 필터뱅크 구조로 발전하였다. 본 논문에서는 초광대역 순시대역폭 채널화 방법으로 다상 필터뱅크 구조를 적용하며,

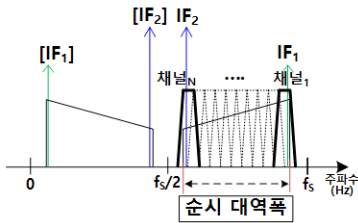


그림 11. IF주파수 대역의 순시대역폭 채널화
Fig. 11. Instantaneous bandwidth channelization of IF frequency band.

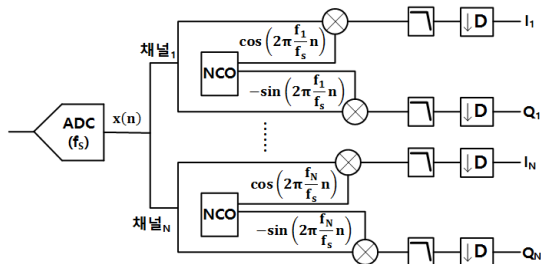


그림 12. 저역통과 필터뱅크 수신구조
Fig. 12. Lowpass filter banks structure.

전자전 지원 장비에 적합한 1.8 GHz 이상의 순시대역폭을 채널화할 수 있는 다상 필터뱅크 설계를 위해 아래와 같이 구조 분석을 통한 최종 구조 및 설계 변수를 도출하였다.

그림 13-(1)은 그림 12의 채널₁을 나타낸 것으로 ADC 후의 대역통과 신호 $x(n)$ 를 수신하여 채널₁의 중심주파수와 동일한 국부발진신호를 이용하여 하향 변환하고 저역통과필터로 필터링 후 데시메이션하여 I/Q신호를 출력하는 구조를 나타내며, 그림 13-(2)는 그림 13-(1)의 저역통과필터와 데시메이션 블록을 상세히 나타내었다.

저역통과필터는 1샘플 지연기, 곱셈기, 덧셈기로 구성되어 있으며 필터의 탭 수는 다상 필터뱅크 구조로의 변경을 고려하여 D 의 정수배인 kD 개로 나타내었다. 저역통과필터의 출력은 $Y_i(n)$ ($n=1, 2, \dots$)이며, 데시메이션 후의 출력은 $Y_i(nD)$ 이다. 따라서, $Y_i(nD)$ 를 제외한 $Y_i(n)$ 의 출력은 불필요하므로 우선, 그림 13에 나타낸 채널₁의 구조를 최종 출력인 $Y_i(nD)$ 에 해당하는 연산만을 수행하는 효율적인 구조로 변경하였으며 그 과정을 그림 14에 나타내었다.

· Step 1: 그림 14와 같이 그림 13의 데시메이션(DC) 블록을 DDC와 저역통과필터 사이로 이동하고 저역통과필터의 계수 $h(r)$ 를 $h_c(c) = h(r + (c-1)D)$ 로 재배치하면 kD 개의 계수가 D 개 행, k 개 열로 배치되고 입력 개수가 D 개로 늘어나게 된다. 여기서 r 은 그림 13-(2)의 저역통과필터의 계수 순서로 $r=0 \sim kD-1$ 이며, c 는 계수를 D 개 행, k 개 열로 재배치할 때의 열 순서로 $c=1 \sim k$ 이다. $[x_i(n)]$ 샘플은 f_s

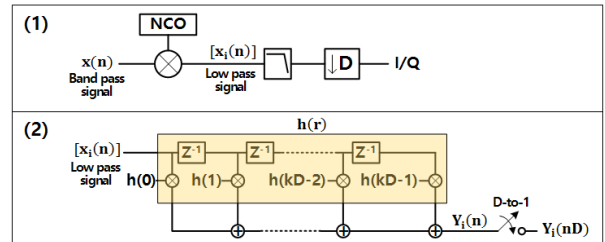


그림 13. (1) 그림 12의 채널, (2) 저역통과필터와 데시메이션 블록 구조
Fig. 13. (1) Channel₁ of Fig. 12, (2) Structure of low pass filter and decimation block.

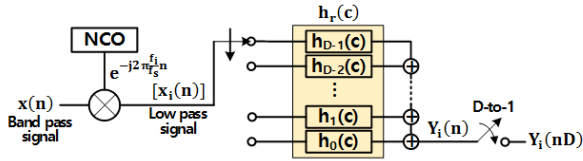


그림 14. 한 채널 변환 1단계: DDC-DC-LPF 구조
Fig. 14. Single channel transformation's step 1: DDC-DC-LPF structure.

입력 속도로 D 개의 입력에 순차적으로 입력되고 f_i/D 로 연산 결과를 출력하므로 그림 13과 동일한 $Y_i(nD)$ 를 얻을 수 있다.

• Step 2: 그림 15와 같이 데시메이션 블록을 DDC 앞으로 이동하고 DDC 뒤에는 $x(n)$ 입력 속도와 동일하게 동작하는 스위치를 두어 그림 14와 동일한 $Y_i(nD)$ 를 얻을 수 있도록 하였다. DDC는 채널의 중심주파수 f_i 와 동일한 국부발진신호를 $x(n)$ 에 곱하여 출력하고 저역통과필터는 그 출력에 필터 계수를 곱하는 연산을 한다. 여기서, $f_i/f_s = i/D$ 이므로 국부발진신호 샘플의 위상을 $2\pi(f_i/f_s)n$ 에서 $2\pi(i/D)n$ 으로 변경할 수 있다.

• Step 3: 그림 16과 같이 국부발진신호와 저역통과필터 계수를 먼저 곱한 구조로 만들 수 있으며, 국부발진신호 샘플은 D 번마다 주기적으로 동일 위상을 가지므로 저역통과필터의 같은 행에 위치한 계수에는 동일한 국부발진신호가 곱해진다. 따라서, 같은 행에 곱해지는 동일한 국부발진신호 샘플을 한 번만 곱하도록 변경하면 채널에 하나의 저역통과필터만을 사용하여 $Y_i(nD)$ 에 해당하는 연산만 수행하여 출력하는 그림 16의 brief form으로 변경할 수 있다.

다음은 두 개의 채널(채널_i, 채널_u)에 대해 변환을 수행

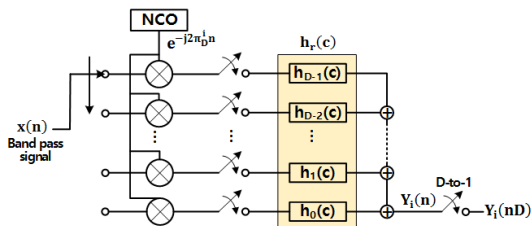


그림 15. 한 채널 변환 2단계: DC-DDC-LPF 구조
Fig. 15. Single channel transformation's step 2: DC-DDC-LPF structure.

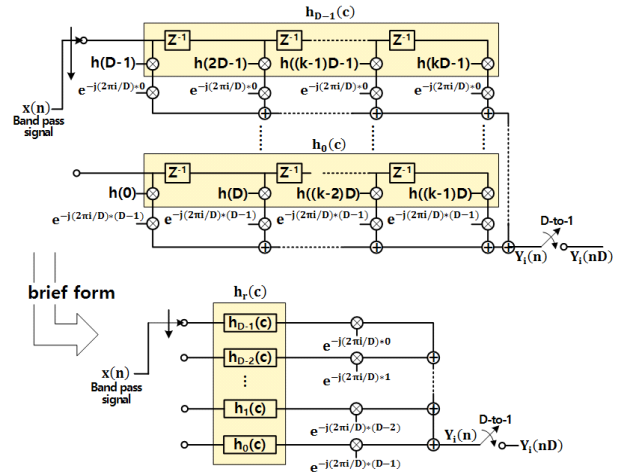


그림 16. 한 채널 변환 3단계: 최종 구조
Fig. 16. Single channel transformation's step 3: final structure.

하였으며, 그림 17에 나타내었다. 채널_u의 신호처리과정도 채널_i와 동일하므로 채널_u에 해당하는 국부발진신호를 사용하여 하향 변환하며 저역통과필터 및 데시메이션 블록은 채널_i와 동일하다. 그림 17은 그림 16의 최종 구조를 사용하여 두 채널을 나타낸 것이다. 여기서, 두 채널은 동일한 저역통과필터를 사용하며, 저역통과필터의 출력은 크기가 1이고, 각 채널의 중심주파수와 동일한 신호와 correlation 연산을 수행한다. 이 연산은 $m=0 \sim D-1$ 인

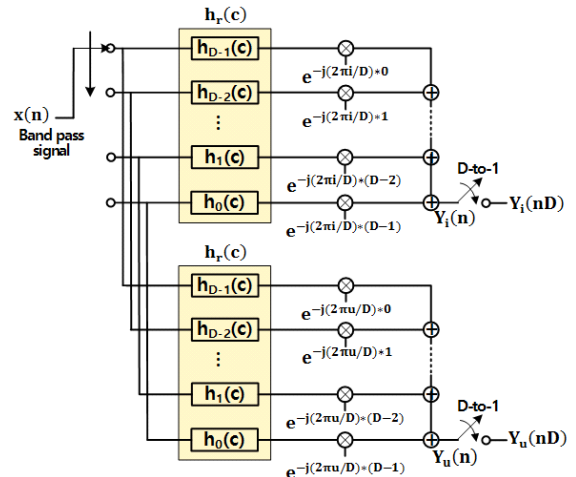


그림 17. 두 채널 변환: 그림 16의 최종 구조 적용
Fig. 17. Two channel transformation: applying the final structure in Fig. 16.

D-point DFT에서 $m=i$, u 인 경우이므로, DFT를 사용하여 나타내면 그림 18과 같이 채널_i와 채널_u를 포함하는 D개의 채널 출력 $Y_0(nD) \sim Y_{D-1}(nD)$ 을 얻을 수 있는 구조로 확장할 수 있으며, 이것이 다상 필터뱅크 기본구조이다.

다상 필터뱅크의 입력 $x(n)$ 은 f_s 속도로 D개의 입력에 순차적으로 입력되고, D개 샘플이 입력되면 $h_r(c)$ 에 입력된 kD 개의 연속된 입력샘플을 연산하여 f_s/D 속도로 연산 결과를 출력한다. 따라서, 다상 필터뱅크의 출력은 D개 샘플 이동에 따른 DFT의 shifting 정리를 이용하여 식 (1)과 같이 나타낼 수 있다.

$$\begin{aligned} Y_m(nD) &= e^{j2\pi(n-1)m} \left(\sum_{l=0}^{D-1} y_l(nD) e^{-j2\pi \frac{m}{D} l} \right) \\ &= \sum_{l=0}^{D-1} y_l(nD) e^{-j2\pi \frac{m}{D} l} \quad \begin{matrix} (m=0, 1, \dots) \\ (n=1, 2, \dots) \end{matrix} \end{aligned} \quad (1)$$

그림 18에 의한 채널화는 그림 19와 같다. 채널의 중심 주파수는 $(mf_s)/D$ 이며, 대역폭은 $f_s/(2D)$ 으로 각 채널의 주파수 범위는 $(mf_s)/D \pm f_s/(4D)$ 이다. 여기서, 데시메이션 계수 D는 모호성이 발생되지 않도록 $f_s/D \geq 2 \times f_{stop}$ 을 만족해야 하며, 그림 19는 $f_s/D = 2 \times f_{stop}$ 인 경우로 채널 사이의 $f_s/(2D)$ 주파수 영역은 필터의 스킵 특성으로 인해 수신신호의 세기가 감소되므로 전자전 지원 장비에 적용하기 위해서는 순시대역폭 내에서 감시 제외되는 주파수 영역이 없도록 보완이 필요하다. 이 문제를 해결하기 위해 채널간 중첩이 되도록 각 채널의 중심주파수를 $(mf_s)/D$ 에서 $(mf_s)/(2D)$ 로 변경이 필요하며, 데시메이션 계수 D를 2배 높여주는 방법을 고려한다. 그림 20-(1)은 데시메이션 계수를 D의 2배로 변경하여 다상 필터뱅크로 채널화한 경우를 나타내며, 그림 20-(2)는 그에 따라 변경된 구조를 나타낸다.

그림 20-(1)과 같이 채널의 중심주파수가 $(mf_s)/(2D)$ 로

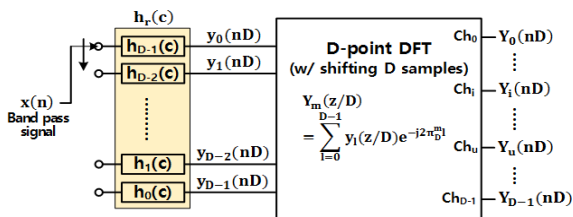


그림 18. 다상 필터뱅크의 기본구조

Fig. 18. Basic structure of polyphase filter banks.

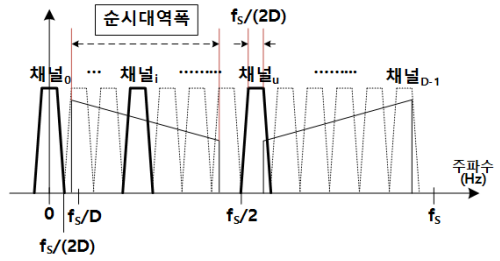


그림 19. 다상 필터뱅크 기본구조에 의한 채널화

Fig. 19. Channelization by basic structure of polyphase filter banks.

변경됨에 따라 각 채널은 인접한 채널과 중첩하여 채널화됨을 알 수 있으며, 이에 따라 그림 20-(2)와 같이 저역 통과필터가 D개 행, k개 열에서 2D개 행, k/2개 열로 변경된다. 여기서, $h'_r(c) = h(r + (c-1)2D)$ ($c=1 \sim k/2$)이고, 그림 20은 참고문헌 [10]의 $N=2$ 인 경우에 해당된다. DFT 블록의 입출력의 개수가 2배로 증가하므로 전체 채널의 개수가 D개에서 2D개로 증가하고 그림 20-(1)과 같이 순시대역폭 내에서 감시 제외되는 주파수 영역이 없게 된다. 2D개 샘플 이동에 따른 다상 필터뱅크의 출력은 식 (2)와 같다.

$$\begin{aligned} Y_m(2nD) &= e^{j2\pi(n-1)m} \left(\sum_{l=0}^{2D-1} y_l(2nD) e^{-j2\pi \frac{m}{2D} l} \right) \\ &= \sum_{l=0}^{2D-1} y_l(2nD) e^{-j2\pi \frac{m}{2D} l} \quad \begin{matrix} (m=0, 1, \dots) \\ (n=1, 2, \dots) \end{matrix} \end{aligned} \quad (2)$$

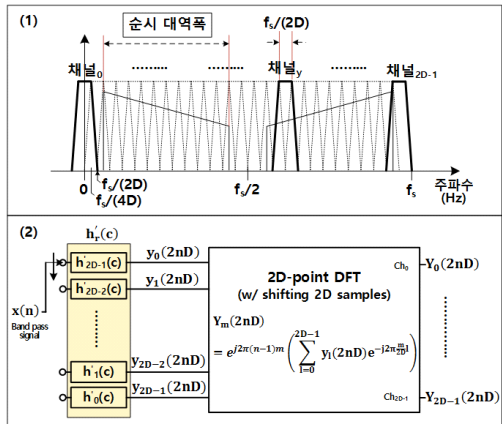


그림 20. (1) D에서 2D로 변경에 의한 채널화, (2) D에서 2D로 변경에 의한 다상 필터뱅크 구조

Fig. 20. (1) Channelization by changing from D to 2D, (2) Polyphase filter banks by changing from D to 2D.

식 (2)의 $Y_m(2nD)$ 는 샘플링 주파수 f_s 를 $2D$ 만큼 데시메이션하여 $f_s/(2D)$ 속도로 출력한 결과로 채널 내 수신신호는 $f_s/(2D)$ 마다 수신신호의 복사본(replica)이 만들어지므로 그림 20-(1)과 같이 필터의 스퀘트 영역을 포함한 채널 내 수신신호는 모호성이 발생하게 된다. 따라서, 데시메이션 계수는 $2D$ 로 하여 채널 간 중첩을 유지하며, 다상 필터뱅크의 출력속도를 $f_s/(2D)$ 에서 f_s/D 로 2배 증가시키는 것이 필요하다. 그림 21과 그림 22는 f_s/D 속도로 출력을 얻을 수 있는 방법을 나타내었다.

그림 21은 $2D$ 개 행, $k/2$ 개 열의 저역통과필터 구조를 유지하고, 연속된 입력 샘플 $x(n)$ 을 그림 21과 같이 앞의 $2D$ 개 샘플 중 하위 D 개를 다음 $2D$ 개 샘플의 상위 D 개로 중복 사용하여 $2D$ 개 입력 샘플을 구성한다. 처음 $2D$ 개 샘플($x(0) \sim x(2D-1)$) 이후부터는 새로운 D 개 샘플만이 요구되므로 f_s/D 속도로 출력 $y_l(nD)$ 와 $Y_m(nD)$ 을 얻게 되며, 그림 20-(1)의 최종 샘플링 주파수가 $f_s/(2D)$ 에서 f_s/D 로 변경되므로 수신신호에 모호성이 발생되지 않는다. 그러나 그림 21의 $2D$ 개 입력 샘플은 kD 개를 구성하였을 경우, 출력 $y_l(nD)$ 는 연산에 이용되는 kD 개 입력 샘플이 불연속적이게 되어 DFT 연산의 입력으로 사용할 수 없다. 그림 22-(1)에 $y_l(5D) \sim y_l(7D)$ 가 그 예시를 나타내었으며, 이 문제를 해결하기 위해 저역통과필터 내부 구조를 그림 22-(2)와 같이 변경하면 그림 22-(1)의 $y_l(8D) \sim y_l(10D)$ 와 같이 연속된 입력 샘플을 이용할 수 있게 된다.

$h'_r(c)$ 로 배치된 저역통과필터의 경우, 첫 번째 출력 $y_l(5D)$ 에 사용된 입력 샘플은 1-2-2-3-3-4-4-5 순서로 불연속적이며 이후의 출력도 동일하다. 그러나 그림 22-(2)와 같이 1샘플 지연기를 추가한 $h''_r(c)$ 로 배치된 저역통과필터의 경우, $y_l(8D)$ 은 1-2-3-4-5-6-7-8 순서의 연속된 입력 샘플을 사용할 수 있게 되고, D 개 샘플 입력 이후의 출력

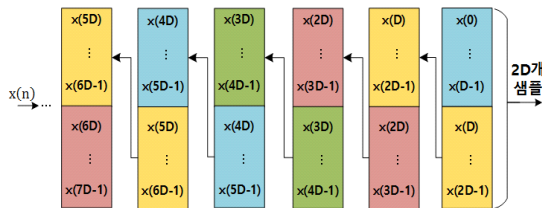


그림 21. D 개 샘플 중복 사용한 $2D$ 개 입력샘플
Fig. 21. $2D$ input samples with overlapped D samples.

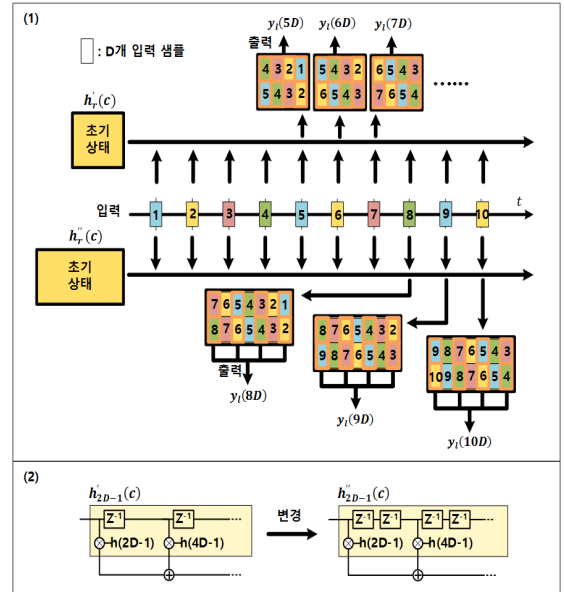


그림 22. (1) 저역통과필터($h'_r(c)$, $h''_r(c)$) 출력 비교, (2) 저역통과필터 구조 변경

Fig. 22. (1) Lowpass filter($h'_r(c)$, $h''_r(c)$) output comparison, (2) Changed the structure of the lowpass filter.

$y_l(9D)$, 그 다음의 출력 $y_l(10D)$ 도 연속된 입력 샘플을 사용함에 따라, DFT 연산의 입력으로 사용할 수 있다. 저역통과필터 출력 $y_l(nD)$ 를 입력으로 하는 DFT의 출력 $Y_m(nD)$ 은 식 (3)과 같다.

$$Y_m(nD) = e^{j2\pi(n-1)\frac{m}{2}} \left(\sum_{l=0}^{2D-1} y_l(nD) e^{-j2\pi\frac{m}{2D}l} \right) \quad (3)$$

식 (1) 및 식 (2)와 다르게 식 (3)의 위상은 m 과 n 에 따라 영향이 있으므로 식 (4)와 같이 풀어 쓸 수 있다.

$$Y_m(nD) = \begin{cases} \sum_{l=0}^{2D-1} y_l(nD) e^{-j2\pi\frac{m}{2D}l} & (m=0, 2, \dots) \\ \sum_{l=0}^{2D-1} y_l(nD) e^{-j2\pi\frac{m}{2D}l} & (m=1, 3, \dots) \end{cases} \quad (4)$$

식 (4)와 같이 다상 필터뱅크의 출력 $Y_m(nD)$ 은 m, n 의 일부 조건에서 $+2\pi$ 위상 변경이 발생하므로 출력 $Y_m(nD)$ 에 -2π 위상을 보상하는 연산을 추가해야 한다. 그림

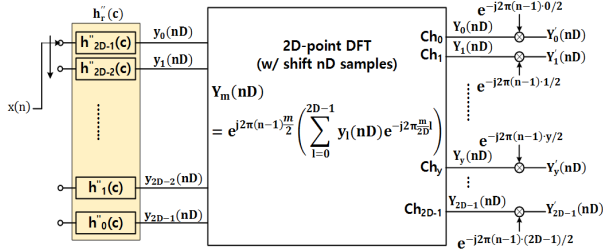


그림 23. 다상 필터뱅크 최종 구조

Fig. 23. Polyphase filter banks final structure.

22-(2)의 저역통과필터($h''_i(c)$), 식 (4), 위상 보상을 적용한 다상 필터뱅크의 최종 구조는 그림 23과 같다.

그림 23의 다상 필터뱅크 최종 구조를 도출하는 과정에서 식별한 변수는 고속 ADC의 f_s , IF 주파수 대역, 순시대역폭, 2D개, 채널대역폭, 사용 채널 수, 저역통과필터 계수 개수가 있으며, 3-2절의 초광대역 다상 필터뱅크 설계에 사용하였다.

3-2 초광대역 다상 필터뱅크 설계

본 절에서는 그림 23의 다상 필터뱅크를 적용하여 2.16 GHz 이상의 순시대역폭을 채널화할 수 있는 초광대역 다상 필터뱅크를 설계한다. 5 Gsps 이상의 샘플링 주파수로 동작하며 큰 동적범위 및 높은 수신감도를 확보할 수 있도록 TI사의 최신의 고속 ADC를 선정하였다. 그리고 f_s , $f_s/2$ 와 안티 에일리어싱 필터의 스키프트 특성(리플, 억압레벨)을 고려하여 IF 주파수 대역 및 순시대역폭을 결정하였다. 다음으로는 최소 펄스폭 신호 탐지 요구사항을 만족하도록 펄스의 상승 및 하강에지 기울기를 고려한 최소 채널대역폭을 산정하였다^[11]. 채널대역폭이 좁을수록 수신감도가 향상되고, 고밀도 신호 환경에 효과적이거나 다상 필터뱅크의 2D값이 커지고 채널 수가 증가하게 되어 구현 복잡도 및 FPGA에서 사용되는 자원이 많아지게 된다. 또한, 출력속도(f_s/D)가 느려지므로 출력 샘플에 대한 시간해상도 감소 및 짧은 펄스신호에 대한 신호제원 측정정확도가 낮아지게 된다. 따라서, 채널대역폭은 최소 채널대역폭보다 크고 그림 23 최종 구조에 대한 FPGA 구현 가능성, 신호제원 측정정확도가 만족하도록 결정하였다. 2D-point DFT는 연산량을 줄일 수 있는 FFT로 변경하고 point 수가 2의 승수가 되도록 하였으며, 채널₀~채널_{2D-1}

중에 1st 나이퀴스트 영역의 순시대역폭만큼에 해당하는 채널만 출력하였다.

표 1에 설계 변수와 2.16 GHz 순시대역폭 채널화를 위한 다상 필터뱅크 설계값을 제시한다. 표 1의 설계 값을 적용한 다상 필터뱅크의 채널화 시뮬레이션은 그림 24와 같다.

x 축은 정규화 주파수로 IF 주파수는 $(5,120 \times \text{정규화주파수})/2\pi$ 이고, 0~5.12 GHz 주파수 영역을 80 MHz 대역폭 필터로 64개의 중첩된 채널을 구성하며, 2.16 GHz 순시대역폭 채널화에는 64개 중 27개 채널만을 사용한다. 27개 채널은 1st 나이퀴스트 영역의 채널#03~채널#29 또는 2nd 나이퀴스트 영역의 채널#03~채널#29가 될 수 있으며, 본 논문에서는 채널#03~채널#29의 출력을 사용한다. 표 1 및 그림 24와 같이 설계한 다상 필터뱅크는 표 2의 모의 신호를 단일 입력 또는 동시에 입력하여 수신감도 및 동시 다중신호에 대한 수신 성능을 확인한다.

신호1 입력에 대한 다상 필터뱅크의 채널#3의 출력은 그림 25와 같이 2.16 GHz 순시대역폭이 채널대역폭 80 MHz로 좁아짐에 따른 신호처리 이득 14 dB가 반영되어 SNR이 46 dB로 채널별 출력신호의 노이즈가 낮아지는

표 1. 2.16 GHz 순시대역폭 채널화를 위한 다상 필터뱅크 설계

Table 1. Design of polyphase filter banks to channelize IBW 2.16 GHz.

설계 변수		설계값
샘플링 주파수	f_s GHz	5.12 GHz
IF 주파수 대역	$f_s/2 + \alpha$ GHz ~ $f_s - \alpha$ GHz	2.76 GHz ~ 4.92 GHz (α : 0.2 GHz)
순시대역폭(IBW)	$f_s/2 - 2\alpha$ GHz	2.16 GHz
2D	2의 승수	64개
채널대역폭	$f_s/(2D)$	80 MHz
FFT 출력 채널 수 사용 채널 수	2D개 IBW·2D/ f_s 개	64개 27개
저역통과필터 계수 개수(kD)	$f_{\text{stop}} / f_{\text{pass}}$ MHz 매틀랩 함수(firpm) 이용하여 계수 추출	40 / 80 MHz 512개 (64개 행, 8개 열)
출력 속도	f_s/D GHz	0.16 GHz
시간해상도	D/ f_s ns	6.25 ns

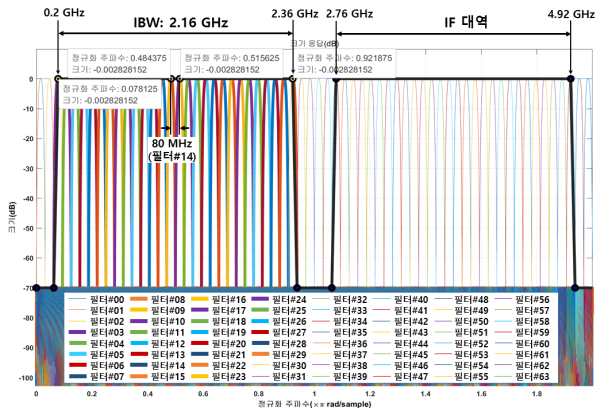


그림 24. 2.16 GHz 순시대역폭 채널화
Fig. 24. Channelization of IBW 2.16 GHz.

표 2. 입력 신호 제원
Table 2. Specification of input signals.

	신호1	신호2	신호3	신호4	신호5
Type	Pulse	Pulse	CW	Pulse	Pulse
IF Freq. (GHz)	4,920	4,000	3.920	3.840	2,760
PRI (μ s)	1	20	-	10	60
PW (μ s)	0.1	1	-	0.5	5
SNR (dB)	22	17	10	12	12
Power (dBm)	-10	-15	-22	-20	-20

결과를 얻을 수 있었다. 또한, 그림 26은 표 2의 신호1~신호5를 동시에 발생(그림 26-(1)~(3))하여 다상 필터뱅크에 입력하고 다상 필터뱅크 출력신호(I/Q)의 포락선(그림 26-(4))을 추출한 시뮬레이션 결과로 그림 26-(4)와 같이 입력한 동시 다중신호의 신호1은 채널#3, 신호2는 채널#14, 신호3은 채널#15, 신호5는 채널#29로 구분되어 출력됨을 확인할 수 있었다. 이 시뮬레이션 결과로 2.16 GHz 순시대역을 80 MHz 채널대역폭을 가진 27개 채널로 채널화함으로써 2.16 GHz 초광대역 수신이 가능함을 확인하였다.

IV. 초광대역 채널화 수신처리장치 제작 및 시험

4.1 초광대역 채널화 수신처리장치 제작

초광대역 채널화 수신처리장치는 그림 7의 2-경로 직

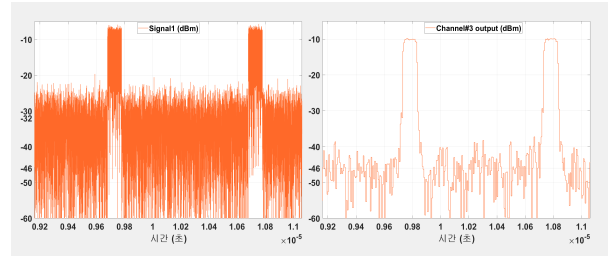


그림 25. 신호1 입력 및 다상 필터뱅크 채널#3 출력
Fig. 25. Input of signal#1 and output of polyphase filter banks channel#3.

접 샘플링 수신구조를 적용한 C~G 밴드 수신처리기와 그림 9의 1단계 변환 수퍼 헤테로다인 수신구조를 적용한 H~K 밴드 수신처리기로 구성된다. C~K 밴드를 여러 대역으로 나누어 동시에 수신하므로 대역별 수신장치가 병렬로 존재하며, 방향 탐지를 위해 각 대역은 다수의 수신 경로를 포함하는 등의 추가적인 요구사항이 반영되어 있다. 그림 27 및 그림 28은 C~G 밴드 및 H~K 밴드 수신처리기의 주요 구성품인 RF수신판과 신호처리판의 제작 형상을 보여준다.

4.2 초광대역 채널화 수신처리장치 시험

신호발생기를 사용하여 IF 신호를 생성하고 수신처리장치에 입력하였으며, 수신처리장치는 내부 수신신호를 탐지하고 신호세기를 측정하는 기능을 활용하여 입력신호에 대한 수신 성능을 확인하였다. 신호발생기와 수신처리장치간의 케이블 손실을 고려하여 수신처리장치 입력기준으로 원하는 신호세기가 입력되도록 제어하였으며, 장치 내부에서 발생하는 주파수별 신호세기 오차는 시험 전 보정값을 추출하여 보정데이터를 생성하고 측정한 신호세기에 반영되도록 하였다. 그림 27 및 그림 28의 C~G 밴드 및 H~K 밴드 수신처리기의 수신 성능(수신감도, 순시대역폭) 시험결과는 그림 29 및 그림 30과 같다.

동일한 주파수/신호세기의 펄스 100개를 입력하여 모든 펄스에 대해 측정된 신호세기, 주파수가 정확도 요구조건을 만족한 경우 그림 29 및 그림 30과 같이 파란색 점으로 수신 가능함을 나타내었다. C~G 밴드 수신처리기의 경우에는 2~6 GHz 주파수 범위를 탐색하기 위해 $f_{S1}=3,680$ MHz, $f_{S2}=5,120$ MHz를 사용하였으며, 순시대역

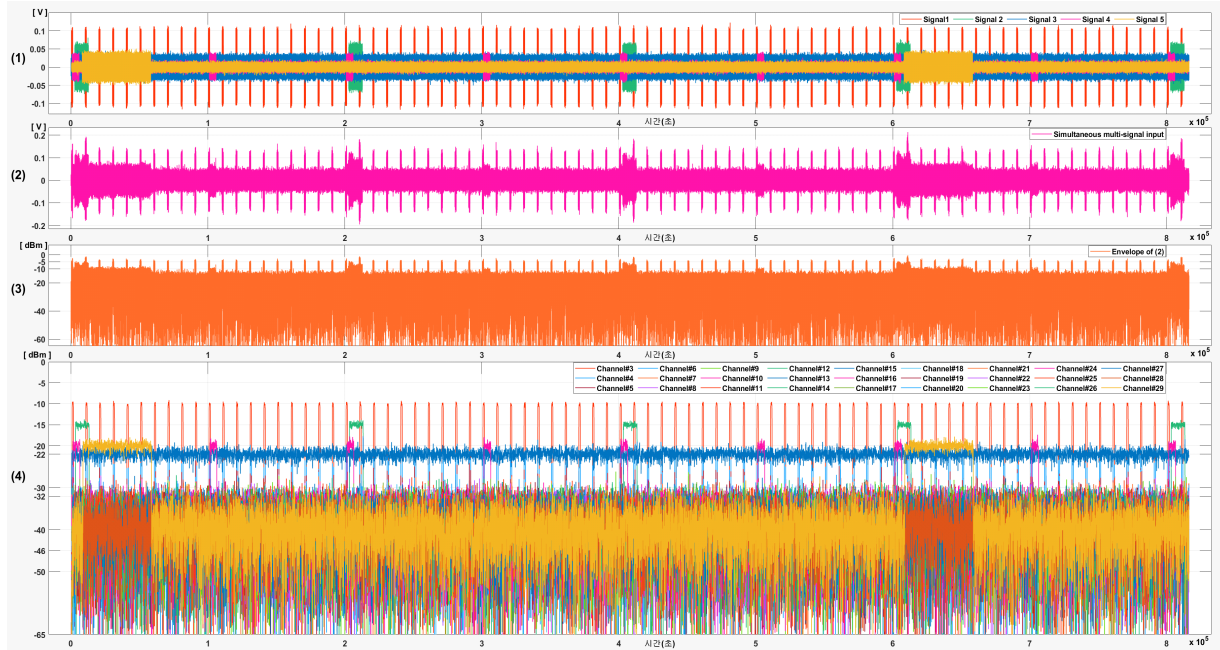


그림 26. (1) 신호#1~신호#5, (2) 동시 다중신호 입력, (3) (2)의 포락선(dBm), (4) 다상 필터뱅크 출력의 포락선(dBm)
Fig. 26. (1) Signal#1~signal#5, (2) Simultaneous multi-signal inputs, (3) Envelope (dBm) of (2), (4) Envelope (dBm) of polyphase filter banks output.

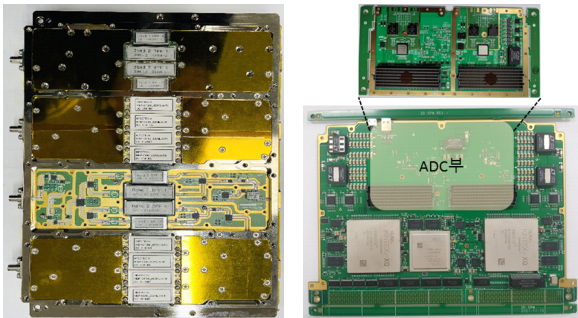


그림 27. C~G 밴드 수신처리기의 RF수신판 및 신호처리판
Fig. 27. RF receiving board and signal processing board of C~G band receiver.

폭1은 2~4.8 GHz, 순시대역폭2는 4.2~6 GHz로 설계함에 따라 그림 29와 같이 f_{s1} 과 f_{s2} 부근의 입력신호도 수신 가능함을 확인할 수 있었다. 또한, 수신감도는 -72 dBm으로 매우 낮은 신호까지 수신 가능함을 확인하였다. H~K 밴드 수신처리기의 경우에는 $f_s=5,120$ MHz인 하나의 ADC를 사용하였으며, 3-2절에 설계한 초광대역 다상 필터뱅크를 적용함에 따라 그림 30과 같이 순시대역폭 2.16

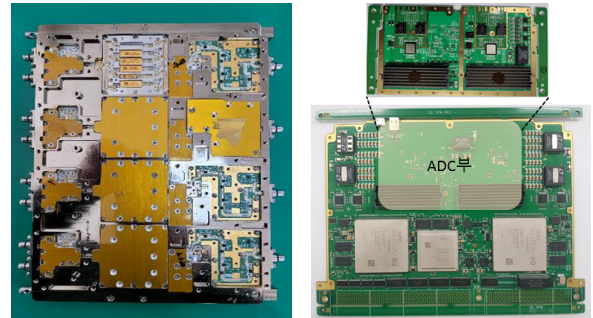


그림 28. H~K 밴드 수신처리기의 RF수신판 및 신호처리판
Fig. 28. RF receiving board and signal processing board of H~K band receiver.

GHz를 만족함을 확인할 수 있었다. 또한, 수신감도는 -74 dBm으로 매우 낮은 신호까지 수신 가능함을 확인하였다.

V. 결 론

전자전용 광대역 신호 수신에 있어 기존의 수퍼 헤테

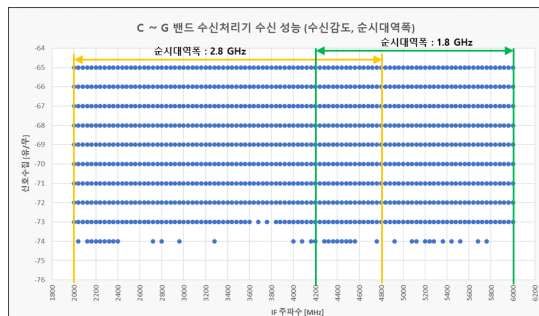


그림 29. C~G 밴드 수신처리기 시험결과
Fig. 29. Test results of C~G band receiver.

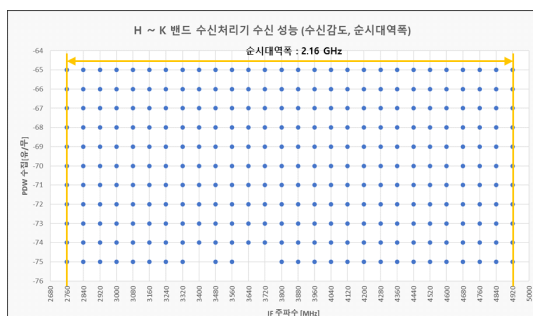


그림 30. H~K 밴드 수신처리기 시험결과
Fig. 30. Test results of H~K band receiver.

로다인 수신구조와 다위상 필터뱅크 채널화 구조의 조합은 탐색속도, 순시대역폭, 수신감도 요구 성능을 적절하게 만족하도록 설계가 가능하므로 현재에도 많이 적용되어지고 있다. 그러나 ADC 성능에 따라 순시대역폭 구현에 한계점이 있어 장치 소형화 및 운용 효율성 향상을 위한 순시대역폭 확장에 어려움이 있었으나, 최근 5G 이동통신에서의 수요로 ADC 성능도 급속도로 발전되고 있어 본 논문에서는 기존 구조를 기반으로 기존의 2.5 Gsps 보다 높은 최신의 5 Gsps 이상의 고속 ADC를 적용하여 순시대역폭을 1 GHz에서 1.8 GHz 이상으로 향상시켰다. 순시대역폭 확장으로 수 GHz 신호는 RF수신부가 매우 간단한 직접 샘플링 수신구조를 고려하는 것이 가능해졌고, 1.8 GHz 이상의 순시대역폭 요구 성능을 만족하기 위한 2-경로 직접 샘플링 수신구조를 제안하였다. 또한, 수십 GHz 신호 수신구조에서는 IF 주파수 대역을 상향할 수 있어 1단계 주파수 변환 수퍼 헤테로다인 수신구조를 적용 가능함에 따라 기존 수신구조보다 RF수신부를 소형화

할 수 있었다. 순시대역폭 확장과 동시에 수신감도 향상을 위해 채널화는 필수적이므로 본 논문에서는 전자전 지원 장비에 적합한 다위상 필터뱅크 설계를 위해 구현에 쉽게 적용이 가능하도록 설계 변수를 도출하고, 최종 구조를 제시하였다. 또한, 예시로 $f_s=5,120$ GHz에서의 2.16 GHz 순시대역폭을 채널화하는 다위상 필터뱅크를 설계하였고, 수신 성능을 시뮬레이션으로 확인하였다.

마지막으로 C~K 밴드를 사용하는 비통신 신호를 대상으로 하는 전자전 지원 장비의 초광대역 채널화 수신처리장치 개발에 있어, 상기에 제시한 구조를 적용하여 장치를 제작하였고, 신호발생기 신호주입 시험으로 넓은 순시대역폭 내의 낮은 레벨의 신호도 동시 수신할 수 있는 수신 성능을 확인하였다. ADC의 샘플링 주파수에 의존하는 제한점은 존재하나, ADC와 FPGA의 성능이 급격하게 향상되고 있어, 향후에도 보다 넓은 순시대역폭을 채널화하는 방법으로도 지속적으로 적용될 것임을 기대한다.

References

- [1] D. C. Schleher, *Introduction to Electronic Warfare*, Norwood, MA, Artech House, 1986.
- [2] D. L. Adamy, *Introduction to Electronic Warfare Modeling and Simulation*, Norwood, MA, Artech House, 2003.
- [3] D. L. Adamy, *EW 104: EW Against a New Generation of Threats*, Norwood, MA, Artech House, 2015.
- [4] A. E. Spezio, "Electronic warfare systems," *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 3, pp. 633-644, Mar. 2002.
- [5] S. W. Kim, J. H. Kim, and U. S. Jeong, "Development trend of digital receiving technology for electronic warfare," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 32, no. 2, pp. 21-27, Feb. 2021.
- [6] Texas Instruments, "ADC12DJ5200RF data sheet: RF-sampling 12-bit ADC with dual-channel 5.2 GSPS or single-channel 10.4 GSPS." Available: <https://www.ti.com/product/ADC12DJ5200RF>

- [7] M. Cha, H. Choi, S. Kim, B. Moon, J. Kim, and J. Lee, "Development of a digital receiver for detecting radar signals," *Journal of the KIMST*, vol. 22, no. 3, pp. 332-340, Jun. 2019.
- [8] F. J. Harris, C. Dick, and M. Rice, "Digital receivers and transmitters using polyphase filter banks for wireless communications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 4, pp. 1395-1412, Apr. 2003.

- [9] F. J. Harris, *Multirate Signal Processing for Communication Systems*, Upper Saddle River, NJ, Prentice Hall, 2004.
- [10] S. W. Kim, D. K. Lee, "System for polyphase filter bank for over-sampling," 2012. Available: <https://patents.google.com/patent/KR101265494B1/ko>
- [11] S. E. Lipsky, *Microwave Passive Direction Finding*, Raleigh, NC, SciTech, 2004.

최 대 규 [국방과학연구소/선임연구원]

<https://orcid.org/0000-0001-6357-5811>



2007년 2월: 울산대학교 전기전자공학부 (공학사)
 2009년 2월: 울산대학교 전기전자정보시스템공학과 (공학석사)
 2009년 2월~현재: 국방과학연구소 전자전 기술부서 선임연구원
 [주 관심분야] 전자전 시스템, 전자전 신호처리, 신호/방향탐지, 재밍

이 규 송 [국방과학연구소/수석연구원]

<https://orcid.org/0000-0003-1465-979X>



1989년 2월: 서울시립대학교 전자공학과 (공학사)
 1991년 2월: 서울시립대학교 전자공학과 (공학석사)
 2010년 2월: 충남대학교 전자공학과 (공학박사)
 1991년 2월~현재: 국방과학연구소 전자전 기술부서 수석연구원
 [주 관심분야] 전자전, 신호/방향탐지, 초고주파 및 신호처리

윤 창 열 [국방과학연구소/책임연구원]

<https://orcid.org/0000-0002-3691-2883>



2000년 2월: 한남대학교 컴퓨터공학과 (공학사)
 2002년 2월: 한남대학교 컴퓨터공학과 (공학석사)
 2006년 8월: 충남대학교 컴퓨터공학과 (공학박사)
 2006년 8월~2007년 7월: 충남대학교 정보기술SW사업단 박사후연구원
 2007년 8월~현재: 국방과학연구소 전자전 기술부서 책임연구원
 [주 관심분야] 전자전 시스템, 전자전 신호처리, 신호/방향탐지