

0.5- μ m GaAs pHEMT 공정을 이용한 4.4~5.0 GHz 저잡음 증폭기

Designing a 4.4~5.0 GHz Low-Noise Amplifier using 0.5- μ m GaAs pHEMT Technology

손정택 · 임정택 · 이재은 · 송재혁 · 김준형 · 백민석 · 이은규* · 김철영

Jeong-Taek Son · Jeong-Taek Lim · Jae-Eun Lee · Jae-Hyeok Song ·
Joon-Hyung Kim · Min-Seok Baek · Eun-Gyu Lee* · Choul-Young Kim

요 약

본 논문은 0.5- μ m GaAs pHEMT 공정을 이용한 4.4~5.0 GHz 저잡음 증폭기(LNA)의 설계에 대해 논의한다. 트랜지스터의 고유한 잡음 원천과 기생적 특성으로 인한 최적 잡음과 입력 임피던스 불일치를 해결하기 위해 트랜지스터 크기는 최적화되었으며 추가적인 단 간 손실 부품 없이 높은 입력 및 잡음 최적 임피던스 일치로 낮은 잡음지수를 달성한다. 설계된 저잡음 증폭기는 4.4~5.0 GHz 범위에서 48 mW의 전력을 소모하며 23 dB 이상의 이득과 0.9 dB 미만의 낮은 잡음지수를 보여준다. 제작된 회로의 크기는 1.8×1.4 mm²이다.

Abstract

This paper discusses the design of a 4.4~5.0 GHz low-noise amplifier (LNA) using a 0.5- μ m GaAs pHEMT process. The transistor size was optimized to address the mismatch between optimal noise and input impedance owing to the unique noise sources of the transistor and parasitic characteristics, achieving a low noise figure with high input and noise optimal impedance matching without additional inter-stage loss components. The designed low-noise amplifier consumed 48 mW of power in the 4.4~5.0 GHz range, demonstrating more than 23 dB of gain and a low noise figure of less than 0.9 dB. The size of the fabricated circuit was 1.8×1.4 mm².

Key words: GaAs pHEMT, Low Noise Amplifier, 5G NR

I. 서 론

Sub-6GHz 4.4~5 GHz 주파수 대역은 5G의 Coverage에 더 넓은 영역을 커버하기 위해 활용될 수 있다. 5G 무선 통신에서 안테나와 RF 모듈까지의 공간적 거리가 증가하기 때문에 손실과 추가 잡음이 있을 수 있고 시스템의 잡음지수를 줄이기 위해 안테나 뒤에 높은 이득과 낮은 잡음지수를 갖는 저잡음 증폭기가 요구된다^[1]. 이러한 요구

사항을 충족하기 위해 GaAs 화합물 반도체 기술을 기반으로 하는 저잡음 증폭기는 잡음지수에서 높은 성능을 가지고 있어 많은 연구가 이루어져 왔다^{[2]~[6]}. 본 논문에서는 0.5 μ m GaAs pHEMT 공정을 이용하여 4.7 GHz 대역에서 입력 임피던스와 잡음 최적 임피던스 일치를 통해 낮은 잡음지수를 달성하는 저잡음 증폭기를 제안한다. 설계된 저잡음 증폭기는 0.7 dB 이하의 낮은 NF 및 23 dB 이상의 높은 이득을 달성한다.

「이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. NRF-2021R1A4A1032580).」
충남대학교 전자공학과(Department of Electronic Engineering, Chungnam National University)

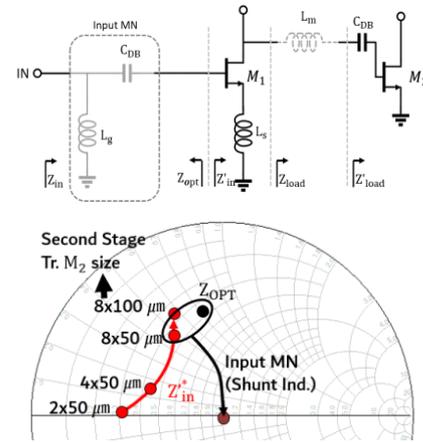
*알에프피아(rfpia)

· Manuscript received October 24, 2023 ; Revised November 2, 2023 ; Accepted December 12, 2023. (ID No. 20231024-090)

· Corresponding Author: Choul-Young Kim (e-mail: cykim@cnu.ac.kr)

II. 저잡음 증폭기 설계

저잡음 증폭기의 입력단 매칭은 최적화된 잡음 및 입력 임피던스 매칭으로 설계된다. 이러한 매칭을 위해 일반적으로 CS 구조 증폭기에서 소스 퇴화 인덕터와 게이트-소스 캐패시터를 이용한 잡음 및 입력 동시 매칭 기술이 주로 이용되고 있다^{[7],[8]}. 잡음 및 입력 동시 매칭 기술은 입력 매칭 네트워크의 적용 이전에 입력 임피던스의 conjugate와 잡음 최적 임피던스를 일치시킨 후 입력 매칭 네트워크를 통해 두 임피던스를 동시에 매칭하는 방법이 적용된다. 그러나 게이트의 독립적인 잡음 소스와 트랜지스터의 피드백 기생 게이트-드레인 커패시터스로 인해 입력 임피던스와 잡음 최적 임피던스 간의 일치하는 소스 퇴화 인덕터와 게이트-소스 캐패시터만으로 원하는 정도의 조절이 어렵고 이런 문제를 해결하는 것은 더 낮은 잡음지수를 달성하기 위해 필요하다. 부하 임피던스 조정을 통한 wideband 매칭과 perfect simultaneous noise and input impedance matching(SNIM) 매칭 기술 등이 발표되어왔다^[9]. 본 논문에서는 임피던스 불일치를 해결하고 낮은 잡음지수를 달성하기 위해 각 단의 트랜지스터 크기를 최적화하였으며 그림 1은 두 번째 단의 트랜지스터 크기에 따른 잡음 최적화를 나타낸다. 임피던스 일치 최적화를 위해서 단간 인덕터를 이용해 부하 임피던스를 조정할 수 있으며 그림 1에 임피던스 일치를 위해 필요한 단간 인덕터 L_m 을 나타내었다. 두 번째 단 트랜지스터 크기가 커질수록 별도의 단 간 네트워크 없이 높은 수준의 임피던스 일치를 보인다. 두 번째 단 트랜지스터 크기 최적화한 후 입력 매칭 네트워크로 높은 수준의 50 Ω 동시 매칭이 달성된다. 추가적으로 충분히 큰 크기로 최적화된 두 번째 단 트랜지스터의 사용은 실제적으로 손실이 있는 단 간 인덕터의 사용없이 잡음을 개선하게 되며 트랜지스터 크기에 따른 최소 잡음지수는 그림 1의 표에 나타내었다. 첫 번째 단 트랜지스터의 크기는 가장 낮은 잡음지수를 위해 0.425 dB의 최소 잡음지수를 갖는 8×50 μm으로 결정되었으며, 두 번째 단의 트랜지스터 크기는 전력 소모를 고려한 적정 크기에서 단 간 손실이 있는 매칭 소자 없이 임피던스 일치와 낮은 잡음지수를 달성하도록 8×50 μm으로 결정되었다. 그림 2는 저잡음 증폭기의 전



| 1 st Tr. | 2 nd Tr. | Z'_{Load} | L_m | Z_{Load} | NF_{min} |
|---------------------|---------------------|---------------|--------|--------------|------------|
| | 2×50 μm | 7.60-j102.7 Ω | 3.8 nH | 7.5+j8.5 Ω | 0.743 dB |
| 8×50 μm | 4×50 μm | 5.50-j44.2 Ω | 1.8 nH | 5.5+j9 Ω | 0.721 dB |
| | 8×50 μm | 3.94-j10.1 Ω | 0 nH | 3.94-j10.1 Ω | 0.702 dB |

그림 1. 두 번째 단 트랜지스터 게이트 폭에 따른 입력 임피던스와 잡음 최적 임피던스 (첫 번째 단은 고정된 트랜지스터 크기: 8×50 μm)

Fig. 1. Input impedance and optimal noise impedance depending on the gate width of the second-stage transistor (with a fixed transistor size in the first stage: 8×50 μm).

체 회로도를 나타낸다. 높은 이득과 낮은 잡음지수를 위해 CS 2단 구성되며 1.2 V의 V_{DD} 에서 48 mW의 전력을 소모한다.

III. 시뮬레이션 및 측정 결과

그림 3은 0.5-μm GaAs pHEMT 공정을 이용하여 제작

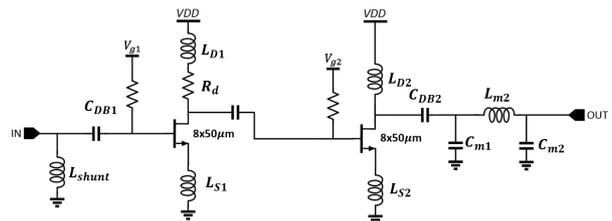


그림 2. 저잡음 증폭기 회로도
Fig. 2. Schematic of low noise amplifier.

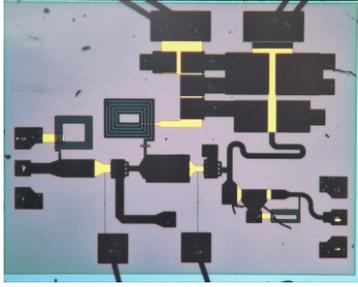


그림 3. 제작된 저잡음 증폭기의 현미경 사진
Fig. 3. Photomicrograph of low noise amplifier.

한 칩 사진을 나타내며, 제작된 회로의 크기는 $1.8 \times 1.4 \text{ mm}^2$ 이다. 그림 4은 제작된 저잡음 증폭기의 S-파라미터 시뮬레이션 결과 및 측정값이다. 4.4~5.0 GHz 대역에서 S_{11} 및 S_{22} 는 -10 dB 이하로 측정되었으며, S_{21} 은 23 dB 이상으로 측정되었다. 그림 5는 시뮬레이션 및 측정된 잡음

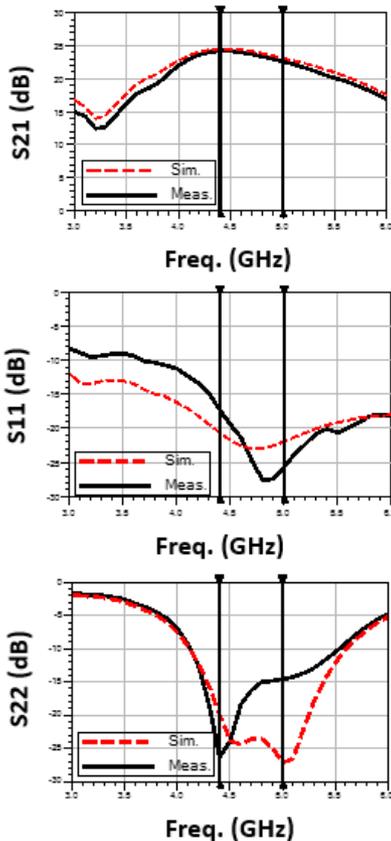


그림 4. 이득 및 매칭 시뮬레이션 & 측정 결과
Fig. 4. Gain simulation & measurement results.

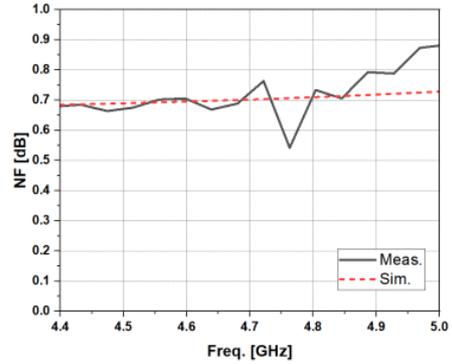


그림 5. 잡음지수 시뮬레이션 & 측정 결과
Fig. 5. Noise figure simulation & measurement results.

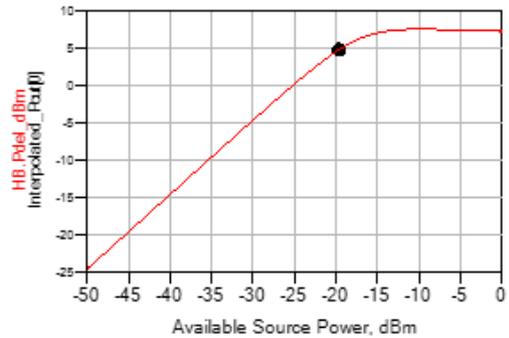


그림 6. 4.7 GHz 입력 $P_{1\text{dB}}$ 시뮬레이션 결과
Fig. 6. Input $P_{1\text{dB}}$ simulation results at 4.7 GHz.

음지수이며 4.4~5.0 GHz 대역에서 0.9 dB 이하의 측정된 잡음지수를 보인다. 그림 6은 4.7 GHz에서 시뮬레이션된 입력 $P_{1\text{dB}}$ 를 나타낸다. 시뮬레이션 입력 $P_{1\text{dB}}$ 는 -19.8 dBm 이다. 표 1은 저잡음 증폭기의 성능을 요약한 결과와 비슷한 대역의 $0.5\text{-}\mu\text{m}$ GaAs pHEMT 저잡음 증폭기와의 비교를 나타내었다.

IV. 결론

본 논문에서 임피던스 불일치를 줄이기 위한 트랜지스터 최적화를 이용하여 저잡음 증폭기를 설계하였다. 제안된 저잡음 증폭기는 GaAs $0.5\text{-}\mu\text{m}$ 공정을 이용하여 설계 및 제작되었으며 트랜지스터 최적화를 통해 4.4~5.0 GHz 대역에서 23 dB 이상의 이득 및 0.9 dB 이하의 낮은 잡음지수를 달성한다.

표 1. 저잡음 증폭기 성능 요약 및 비교

Table 1. LNA performance comparison with previous works.

| | Ref. [4] | Ref. [5] | Ref. [6] | This work |
|-------------------|-------------------|-------------------|-------------------|-------------------|
| Frequency (GHz) | 3.5 | 2.5~5.0 | 1~4 | 4.4~5.0 |
| Gain (dB) | 16.7 | 17 | 23 | 24 |
| Noise figure (dB) | 1.8 | 2.4 | 2.3 | <0.9 |
| S_{11} (dB) | <-10 | <-10 | <-10 | <-10 |
| S_{22} (dB) | <-10 | <-10 | <-10 | <-10 |
| I_{P1dB} (dBm) | -10 | -13.7 | - | -19.8* |
| Pdc (mW) | 11.4 | 16.5 | 250 | 48 |
| Tech. | 0.5- μ m GaAs |

*Simulation

References

[1] C. Li, R. Wolf, M. Boenke, and A. Joseph, "Power constrained SiGe/SOI sub 6GHz LNA design analysis and comparison," in *2016 13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, Hangzhou, China, 2016, pp. 134-137.

[2] D. W. Wu, J. S. Wei, C. Y. Su, R. M. Parkhurst, S. L. Fu, and S. S. Chang, et al., "An enhancement-mode pHEMT for single-supply power amplifiers," 1998. Available: <https://www.hpl.hp.com/hpjournal/98feb/feb98a5.htm>

[3] C. Fu, C. Kuo, and S. S. Taylor, "Low-noise amplifier design with dual reactive feedback for broadband simultaneous noise and impedance matching," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, no.

4, pp. 795 - 806, Apr. 2010.

[4] Y. C. Hsu, P. H. Wu, C. C. Chen, J. Y. Li, S. F. Lee, and W. J. Ho et al., "Single-chip RF front-end MMIC using InGaAs E/DpHEMT for 3.5 GHz WiMAX applications," in *2007 European Microwave Integrated Circuit Conference*, Munich, Germany, 2007, pp. 419-422.

[5] Y. Peng, X. Wang, F. Ma, and W. Sui, "A low power S-band receiver using GaAs pHEMT technology," in *2011 International Symposium on Integrated Circuits, Singapore*, 2011, pp. 83-86.

[6] H. Song, S. Yu, Y. Guo, and S. Hu, "A 1 - 4 GHz low noise amplifier in 0.5- μ m E-Mode InGaAs pHEMT technology," in *2017 7th IEEE International Symposium on Microwave, Antenna, Propagation, and EMC Technologies (MAPE)*, Xi'an, China, 2017.

[7] T. K. Nguyen, C. H. Kim, G. J. Ihm, M. S. Yang, and S. G. Lee, "CMOS low-noise amplifier design optimization techniques," *IEEE Transactions on Microwave Theory and Techniques*, vol. 52, no. 5, pp. 1433-1442, May 2004.

[8] Z. Nie, J. Bao, P. Lin, et al., "A novel simultaneous noise and input VSWR matching technique for broadband LNA," *Journal of Electronics*, vol. 27, pp. 446 - 452, 2010.

[9] J. T. Son, H. W. Choi, and C. Y. Kim, "Sub-6 GHz LNA using two-stage SNIM with series interstage inductor based on 0.5- μ m GaAs E-pHEMT technology," *IEEE Microwave and Wireless Technology Letters*, vol. 33, no. 9, pp. 1301-1304, Sep. 2023.

손 정택 [충남대학교/석·박사통합과정]

<https://orcid.org/0000-0003-4794-5813>



2021년 2월: 충남대학교 전자공학과 (공학사)
 2021년 3월~현재: 충남대학교 전자공학과 석·박사통합과정
 [주 관심분야] mm-Wave 회로 설계, 능동 위상 배열 시스템 등

임 정택 [충남대학교/박사과정]

<https://orcid.org/0000-0002-2698-6942>



2016년 2월: 충남대학교 전자공학과 (공학사)
 2018년 2월: 충남대학교 전자공학과 (공학석사)
 2018년 3월~현재: 충남대학교 전자공학과 박사과정
 [주 관심분야] mm-Wave 회로 설계, 능동 위상 배열 시스템 등

이 재 은 [충남대학교/박사과정]

<https://orcid.org/0000-0001-6616-6503>



2018년 2월: 충남대학교 전자공학과 (공학사)
2018년 2월: 충남대학교 전자공학과 (공학석사)
2018년 3월~현재: 충남대학교 전자공학과 박사과정
[주 관심분야] 위상 배열 시스템, RF/mmWave

집적 회로 및 시스템

백 민 석 [충남대학교/석·박사통합과정]

<https://orcid.org/0000-0002-3651-4498>



2022년 2월: 충남대학교 전자공학과 (공학사)
2022년 9월~현재: 충남대학교 전자공학과 석·박사통합과정
[주 관심분야] mm-Wave 회로 설계, 능동 위상 배열 시스템 등

송 재 혁 [충남대학교/박사과정]

<https://orcid.org/0000-0003-3736-2753>



2016년 2월: 충남대학교 전자공학과 (공학사)
2022년 2월: 충남대학교 전자공학과 (공학석사)
2022년 3월~현재: 충남대학교 전자공학과 박사과정
[주 관심분야] mm-Wave 회로 설계, 능동 위상 배열 시스템 등

위상 배열 시스템 등

이 은 규 [알에프피아/연구원]

<https://orcid.org/0000-0002-3835-2226>



22004년 2월: 충남대학교 전자공학과 (공학사)
2006년 2월: 포항공과대학교 전자공학과 (공학석사)
2009년 2월: 삼성전자 연구원
2017년 2월: 충남대학교 전자공학과 (공학박사)

2018년 3월~현재: 알에프피아 연구원

[주 관심분야] 근거리 레이더 및 위상배열 응용을 위한 MMIC 및 시스템 등

김 준 형 [충남대학교/석·박사통합과정]

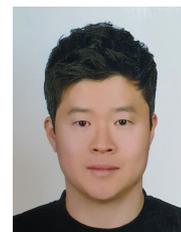
<https://orcid.org/0000-0002-6873-9034>



2022년 2월: 충남대학교 전자공학과 (공학사)
2022년 3월~현재: 충남대학교 전자공학과 석·박사통합과정
[주 관심분야] mm-Wave 회로 설계, 능동 위상 배열 시스템 등

김 철 영 [충남대학교/교수]

<https://orcid.org/0000-0002-5532-7399>



2002년 2월: 충남대학교 전자공학과 (공학사)
2004년 2월: 한국과학기술원 전자공학과 (공학석사)
2008년 2월: 한국과학기술원 전자공학과 (공학박사)
2011년 2월: University of California, San Diego(UCSD) 전기 및 컴퓨터공학과 (Post-Doctorate)

2011년 3월~현재: 충남대학교 전자공학과 교수

[주 관심분야] 근거리 레이더 및 위상배열 응용을 위한 MMIC 및 시스템 등