

Out-Phased Current Combining 방식과 Complex Combining Load 방식을 이용한 3.7~4.0 GHz 대역 GaN-HEMT Doherty 전력증폭기

3.7~4.0 GHz GaN-HEMT Doherty Power Amplifier Using Out-Phased Current Combining and Complex Combining Load Methods

최재혁 · 진일비 · 김성형 · 송재성 · 이윤정 · 임서균 · 양영구

Jaehyuk Choi · Yifei Chen · Seong-Hyoung Kim · Jaeseong Song ·
Yoonjung Lee · Seogyun Lim · Youngoo Yang

요 약

본 논문은 OCC(out-phased current combining)와 CCL(complex combining load)을 함께 적용하여 확장된 OBO(output power back-off)를 가지는 DPA(Doherty power amplifier)를 제안한다. OCC나 CCL을 단독으로 적용할 경우 carrier 증폭기의 출력 임피던스가 하나의 값으로 결정된다. 반면, OCC와 CCL을 함께 적용하면 carrier 증폭기의 출력 임피던스를 선택할 수 있게 되어 회로 설계에 자유도가 생긴다. 제작된 DPA는 carrier 증폭기의 load impedance 변조비를 기존의 2배에서 5배로 확장하여 확장된 back-off 영역을 얻었다. 제작된 DPA는 3.7~4.0 GHz에서 CW 신호를 이용하여 43.0~44.3 dBm의 출력전력, 8.0~8.5 dB의 gain을 얻었다. Peak power에서 72.5~77.9 %의 DE, 9 dB OBO에서 41.5~48.4 %의 DE를 얻었다. 7.8 dB의 PAPR(peak-to-average power ratio)을 갖는 5G NR 100 MHz 64-QAM OFDM 신호를 이용하여 8.2~8.7 dB의 gain과 9 dB OBO에서 45.6~50.0 %의 DE, -22.0~-26.6 dBc의 ACLR을 얻었다.

Abstract

This paper proposes a Doherty power amplifier (DPA) with an extended output power back-off (OBO) using out-phased current combining (OCC) and complex combining load (CCL) methods. When OCC or CCL is applied independently, the output impedance of the carrier amplifier is determined to be a single value. However, when OCC and CCL are applied together, the output impedance of the carrier amplifier can be selected, which provides freedom in the circuit design. The implemented DPA achieves an extended back-off region by expanding the load impedance modulation ratio of the carrier amplifier by five times between the low-power and peak-power levels. The implemented DPA achieves 43.0~44.3 dBm output power and 8.0~8.5 dB gain using a CW signal at 3.7~4.0 GHz. It achieves 72.5~77.9 % DE at peak power and 41.5~48.4 % DE at 9 dB OBO. Furthermore, it achieves 8.2~8.7 dB of gain, 45.6~50.0 % DE at 9 dB OBO, and an ACLR of -22.0~-26.6 dBc using a 100 MHz 64-QAM 5G NR modulated signal with a peak-to-average power ratio (PAPR) of 7.8 dB.

Key words: Out-Phased Current Combining, Complex Combining Load, Doherty Power Amplifier, Extended Output Back-Off

「이 연구는 2023학년도 산업통상자원부 및 산업기술평가관리원(KEIT) 연구비 지원에 의한 연구임(20017971).」

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

· Manuscript received September 27, 2023 ; Revised October 16, 2023 ; Accepted October 24, 2023. (ID No. 20230927-078)

· Corresponding Author: Youngoo Yang (e-mail: yang09@skku.edu)

I. 서 론

무선통신이 발전함에 따라 변조 신호의 높은 PAPR (peak-to-average power ratio)로 인해 전력증폭기의 평균 출력전력에서의 효율이 중요해지고 있다. 따라서 output power back-off 영역에서의 효율을 높이기 위해 DPA (Doherty power amplifier)가 사용되고 있다^{[1]~[17]}. 기본적인 구조의 DPA는 6 dB의 OBO(output power back-off)를 가진다. PAPR이 증가함에 따라 더 확장된 OBO에서 증폭기 효율의 개선이 필요하다. 더 확장된 OBO를 가지기 위해 asymmetric DPA, CCL(complex combining load), VS(virtual stub), OCC(out-phased current combining)와 같은 연구들이 진행되고 있다^{[3]~[17]}.

그 중 OCC는 높은 출력 전력에서 전력 결합 node에서 carrier 증폭기와 peaking 증폭기의 출력 전류의 위상 차이를 조절함으로써 OBO 영역을 확장하는 방식이다. CCL은 증폭기 부하 임피던스에 허수부 성분을 도입함으로써 OBO 영역을 확장하는 방식이다.

본 논문에서는 Cree사의 GaN-HEMT 소자인 CG2H40010F를 사용하여 DPA를 설계하였다. OBO 영역을 확장하기 위해 OCC와 CCL을 함께 적용하여 전력 결합 node에서의 impedance가 허수부를 가지며, carrier 증폭기와 peaking 증폭기의 전류가 위상 차이를 가지도록 설계하였다.

II. 제안하는 Doherty 전력증폭기

9 dB의 OBO를 얻기 위한 설계 파라미터들은 참고문헌 [14]의 수식을 이용하여 구할 수 있다. 먼저, 식 (1)에서 k 는 carrier amp의 low power와 peak power에서의 전력비다.

$$k = \frac{P_{C,peak}}{P_{C,low}}. \quad (1)$$

Carrier 증폭기의 low power와 peak power에서의 전력비를 이용하여 symmetric DPA의 OBO를 식 (2)와 같이 구할 수 있다.

$$OBO(dB) = 10 \times \log(2k). \quad (2)$$

Coventional DPA의 k 는 2로 6 dB의 OBO를 가진다. OBO를 확장하기 위해선, 더 큰 k 를 가져야 한다.

$$Q_L = \frac{B_L}{G_L}, \quad (3)$$

$$Q_{PO} = \frac{B_{PO}}{G_L}. \quad (4)$$

G_L 과 B_L 은 그림 1에서 admittance Y_L 의 conductance와 susceptance이다. B_{PO} 는 low power에서 peaking amplifier의 admittance인 Y_{PO} 의 susceptance이다. Q_L 과 Q_{PO} 는 각각 combining load와 peaking amplifier에 대한 설계 파라미터로 식 (3) 및 식 (4)와 같이 정의한다.

$$Y_{C,peak} = G_L \left(\frac{1}{\beta+1} + j(Q_L + Q_{PO} + ab) \right), \quad (5)$$

$$Y_{P,peak} = G_L \left(\frac{\beta}{\beta+1} - j(Q_{PO} + ab) \right). \quad (6)$$

$Y_{C,peak}$ 와 $Y_{P,peak}$ 는 그림 1에서 peak power에서의 carrier 증폭기와 peaking 증폭기의 load admittance로 식 (5) 및 식 (6)과 같다.

$$Y_{C,low} = G_L(1 + j(Q_L + Q_{PO})), \quad (7)$$

$$Y_{PO} = jG_L Q_{PO}. \quad (8)$$

$Y_{C,low}$ 는 그림 1에서 low power에서 carrier 증폭기의 load admittance로 식 (7)과 같다. Y_{PO} 는 그림 1에서 low power에서 carrier 증폭기의 load admittance로 식 (7)과 같다.

$$\frac{Im(Z_{C,peak})}{Re(Z_{C,peak})} = \frac{Im(Z_{P,peak})}{Re(Z_{P,peak})}, \quad (9)$$

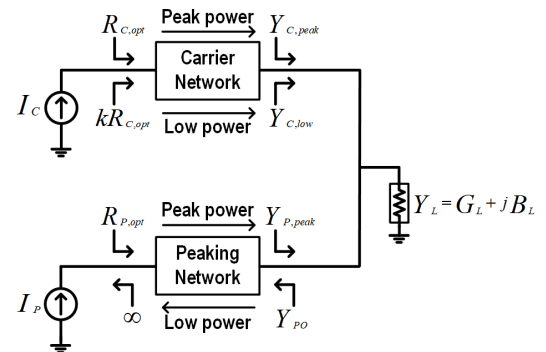


그림 1. 단순화한 DPA의 출력 네트워크
Fig. 1. Simplified load network of DPA.

$$\text{Im}(Z_L) = 0, w/o CCL. \quad (10)$$

OCC를 사용할 경우 식 (9)와 같이 peak power에서 $Z_{C,peak}$ 와 $Z_{P,peak}$ 의 실수부와 허수부의 비율이 같아야 한다^[16]. CCL을 사용할 경우와 식 (10)와 같이 Z_L 이 허수부를 가지게 된다^[9].

$$c = \sqrt{-\frac{5}{4} + \frac{1}{2}\left(k + \frac{1}{k}\right)}. \quad (11)$$

c 가 식 (11)과 같이 정의될 때 식 (5)~식 (8)이 식 (9) 및 식 (10)을 만족시키기 위해선 Q_L 과 Q_{PO} 가 표 1의 값을 가진다. R_L 이 결정되면 OCC나 CCL을 단독 사용하는 경우 Q_L 과 Q_{PO} 가 하나의 값으로 결정되어 출력 네트워크의 임피던스들이 각각 하나의 값으로 결정된다. 이 경우 결정된 임피던스들을 이용하여 설계할 경우 네트워크 설계가 복잡해질 수 있다. 하지만, OCC와 CCL을 함께 사용할 경우 Q_L 을 특정 범위 내에서 적절하게 선택할 수 있어 네

표 1. 설계 파라미터

Table 1. Design parameters.

Combination	Q_L	Q_{PO}
OCC	0	0
CCL	$-2c$	0
OCC+CCL	$(-3c, 0)$	0

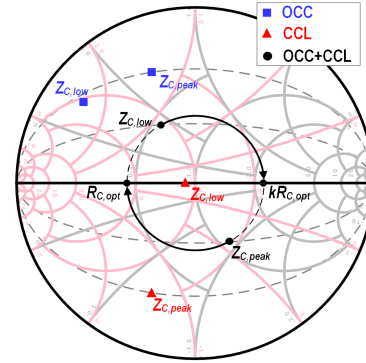


그림 2. 낮은 전력과 피크 전력에서 carrier 증폭기 출력 네트워크의 임피던스($\sqrt{R_{C,opt} \times kR_{C,opt}}$)에 의해 정규화)

Fig. 2. Load impedances of carrier amplifier in low power and peak power (normalized by $\sqrt{R_{C,opt} \times kR_{C,opt}}$).

트워크 설계의 자유도가 생기게 된다.

그림 2는 표 1의 설계 파라미터를 이용하여 low power와 peak power에서의 carrier 증폭기의 load impedance를 smith chart에 표현한 것이다. OCC와 CCL을 함께 사용할 경우 네트워크 설계를 고려하며 적절한 Q_L 을 선택하여 작은 Q circle 안에서 carrier network의 임피던스 변환이 되도록 할 수 있다.

그림 3에서 $R_{C,opt}$ 와 $R_{P,opt}$ 는 load-pull simulation을 통해 찾은 carrier 증폭기와 peaking 증폭기의 최적 impedance이

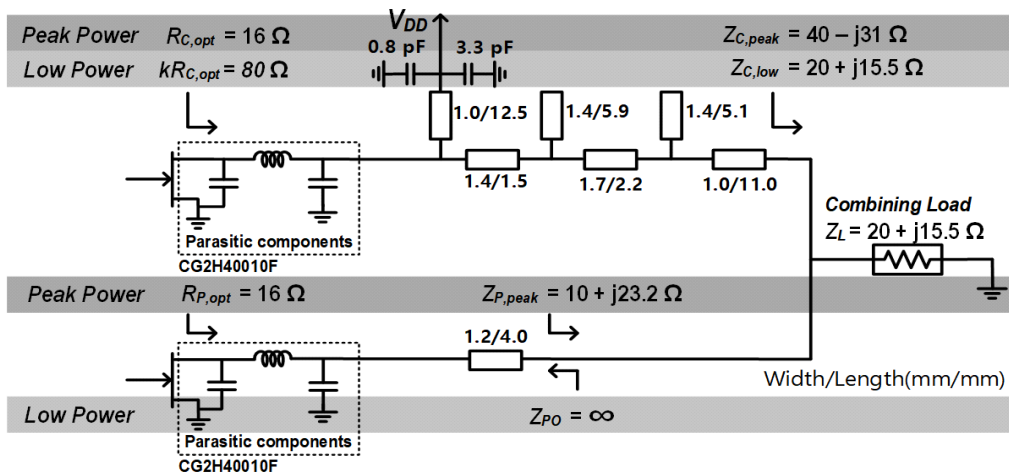


그림 3. 제안하는 DPA의 출력 네트워크

Fig. 3. Load network of the proposed DPA.

다. Load-pull simulation을 통해 $R_{C,opt}$ 와 $R_{P,opt}$ 를 각각 16 Ω 으로 결정하였다. 식 (2)를 이용하여 10 dB의 확장된 OBO를 얻기 위해 k 의 값은 5로 선택하였다. Q_L 을 $-0.667j$ 로 설정하여 low power와 peak power에서의 load impedance가 작은 Q circle 안에 있도록 하였다. 이때 carrier 증폭기와 peaking 증폭기의 low power와 peak power에서의 load impedance를 그림 3과 같이 구하였다.

III. 설계 및 측정

Carrier 증폭기의 경우 low power에서 $Z_{C,low}$ 에서 $R_{C,opt}$ 로 impedance matching이 되고, peak power에서 $Z_{C,peak}$ 에서 $kR_{C,opt}$ 로 impedance matching되는 carrier load network를 설계하였다.

Peaking 증폭기의 경우 $Z_{P,peak}$ 에서 $R_{P,opt}$ 로 impedance matching이 되고 동시에 Z_{PO} 가 open(∞)이 되는 peaking load network를 설계하였다.

그림 4는 본 논문에서 설계한 DPA의 전체 회로도와 제작된 DPA를 보여준다. Carrier 증폭기와 peaking 증폭기 모두 Cree의 GaN-HEMT CG2H40010F를 사용하였다. 입력 신호는 50 Ω 에서 30 Ω 으로 임피던스 변환하는 Wilkinson Power Divider를 통해 동일하게 분배된다. Carrier 증폭기와 peaking 증폭기 모두 같은 구조의 입력단의 회로

를 사용하였으며, 입력 회로 앞 단에 offset line을 사용하여 출력 전류의 위상 차이를 조절하였다.

그림 5는 제작된 DPA의 사진이다. PCB는 Rogers RO4350B가 사용되었다. 전체 회로의 크기는 7.1×6.0 cm²이다. Carrier 증폭기와 peaking 증폭기의 gate voltage는 각각 -2.9 V와 -7 V가 사용되었고, drain voltage는 하나의 drain bias 회로를 통해 28 V가 인가되었다.

그림 6은 3.7~4.0 GHz 대역에서 CW 신호를 이용하여 측정한 제작된 DPA의 gain과 DE를 나타낸다. 제작된

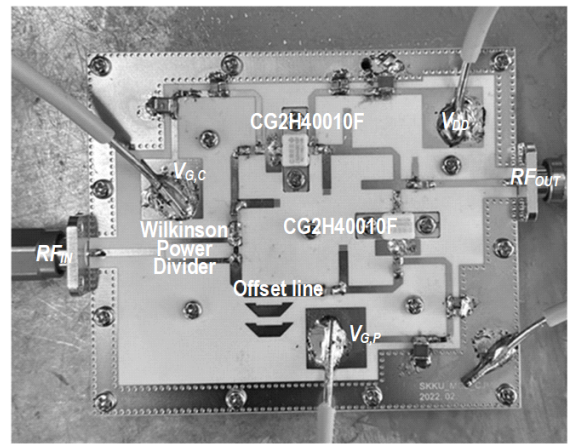


그림 5. 제작된 DPA의 사진

Fig. 5. Photograph of the implemented DPA.

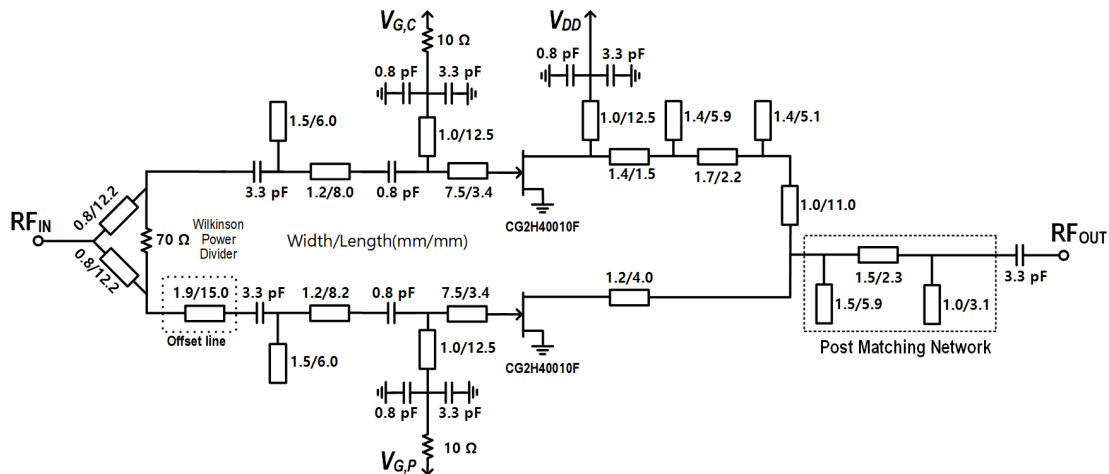


그림 4. 설계한 DPA의 전체 회로도

Fig. 4. Overall schematic of the designed DPA.

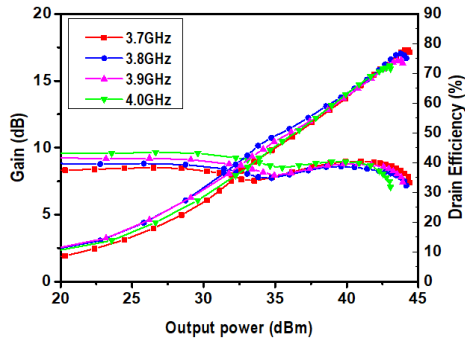


그림 6. 3.7~4.0 GHz 대역에서 CW 신호를 이용하여 측정한 제작된 DPA의 성능

Fig. 6. Measured performances using a CW signal for the frequency band 3.7~4.0 GHz.

DPA는 43.0~44.3 dBm의 peak power, 8.0~8.5 dB의 gain을 얻었다. 또한, peak power에서 72.5~77.9 %의 DE, 9 dB OBO에서 41.5~48.4 %의 DE를 얻었다.

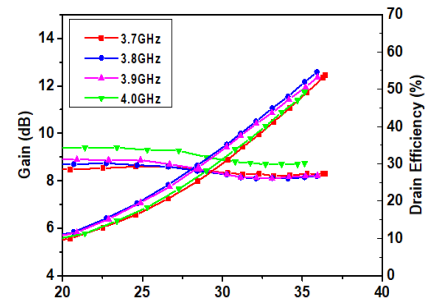
그림 7은 7.8 dB의 PAPR을 갖는 5G NR 100 MHz 64-QAM OFDM 신호를 이용하여 측정한 제작된 DPA의 gain, DE와 ACLR 성능을 나타낸다. 제작된 DPA는 3.7~4.0 GHz 대역에서 8.2~8.7 dB의 gain과 9 dB OBO에서 45.6~50.0 %의 DE를 얻었고, 9 dB OBO에서 -22.0~-26.6 dBc의 ACLR을 얻었다.

그림 8은 중심주파수 3.85 GHz, 9 dB OBO에서 앞서 사용한 5G NR 신호를 이용하여 측정한 DPD(digital pre-distortion) 기법을 적용하기 전과 후의 스펙트럼이다. DPD 기법 적용 이후 ACLR은 -24 dBc에서 -49 dBc로 개선되었다.

표 2에 제안된 DPA의 측정 결과와 OCC나 CCL을 단독으로 적용한 이전의 연구 결과들의 성능비교를 정리하였다. 제안된 전력증폭기가 이전의 연구 결과들과 비교하여 넓은 주파수 대역에서 확장된 OBO를 가진다.

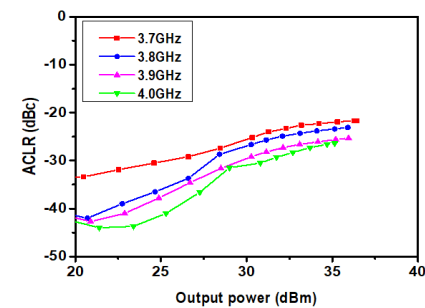
IV. 결 론

본 논문에서는 OCC와 CCL을 함께 적용하여 확장된 OBO를 가지는 DPA를 설계하였다. OCC나 CCL을 단독으로 적용할 경우 출력 네트워크의 임피던스들이 각각 하나의 값으로 결정된다. 반면, OCC와 CCL을 함께 적용



(a) Gain과 DE

(a) Gain and DE



(b) ACLR

(b) ACLR

그림 7. 7.8 dB의 PAPR을 갖는 5G NR 100 MHz 64-QAM OFDM 신호를 이용하여 측정한 제작된 DPA의 성능

Fig. 7. Measured performances of the implemented DPA using a 5G NR 100 MHz 64-QAM OFDM with a PAPR of 7.8 dB.

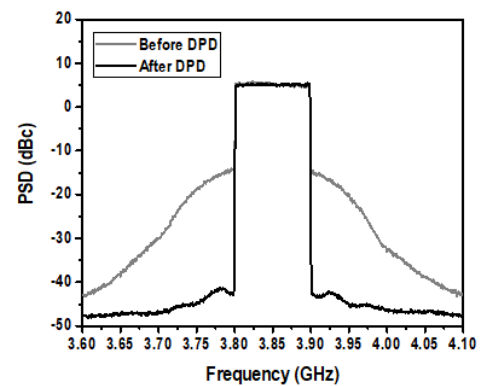


그림 8. 5G NR 신호를 이용하여 측정한 DPD 전/후 스펙트럼

Fig. 8. Measured spectrum using the 5G NR signal before and after DPD.

표 2. 이전에 보고된 DPA와 성능 비교

Table 2. Performance comparison with the previous works.

Ref.	Freq. (GHz)	Topology	P_{sat} (dBm)	DE_{sat} (%)	OBO (dB)	DE_{OBO} (%)
[8]	1.68	CCL	43.5	73.9	9.5	56.4
[11]	3.5~3.6	CCL	42~43	60~64.7	7~8	48~48.5
[16]	2.1~2.3	OCC	43.6	69~71	9	40~54
[17]	3.3	OCC	42.3	76.9	9	59.6
This work	3.7~4.0	OCC+CCL	43.0~44.3	72.5~77.9	9	41.5~48.4

하면 출력 네트워크의 임피던스들을 선택할 수 있게 되어 회로 설계에 자유도가 생긴다. 제작된 DPA는 3.7~4.0 GHz에서 CW를 이용하여 43.0~44.3 dBm의 출력전력, 8.0~8.5 dB의 gain을 얻었다. Peak power에서 72.5~77.9 %의 DE, 9 dB OBO에서 41.5~48.4 %의 DE를 얻었다. 7.8 dB의 PAPR을 갖는 5G NR 100 MHz 64-QAM OFDM 신호를 이용하여 8.2~8.7 dB의 gain과 9 dB OBO에서 45.6~50.0 %의 DE, -22.0~-26.6 dBc의 ACLR을 얻었다.

References

- [1] B. Kim, J. Kim, I. Kim, and J. Cha, "The Doherty power amplifier," *IEEE Microwave Magazine*, vol. 7, no. 5, pp. 42-50, Oct. 2006.
- [2] Y. Yang, J. Cha, B. Shin, and B. Kim, "A fully matched N-way Doherty amplifier with optimized linearity," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 3, pp. 986-993, Mar. 2003.
- [3] J. Kim, J. Cha, I. Kim, and B. Kim, "Optimum operation of asymmetrical-cells-based linear Doherty power amplifiers-uneven power drive and power matching," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 5, pp. 1802-1809, May 2005.
- [4] Y. S. Lee, M. W. Lee, and Y. H. Jeong, "Unequal-cells-based GaN HEMT Doherty amplifier with an extended efficiency range," *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 8, pp. 536-538, Aug. 2008.
- [5] J. Son, I. Kim, J. Moon, J. Lee, and B. Kim, "A highly efficient asymmetric Doherty power amplifier with a new output combining circuit," in *2011 IEEE International Conference on Microwaves, Communications, Antennas and Electronic Systems(COMCAS 2011)*, Tel Aviv, Nov. 2011, pp. 1-4.
- [6] J. Kim, B. Fehri, S. Boumaiza, and J. Wood, "Power efficiency and linearity enhancement using optimized asymmetrical Doherty power amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, no. 2, pp. 425-434, Feb. 2011.
- [7] J. Pang, S. He, Z. Dai, C. Huang, J. Peng, and F. You, "Design of a post-matching asymmetric Doherty power amplifier for broadband applications," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 1, pp. 52-54, Jan. 2016.
- [8] W. Choi, H. Kang, H. Oh, K. C. Hwang, K. Y. Lee, and Y. Yang, "Doherty power amplifier based on asymmetric cells with complex combining load," *IEEE Transactions on Microwave Theory and Techniques*, vol. 69, no. 4, pp. 2336-2344, Apr. 2021.
- [9] X. H. Fang, K. K. M. Cheng, "Extension of high-efficiency range of Doherty amplifier by using complex combining load," *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 9, pp. 2038-2047, Sep. 2014.
- [10] X. H. Fang, K. K. M. Cheng, "Broadband, wide efficiency range, Doherty amplifier design using frequency-varying complex combining load," in *2015 IEEE MTT-S International Microwave Symposium*, Phoenix, AZ,

May 2015, pp. 1-4.

- [11] J. Kim, W. Choi, Y. Choi, H. Oh, and Y. Yang, "3.5 GHz high-efficiency asymmetric Doherty power amplifier design using a complex combining load," *Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 32, no. 8, pp. 708-716, Aug. 2021.
- [12] S. Honda, S. Sakata, Y. Komatsuzaki, and S. Shinjo, "Efficiency enhancement of GaN Doherty power amplifier at large power back-off with virtual short stub technique," in *2019 IEEE Asia-Pacific Microwave Conference (APMC)*, Singapore, Dec. 2019, pp. 294-296.
- [13] K. Horiguchi, S. Ishizaka, T. Okano, M. Nakayama, H. Ryoji, and Y. Isota, et al., "Efficiency enhancement of 250W Doherty power amplifiers using virtual open stub techniques for UHF-band OFDM applications," in *2006 IEEE MTT-S International Microwave Symposium Digest*, San Francisco, CA, Jun. 2006, pp. 1356-1359.
- [14] Y. Chen, W. Choi, J. Shin, H. Jeon, S. Bae, and Y. C. Choi, et al., "Generalized expression and design method of modified load networks for Doherty power amplifier with extended back-off range," *IEEE Access*, vol. 10, pp. 77487-77497, Jul. 2022.
- [15] Y. C. Choi, W. Choi, H. Oh, Y. Chen, J. Shin, and H. Jeon, et al., "Doherty power amplifier with extended high-efficiency range based on the utilization of multiple output power back-off parameters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 70, no. 4, pp. 2258-2270, Apr. 2022.
- [16] M. R. Hasin, J. Kitchen, "Exploiting phase for extended efficiency range in symmetrical Doherty power amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 67, no. 8, pp. 3455-3463, Aug. 2019.
- [17] H. Jung, H. Oh, Y. Chen, W. Choi, Y. Choi, and S. Woo, et al., "3.3 GHz Doherty power amplifier having a high-efficiency at 9 dB back-off based on outphasing load networks," *Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 32, no. 11, pp. 971-979, Nov. 2021.

최 재 혁 [성균관대학교/석사과정]

<https://orcid.org/0000-0002-4835-0400>



2022년 2월: 성균관대학교 전자전기공학부 (공학사)
 2022년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
 [주 관심분야] RF/mm-Wave Power Amplifier, Linearization and Efficiency Enhancement Techniques

진 일 비 [성균관대학교/석·박사통합과정]

<https://orcid.org/0000-0003-2030-3351>



2018년 8월: 고려대학교 전자공학과 (공학사)
 2018년 9월~현재: 성균관대학교 전자전기컴퓨터공학과 석·박사통합과정
 [주 관심분야] RF/mm-Wave Power Amplifier, Linearization and Efficiency Enhancement Techniques

김 성 형 [성균관대학교/석사과정]

<https://orcid.org/0009-0004-4973-4360>



2022년 2월: 성균관대학교 전자전기공학과 (공학사)
2022년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
[주 관심분야] RF/mm-Wave Power Amplifier, Linearization and Efficiency Enhancement Techniques

임 서 군 [성균관대학교/석사과정]

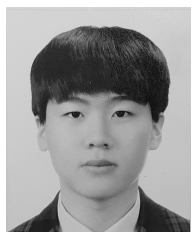
<https://orcid.org/0009-0009-1456-6009>



2020년 2월: 성균관대학교 전자전기공학부(공학사)
2023년 9월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
[주 관심분야] RF/mm-Wave Power Amplifier, Low Noise Amplifier, Linearization and Efficiency Enhancement Techniques

송 재 성 [성균관대학교/석사과정]

<https://orcid.org/0009-0009-4095-7687>



2023년 2월: 수원대학교 전자공학과 (공학사)
2023년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
[주 관심분야] RF/mm-Wave Power Amplifier, Linearization and Efficiency Enhancement Techniques

양 영 구 [성균관대학교/교수]

<https://orcid.org/0000-0003-3463-0687>



1997년 2월: 한양대학교 전자공학과 (공학사)
2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)
2002년 3월~2002년 7월: 포항공과대학교 전자전기공학과 박사후 연구원
2002년 8월~2005년 2월: Skyworks Solutions Inc., Senior Electronic Engineer

2005년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 교수
[주 관심분야] 초고주파 회로설계, 무선통신 송/수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구

이 윤 정 [성균관대학교/석·박사통합과정]

<https://orcid.org/0009-0001-7373-6065>



2023년 2월: 경희대학교 전자공학과 (공학사)
2023년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사·박사통합과정
[주 관심분야] RF Power Amplifier, Rectifier, MMIC, Wireless Power Transfer System