

광대역 위성통신탑재체용 디지털신호처리장치(DPE) 설계

Design of Digital Processing Equipment (DPE) for Flexible Broadband Communication System (FBCS)

심의석 · 김민혁 · 허금숙 · 김병학* · 진광자* · 유경덕

Eusuk Shim · Min-Hyuk Kim · Geum-Sook Heo · Byung-Hak Kim* · Gwang-Ja Jin* · Kyung-Deok Yu

요 약

정지궤도 공공복합 통신위성(천리안 3호)의 플렉서블 광대역 통신시스템(FBCS: Flexible Broadband Communication System)은 디지털과 아날로그 하이브리드 타입으로 구성되며, 이 중 디지털 신호는 디지털신호처리장치(DPE: digital Processing equipment)를 통해 처리된다. 디지털 신호처리 장치 설계에는 transparent, regenerative 방식의 신호 중계 기능 뿐 아니라, payload와의 인터페이스, 지상의 SOC(Spacecraft Operation Center), POC(Payload Operation Center)에서의 운용을 위한 TC/TM과 운용 방안 설계가 포함된다. 본 논문에서는 천리안 3호에 탑재되는 DPE의 개발 현황을 공유하고, 각 기능에 대한 EM(engineering model) 설계 결과를 기반으로 정지궤도급 DPE 설계 시 고려되어야 할 주요 기능에 대해 설명한다.

Abstract

The flexible broadband communication system (FBCS) of the GEO-KOMSAT-3 satellite consists of a digital and analog hybrid type, and the digital signal is processed using digital processing equipment (DPE). Digital signal processing device design includes transparent and regenerative signal relay functions and interfaces with payload, TC/TM, and operation plan design for operation in the ground Spacecraft Operation Center (SOC) and Payload Operation Center (POC). In this study, the development status of the DPE mounted on GEO-KOMSAT-3 is discussed, and the main functions to be considered when designing a geostationary DPE based on the actual design for each function are explained.

Key words: DPE, FBCS, Regenerative, GEO-KOMSAT-3, Communication Satellite

I. 서 론

천리안 3호 개발사업은 재난안전 대응을 위해 국가차원에서 전략적으로 위성통신망 구축을 목표로 과학기술

정보통신부와 환경부, 국토부, 해양경찰청의 출연으로 2027년 12월까지 정지궤도통신위성 1기와 이를 지원하는 지상시스템을 개발하는 사업이다^[1]. 천리안 3호의 위성 플렉서블 광대역 통신탑재체(FBCS)는 디지털과 아날로

□

「본 연구는 과학기술정보통신부의 재원으로 정보통신기획평가원(IITP)의 지원을 받아 수행된 연구임(No. 2021-0-01715, 정지궤도 공공복합통신위성 통신탑재체 개발).」

LIG넥스원 위성체계연구소(Satellite System Lab., LIGNex1)

*한국전자통신연구원 위성탑재체 연구실(Satellite Payload Research Section, ETRI)

· Manuscript received July 28, 2023 ; Revised August 25, 2023 ; Accepted September 4, 2023. (ID No. 20230728-007S)

· Corresponding Author: Eusuk Shim (e-mail: eusuk.shim@lignex1.com)

그 하이브리드 타입으로 구성하여 남한 지역 및 해양 지역의 경우 디지털과 아날로그 채널 모두 접근이 가능하도록 설계되어 있다. 이 중 디지털 신호는 디지털신호처리장치(DPE: digital process equipment)라는 디지털 중계장치를 통해 처리된다.

디지털 중계 방식은 신호 변복조 처리 유무에 따라 regenerative와 transparent 방식으로 나뉠 수 있다. 일반적으로 디지털 중계기에서는 사용자 단위의 부채널화를 기반으로 효율적으로 위성채널 자원의 관리가 가능하다. 또한 부채널 단위의 이득 제어, 재밍 신호의 제거 등을 통해 신호 품질을 개선할 수 있다^[2]. 추가적으로 regenerative의 경우 상/하향링크의 변조방식을 변경하여 링크마진의 개선이 가능하며, 라우팅 기능을 통해 동적인 통신망 구성을 지원할 수 있다^{[3],[4]}. DPE는 DVB-RCS2^[5] 기반의 상향링크 복조기와 DVB-S2X^[6] 기반의 하향링크 변조기를 사용하여 regenerative 중계를 지원한다. 또한 FPGA를 사용하여 SDR(software define radio) 기능이 지원 가능하다. 이를 통해 필요시 펌웨어를 업데이트하여 새로운 위성통신 기능을 시험할 수 있다.

DPE는 지상의 SOC(Spacecraft Operation Center)뿐만 아니라 regenerative 기능을 활용하여 POC(Payload Operation Center)를 통해 직접 제어될 수 있다. POC에서 regenerative 대역폭의 일부를 TC(telecommand)/TM(telemetry) 대역으로 할당하여 DPE에서 해당 신호를 직접 송수신 가능하다. 따라서 TC/TM 링크를 2중화 하여 SOC를 통한 제어는 저속 링크(LSL: low speed link)로, POC는 DPE와 직접적으로 신호를 송수신하는 고속 링크(HSL: high speed link)를 통해 DPE를 제어할 수 있다. 이때 각 링크는 별도의 프로토콜을 사용하여 통신한다.

천리안 3호의 경우 해외에서 개발하는 DPE-F와 국내 개발의 DPE-L을 탑재한다. 본 논문의 II 장에서는 DPE-F/L의 HW 설계 사항과 주요 기능의 차이점에 대해 알아본다. III 장에서는 DPE-L EM(engineering model) 설계를 기준으로 주요 기능의 구현 사항을 확인한다. IV 장에서는 DPE 운용 설계를 제어 및 감시 신호 송수신 방법, 사용자 데이터 처리 방법 관점에서 설명 하고 마지막으로 5장에서 결론을 내린다.

II. DPE HW 설계

그림 1은 DPE의 HW 블록 구조를 보여준다. DPE에 입력된 RF 신호는 ADC 이후 부채널화기를 통해 부채널별로 할당된다. 부채널은 DPE 내부에 저장된 configuration 정보에 따라 transparent 신호의 경우 스위치 모듈로 전달되어 부채널의 운용 정보에 따라 채널 내 혹은 채널 간 이동 혹은 복제를 수행한다. 이 과정에서 해당 신호는 ALC(automatic level control)/FGM(fixed gain mode)와 같은 이득제어, 잡음제거 등과 같은 신호처리를 수행한다. Regenerative 부채널의 경우 부채널화기에서 모뎀 기능으로 전달되게 된다. 모뎀에서는 입력된 주파수 단위의 신호를 시간축으로 돌려 동기화 등의 기능을 수행하고 이 후 변조를 수행하게 된다. 이 때 regenerative의 일부 대역은 HSL로 할당되어 TC/TM 메시지를 CPU로 전달하는 역할을 수행한다. sFPGA(support FPGA)는 우주환경에서 FPGA의 성능을 유지하기 위해 주기적으로 blind scrubbing을 수행한다. 또한 DPE-L에서는 모듈 간 TC/TM 송수신, 메모리 인터페이스 등을 추가적으로 지원한다.

그림 2는 DPE의 형상이다. DPE-F/L 두 장치 모두 중심

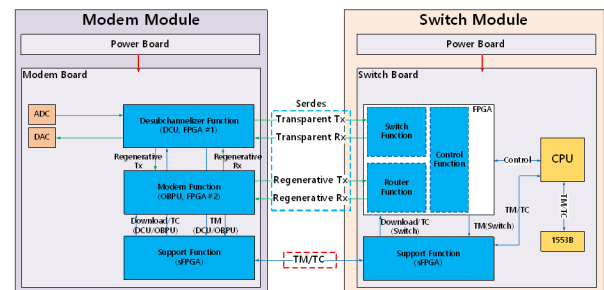


그림 1. DPE 기능 블록도
Fig. 1. DPE functional block diagram.

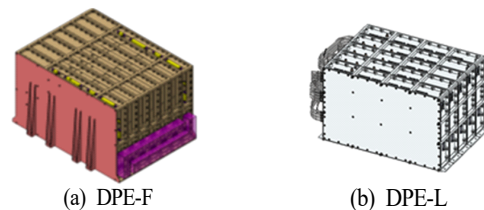


그림 2. DPE 형상
Fig. 2. DPE configuration diagram.

표 1. DPE 주요 규격

Table 1. Major requirements of DPE-F and DPE-L.

Requirement	DPE-F	DPE-L
Center freq.	3.195 GHz	3.615 GHz
I/O ports	4 (4:2 or 4:3 cold red.)	3 (3:2 cold red.)
Bandwidth	550 MHz / per port	100 MHz / per port
Regenerative uplink	DVB-RCS2 (Up to 8.192 Msymbol/s)	DVB-RCS2 (up to 4.096 Msymbol/s)
Regenerative downlink	DVB-S2X (up to 16.384 Msymbol/s)	DVB-S2X (up to 8.192 Msymbol/s)

부에 모뎀 모듈 양 측면에 스위치 모듈을 배치하였다. 각 모듈 간 연결은 케이블을 통해 수행된다.

표 1은 DPE-F와 DPE-L의 주요 규격을 보여준다.

DPE-F와 DPE-L은 각각 3.195 GHz, 3.615GHz 중심주파로 동작한다. 각 장치는 스위치 모듈과 모뎀 모듈로 구성되어 있는데, RF 인터페이스를 수행하는 모뎀모듈의 경우 DPE-F는 4:2(2 active+2 redundancy) 혹은 4:3으로 동작하며 DPE-L은 3:2로 동작한다. 각 redundancy는 미사용 시 전원은 인가되지 않는다. DPE의 주요 기능 중 regenerative와 관련해서는 상향 DVB-RCS2, 하향 DVB-S2X를 사용하며 최대 전송률은 표 1과 같다.

III. DPE-L EM 구현

DPE-L은 현재 그림 3과 같이 EM이 제작되어 주요 기능에 대한 시험 중에 있다. DPE-L은 EM의 시험이 완료된

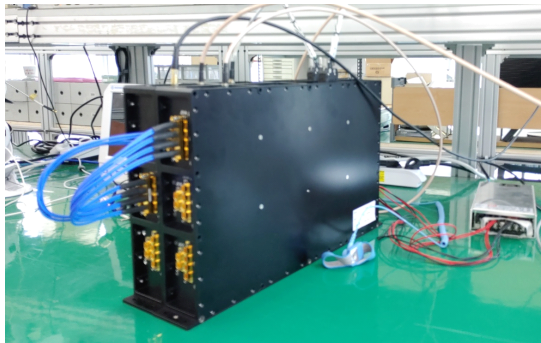


그림 3. DPE-L EM 시험 형상

Fig. 3. Test configuration of DPE-L EM.

후 EM 설계를 기준으로 EQM(engineering qualification model)을 제작하여 인증 과정을 수행할 예정이다.

본 장에서는 주요 인터페이스와 신호처리 방법에 대한 설계 내용과 DPE 운용 상태에 따른 동작 방안에 대해 간략히 기술한다.

3-1 모듈 간 고속 인터페이스

DPE-L의 경우 단순 스위칭만을 수행하는 transparent 신호와 MPLS 기반의 routing을 위한 regenerative 신호는 각각 모뎀 모듈의 DCU와 OBPU에서 생성된다. 각 FPGA에서 생성된 신호는 스위치 모듈로 전달되어 부채널별로 할당된 운용을 위한 configuration에 따라 개별적으로 신호처리와 스위칭(transparent)/라우팅(regenerative)을 수행한다. 모듈 간 데이터 전송은 backplane을 적용하는 대신 외부 고속 케이블을 사용하며 인터페이스는 xilinx FPGA에서 제공하는 GTH를 사용하여 구현하였다.

입력 대역폭 100 MHz 기준으로 transparent 신호를 전송하기 위한 전송속도는 약 8.3 Gbps로 송수신에 각 2개의 Lane을 사용한다. 반면 regenerative 송수신을 위한 필요 전송속도는 약 2.6 Gbps로 송수신에 각 1개의 lane이 필요하다.

GTH에 대한 기본적인 기능 검증은 xilinx에서 제공하는 iBERT(integrated Bit Error Ratio Tester)를 사용하는데, 그림 4와 같이 DPE-L 포트에 대해 정상 송수신됨을 검증하였다. 모뎀 모듈과 스위치 모듈 간 통신에는 자체적인 프로토콜을 적용하여 모듈 간 고속 통신을 지원한다.

3-2 RF 인터페이스

모뎀 모듈은 3.55 GHz와 3.68 GHz 주파수를 중심으로

Name	TX	RX	Bits	Status	Errors	BER	BERT Reset	TX Pattern	RX Pattern	TX P
Ungrouped Links (0)										
Link Group 0 (2)							Reset	Fast Clk	Fast Clk	0.00
Link 1	MGT_X1Y2TX	MGT_X1Y2RX	7.035E10	8.296 Gbps	0E0	1.422E-11	Reset	Fast Clk	Fast Clk	0.00
Link 2	MGT_X1Y3TX	MGT_X1Y3RX	7.035E10	8.296 Gbps	0E0	1.421E-11	Reset	Fast Clk	Fast Clk	0.00
Link Group 3 (1)							Reset	Fast Clk	Fast Clk	0.00
Link 9	MGT_X1Y3TX	MGT_X1Y3RX	1.986E10	2.000 Gbps	0E0	5.035E-11	Reset	Fast Clk	Fast Clk	0.00

그림 4. DPE-L 고속인터페이스 iBERT 테스트 결과

Fig. 4. DPE-L iBERT test result about GTH interface.

100 MHz 대역의 신호를 수신받아 처리 가능하여야 한다. 중심주파수는 지상국에서의 제어에 따라 변경 가능하다. 입력신호 처리를 위한 ADC는 TI사의 ADC12DJ3200 NWE를 사용하였다. 입력 레벨은 최대 -14.5 dBm/100 MHz로 PAPR 고려 시 최대 -2.5 dBm의 입력이 가능하기 때문에 RF 입력단은 -2.5 dBm 신호가 ADC 입력단에서 최대값을 갖도록 설계되었다. ADC와 FPGA는 JESD2 04B 인터페이스를 통해서 디지털 신호를 주고 받는다.

RF 출력신호도 입력신호와 동일하게 2개의 중심 주파수를 변경하면서 출력 처리 가능하도록 설계되었다. E2V 사 EV12DS130BG를 사용하였으며 FPGA에서 DUC를 구현하였다. DAC 입력 신호는 12 bit differential로 4개의 parallel한 채널을 통해 입력되며 4:1 MUX와 NRTZ (non return to zero) 모드를 사용하여 신호를 출력한다. 신호레벨이 최대 -14.5 dBm/100 MHz가 가능하도록 RF단 설계에 Amp를 반영하였다.

3-3 디지털 신호처리

DPE-L에서는 스위치모듈의 FPGA에서 전달받은 transparent 신호를 사용하여 신호처리를 수행한다. 수행하는 기능은 입출력 신호레벨 측정, 이득 제어, 간섭 신호 제거와 비콘신호 생성 기능이다.

DPE에서는 FGM과 ALC 2개의 이득 제어 방식을 지원한다. 100 MHz 입력대역은 최대 64개의 부채널로 나뉘어 사용이 가능하다. 이를 지원하기 위해 동시에 최대 64 부채널이 FGM 모드로 동작 가능하다. ALC의 경우 16개의 부채널을 동시에 제어할 수 있다. 입력된 신호는 EB (elementary bandwidth)라고 불리는 128 kHz의 최소 사용 대역폭 단위로 입력레벨을 측정하고, 부채널 단위로 지상에서 전달받은 configuration 정보에 따라 요청된 이득제어를 수행한다. FGM은 -10 dB부터 30 dB까지 0.5 dB 단위로 제어 가능하며 ALC는 최소 -78 dBm부터 -34.5 dBm까지 조절 가능하도록 설계되었다. 그림 5 및 그림 6은 각각 동일 입력 신호에서 64개의 FGM을 처리한 결과와 16개의 ALC를 처리한 결과를 보여준다.

시험 결과를 통해 ALC와 FGM이 부채널 단위로 잘 제어됨을 확인하였다.

신호처리를 정상적으로 수행하기 위해서는 단순 기능

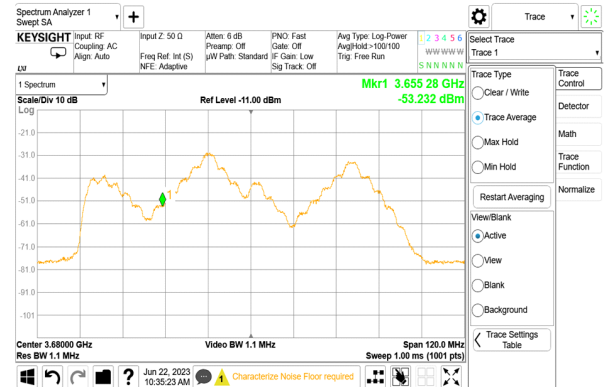


그림 5. 64 부채널 제어 FGM 시험 결과

Fig. 5. Test result of FGM with controlling 64 subchannel.

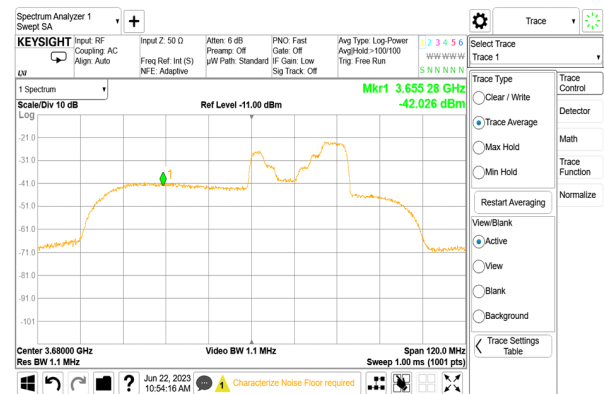


그림 6. 16 부채널 제어 ALC 시험 결과

Fig. 6. Test result of ALC with controlling 16 subchannel.

정의뿐 아니라 지상국과 어떤 정보를 송수신할지 그리고 신호처리의 기본 단위를 어떻게 설정할지 등에 대한 TC 설계와의 정합성이 중요하다. 부채널 단위로 정보를 처리할 경우 DPE에서의 신호처리 과정이 복잡해지는 반면 TC 송수신에 필요한 채널 대역폭이 감소한다. 반대로 EB 단위로 지상국에서 관리할 경우 DPE에서의 제어는 간단해지지만 TC 송수신에 필요한 대역폭이 증가되는 단점이 있다.

3-4 DPE 상태(State) 정의

그림 7은 DPE-L에서 정의한 상태 천이도를 나타낸다. 상태에 대한 정의와 동작은 스위치 모듈의 프로세서가 제어하게 된다. 각 동작 상태에 따라 모뎀 모듈과 스위치

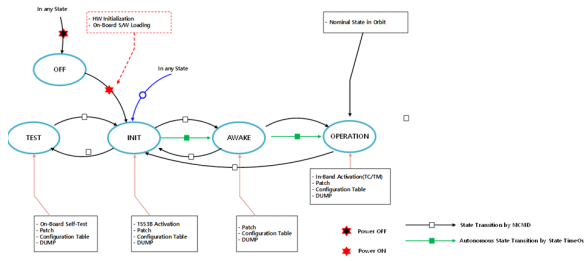


그림 7. DPE-L 상태 천이도
Fig. 7. DPE-L state transition diagram.

모듈의 동작 상태가 정의되며, 상태에 따라 TC/TM의 송수신 방법이 LSL로 제안될 수 있다.

DPE-L은 OFF 상태에서 전원인가 후 10초 이내에 IDLE 상태에 진입해야 한다. IDLE 상태에서는 스위치 모듈만 전원이 인가되게 된다. 이 후 10초 이내에 별도의 제어 명령이 수신되지 않으면 “Awake” 상태를 거쳐 “Operation” 상태로 천이되게 된다. “Idle/Awake” 상태에서는 1553B를 통한 저속 LSL로 TC/TM 송수신, configuration 변경, FW/SW upload가 가능하다. “Operation” 천이 과정에서 모듈 모듈의 전원이 인가되며 이 후 운용 과정에서 “Operation” 상태를 유지하게 된다. “Operation” 상태에서는 지상국과 HSL을 통한 고속 TC/TM 송수신이 가능하게 된다. 각 상태 천이는 지상국에서 TC를 사용하여 제어 가능하다.

IV. DPE 운용방안

DPE 제어는 그림 8과 같이 SOC를 통한 LSL TC/TM 운용과 POC를 통한 HSL 운용으로 분류할 수 있다.

SOC를 통한 제어는 POC에서 요청된 TC에 대해서 SOC에서 사용하는 S-band 대역의 신호를 통해 위성으로 전달된다. 해당 TC는 탑재체 BUS를 통해 1553B 메시지 형태로 DPE에 전달된다. 이때 해당 패킷에 대한 암호화는 SOC에서 수행하며 DPE에 입력되는 TC는 복호화가 완료된 메시지 형태로 수신된다.

HSL을 통한 제어 채널 운용은 POC에서 DPE가 수신하는 RF 신호의 형태로 송신하게 된다. 이때 사용하는 프로토콜 구조는 그림 9와 같다. TC/TM의 기본 구조는 PUS

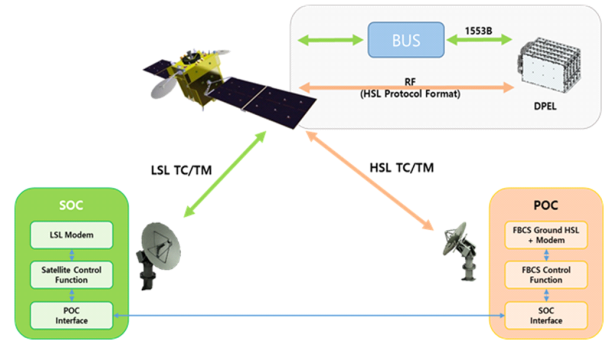


그림 8. DPE 제어 시스템 구성도
Fig. 8. Command and control system diagram.

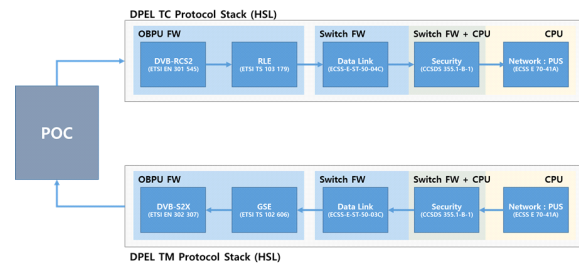


그림 9. HSL 프로토콜 구성
Fig. 9. HSL protocol stack.

프로토콜을 준용하고, 암호화와 복호화 또한 POC와 DPE 간에 직접적으로 수행하게 된다.

LSL은 위성 내부의 여러 탑재장치에서 필요로 하는 TC/TM을 송수신하기 때문에 DPE에서 사용 가능한 데이터 전송량은 한정적이다. 이에 반해 HSL의 경우 DPE운용만을 위한 별도의 대역을 할당하여 사용하기 때문에 DPE 내부의 FW 혹은 업데이트, 입력되는 대역에 대한 세부적인 정보와 같이 대용량 그리고 즉각적으로 필요한 데이터 전송에 유리하다.

지상국에서 수신된 정보들은 DPE-L 내부에서 메모리 맵 방식으로 처리된다. 메모리 맵 방식은 지상국에서 TC 송신 시 특정 메모리의 ID와 메모리 address를 이용하여 직접적으로 메모리에 접근하는 방식으로 메시지 송수신 방식이 단순하고 이 후 시스템 업그레이드가 쉽다는 장점을 가지고 있다.

DPE-L에서는 부채널별 제어를 위한 configuration 정보와 FW/SW bit 파일 등을 저장하기 위해 다양한 메모리를

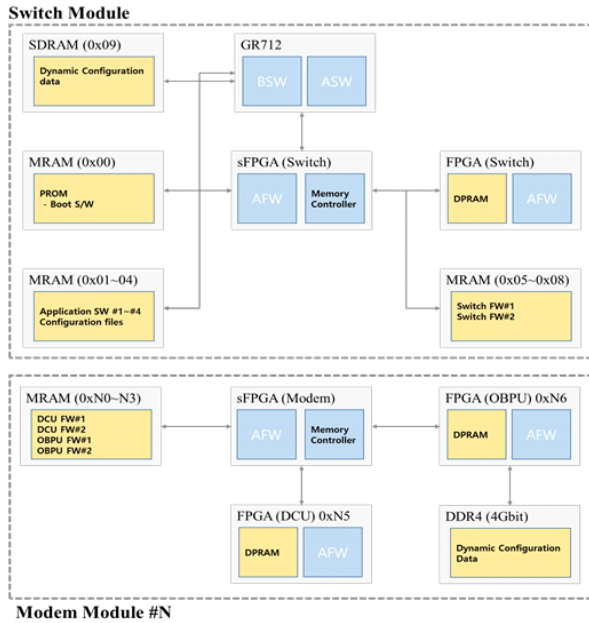


그림 10. DPE-L 메모리 MAP
Fig. 10. DPE-L Memory MAP.

사용한다. 그림 10은 DPE-L에서 설계된 메모리 구조를 나타낸다.

V. 결 론

본 논문에서는 천리안 3호 위성에 탑재되는 DPE의 개발 내용에 대하여 서술하였다. 현재 각 장치의 예비설계가 완료되었으며 EM을 제작하는 DPEL의 경우 그림 3과 같이 제작이 완료되어 기능별 시험을 수행하고 있다.

DPE는 FBCS를 구성하는 핵심 구성품으로 주파수의 사용 효율과 중계 채널을 효율적으로 관리하기 위해서 반드시 필요하다. 본 논문에서는 이를 구현하기 위한 설계 내용을 인터페이스, 신호처리, 상태전이 등에 대한 주요 설계 결과를 공유하였다. 또한 EM에서 진행 중인 시험에 대한 결과를 통해 실제 제작 장비에서 필요 신호처리 기능이 정상적으로 동작함을 확인하였다.

또한 DPE 운용방안에 대한 설계 사항을 공유하였다. 운용 개념 설계는 DPE 자체 설계 사항뿐 아니라 추후 지

상국과의 연동을 고려하여야 하기 때문에 개발 간 지속적으로 수정 및 보완될 예정이다. 현재 운용 개념과 관련하여 필요 기능 식별, 기본 기능 설계 및 구현이 완료되어 있다. DPE-F와 DPE-L 간의 운용 방안 공통화를 위한 사항을 식별하여 운용 개념 보완할 예정이다.

References

- [1] B. S. Lee, C. S. Shin, and D. Chang, "Domestic and international cooperative development of the GEO-KOMPSAT-3 communications payload," in *2023 Spring Conference of the Korean Society for Aeronautical & Space Sciences*, Jeju, Apr. 2023.
- [2] D. Lee, K. G. Kim, and K. H. Lee, "Digital communication satellite repeater technology," *Information & Communications Magazine*, vol. 26, no. 6, pp. 37-44, May 2009.
- [3] D. I. Chang, M. S. Shin, "A study on the characteristics and system structure of digital OBP satellite," in *Proceedings of Symposium of the Korean Institute of Communications and Information Sciences*, Seoul, Nov. 2018.
- [4] Y. Wang, H. Ji, and Y. Li, "On-board processing adaptive coding and modulation for regenerative satellite systems," in *National Doctoral Academic Forum on Information and Communications Technology 2013*, Beijing, Aug. 2013, pp. 1-7.
- [5] *Digital Video Broadcasting(DVB); Second Generation DVB Interactive Satellite System(DVB-RCS2); Part2: Lower Layers for Satellite Standard*, ETSI EN 301 545-2 v1.1.1, Jan. 2012.
- [6] *Digital Video Broadcasting(DVB); Second Generation Framing Structure, Channel Coding and Modulation Systems for Broadcasting, Interactive Services, News Gathering and Other Broadband Satellite Applications; Part 2: DVB-S2 Extensions(DVB-S2X)*, ETSI EN 302 307-2 V1.1.1, Oct. 2014.

심 의 석 [LIG넥스원/수석연구원]

<https://orcid.org/0000-0002-7211-028X>



2005년 2월: 세종대학교 인터넷학과 (공학사)
2007년 2월: 세종대학교 인터넷학과 (공학석사)
2011년 2월: 세종대학교 컴퓨터공학과(공학박사)
2011년 5월~2013년 12월: 한국전자통신

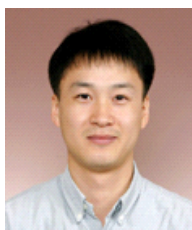
연구원 연구원

2014년 1월~현재: LIG넥스원 수석연구원

[주 관심분야] 위성통신 시스템, 모뎀, 디지털 신호처리, 물리계층 보안

김 병 학 [한국전자통신연구원/책임연구원]

<https://orcid.org/0009-0003-8759-3557>



2000년 2월: 전남대학교 컴퓨터공학과 (공학사)
2002년 2월: 전남대학교 컴퓨터공학과 (공학석사)
2002년 1월~현재: 한국전자통신연구원
[주 관심분야] 무선통신 시스템, 디지털

신호처리 등

김 민 혁 [LIG넥스원/수석연구원]

<https://orcid.org/0009-0001-8785-0918>



2006년 2월: 한국해양대학교 전파공학과 (공학사)
2008년 2월: 한국해양대학교 전파공학과 (공학석사)
2012년 8월: 한국해양대학교 전파공학과 (공학박사)
2012년 10월~2018년 12월: 한국전자통신

연구원 선임연구원

2019년 2월~2021년 11월: (주)PNP Network 책임연구원

2021년 11월~현재: (주)LIG넥스원 수석연구원

[주 관심분야] Channel Coding, Digital Process, FPGA Implementation 등

진 광 자 [한국전자통신연구원/책임연구원]

<https://orcid.org/0009-0003-1141-3409>



1987년 2월: 건국대학교 전자공학과 (공학사)
1990년 2월: 건국대학교 전자공학과 (공학석사)
1990년 2월~현재: 한국전자통신연구원(ETRI)
책임연구원
[주 관심분야] 위성통신, 무선통신 등

허 금 숙 [LIG넥스원/수석연구원]

<https://orcid.org/0009-0001-8483-9000>



1996년 2월: 한림대학교 전자계산학과 (이학사)
현재: LIG넥스원 수석연구원
[주 관심분야] Embedded SW Programming, SW Architecture Design 등

유 경 덕 [LIG넥스원/팀장]

<https://orcid.org/0000-0003-2202-5287>



2002년 2월: 한국기술교육대학교 정보통신공학과 (공학사)
2005년 8월: 아주대학교 전자공학과 (공학석사)
2010년 4월~현재: LIG 넥스원 위성체계 연구소 팀장
[주 관심분야] 위성통신, 위성SAR, 디지털

신호처리 등