

고병렬 프로브 카드의 신호 특성 향상을 위한 보호저항 최적화에 대한 연구

Protection Resistor Optimization for Enhancement of Signal Integrity on High-Parallelism Probe Card

최성수 · 한준희 · 김규열* · 김용상 · 나완수

SungSoo Choi · JunHee Han · Gyu-Yeol Kim* · Yong-Sang Kim · WanSoo Nah

요 약

본 논문에서는 DRAM 고병렬 프로브 카드 단락 결함에서의 동반 결함 문제를 막기 위한 보호저항의 최적값을 설계하는 방법을 제안하였다. 저주파 프로브 카드 RC 회로에서의 보호저항에 대한 응답 특성 영향을 확인하고, 16분기를 가지는 프로브 카드 RC 회로를 대상으로 단락 결함 발생 시, 보호저항값에 따른 DUT에서의 전압과 신호증가량의 변화를 수식적으로 도출하여 보호저항의 최적값을 선정하였다. 이를 통해 고주파 프로브 카드의 보호저항 최적값 도출을 위하여 신호 경로의 전송선로 특성을 분석하였고, 최종적으로 H-branch 토폴로지를 사용하는 고주파 프로브 카드에서 시뮬레이션 자동화를 통하여 최적의 저항값과 동작 가능영역을 선정하였다. 제안한 방법을 통해 도출한 최적 보호저항값과 가능영역 외 보호저항값을 아이 다이어그램 면적 비교를 통하여 최적 보호저항값을 갖는 회로에서 신호 무결성이 뛰어난 것을 확인하였다.

Abstract

In this study, we propose a method to design an optimal protection resistance value for preventing the accompanying short defects of high-parallel DRAM (dynamic random access memory) probe cards. The effect on the protection resistance in the low-frequency probe card RC circuit is verified. With the occurrence of a short defect in the probe card with 16 branches, the mathematical variation of the DUT (device under test) voltage and signal increases depending on the value of the protection resistance. Thus, the optimal protection resistance is selected. The transmission line characteristics are analyzed to derive the optimal protection resistance value of the probe card at high frequency. Finally, the probe card using the H-branch topology at high frequency extracts the optimal resistance value and acceptable range through simulation automation. Excellent signal integrity is verified for the circuit, which has an optimal protection resistance value, by comparing the area in the eye diagram.

Key words: Probe Card, Protection Resistor, Signal Integrity (SI)

†이 연구는 성균관대학교와 삼성전자(주) 간의 산학 협력 과제(Low Cost Probe Card Parallelism) 확장 기술 연구(I0 200729-07550-01)와 2022년도 산업통상자원부 및 산업기술평가관리원(KEIT)연구비 지원으로 수행되었음(‘20016317’).

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, SungKyunKwan University)

*삼성전자 메모리사업부(Samsung Electronics Memory Business)

· Manuscript received August 25, 2022 ; Revised September 2, 2022 ; Accepted September 26, 2022. (ID No. 20220825-063)

· Corresponding Author: WanSoo Nah (e-mail: wsnah@skku.edu)

I. 서 론

최근 반도체 공정기술의 발달로 하나의 웨이퍼 내 구현할 수 있는 DUT(device under test, transistor)의 숫자가 계속 증가하고 있으며, 반도체 제조공정을 통해 제작된 DUT는 패키징 공정 이전에 웨이퍼 수준에서 불량 검사가 진행되어야 한다. 웨이퍼에 포함된 DUT의 불량 여부를 검사하기 위하여 ATE(automatic test equipment)라는 검사 기기와 프로브 카드(probe card)라는 신호 전달 선로가 사용된다. 그러나 DUT의 개수가 증가함에 따라 테스트에 소요되는 시간 및 비용이 크게 증가하게 되어 웨이퍼당 소요되는 테스트 시간을 줄이기 위한 연구가 많이 진행되고 있다^{[1][2]}. 또한 한정된 ATE의 개수에서 가능한 많은 프로빙을 한 번에 수행하기 위해서는, 신호를 전송하는 역할을 수행하는 프로브 카드의 선로를 다분할하여 배선의 병렬도를 크게 증가시키는 고병렬 프로브 카드가 사용된다. 그러나 이 경우에는 임피던스 정합의 문제를 포함한 신호 무결성 측면에서 신호 전달의 성능이 저하될 수 있으며, 특히 DUT에 단락 결함 발생 시 주변 프로브의 전압에 심한 열화(degradation)를 야기시킨다.

그림 1에 병렬 배선 프로브 카드의 구성도를 나타내었다^[3]. 대다수의 프로브 카드에서 선로의 분할은 기계적 공정의 이유로 MLC(multi-layer ceramic) 층에서 이루어지고, 그림과 같이 분기된 신호 선로는 병렬 회로의 형태

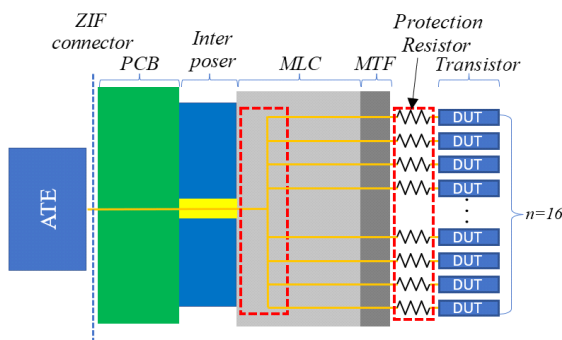


그림 1. 프로브 카드 구성도 zif connector, PCB, interposer, MLC, MTF, protection resistor and DUT(transistor)
Fig. 1. Probe card structure zero insertion force connector, PCB, interposer, multi-layer ceramic, multi-layer thin film, protection resistor and transistor.

로 구성되어 있다. 이때, 2-1장에서 상세히 기술하겠지만, 프로브 카드가 가지는 문제점으로 하나의 DUT가 단락될 시 같은 가지(branch)에 있는 전체 선로의 전압이 0(zero)이 되는 문제가 발생하게 된다. 이러한 문제점을 해결하기 위하여 보호저항(protection resistor)이 DUT 앞단에 도입되며, 이렇게 함으로써 단락된 선로와 같은 가지에 있는 다른 선로에 미치는 영향을 최소화할 수 있게 된다. 그러나 보호저항이 삽입될 시 전송된 신호 진폭이 감소되는 문제점이 존재하며, 이를 보상계수를 통하여 신호의 진폭을 보상하여 증가시키는 방법이 연구되었다^[4]. 그러나 별도의 과정을 거쳐 감소특성을 파악하여 그에 따른 보상계수값을 선정해야 하기 때문에 비효율적이다. 또한, 보호 저항 실장방식에 따른 신호 특성 향상에 대한 방법론이 연구되고 있지만^[5], 보호 저항 용량의 관점에서의 연구는 진행되고 있지 않았고, 따라서 지금까지 실제 단락이 발생하였을 경우에 있어서 체계적인 회로 분석과 최적화 과정에 대한 이론적 분석이 정립되어 있지 않은 상태이다.

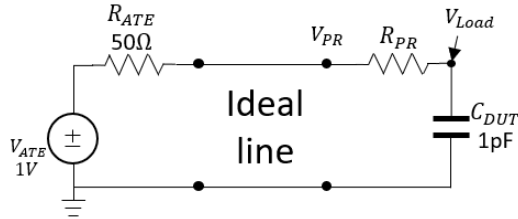
본 논문에서는 최근 고속화 및 고집적화되고 있는 정보 통신 시스템에서 중요한 역할을 하는 DRAM(dynamic random access memory) 웨이퍼를 대상으로 연구를 진행하였으며, 삽입된 보호저항이 실제 선로 단락 시에 신호 특성에 어떠한 영향을 미치는지를 분석하며, 나아가 보호저항의 최적값을 선정하는 방법을 보였다. II 장에서는 저주파 영역에서 프로브 카드를 등가화한 RC 회로 특성에 대하여 기술하고, 단락 발생에 따른 보호저항의 최적값을 도출하였다. III 장에서는 회로 시뮬레이션을 사용하여 구해진 보호저항이 포함된 프로브 카드의 신호 전달 특성을 분석하였으며, 결론으로 제시한 방법이 SI(signal integrity) 특성 향상에 유효함을 검증하였다.

II. 저주파 프로브 카드 신호 전달 특성 분석

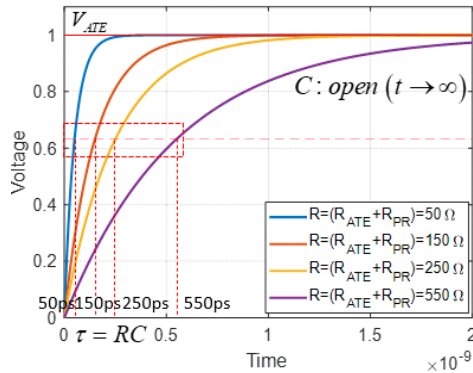
2-1 RC 회로에서의 보호저항 영향 분석

본 논문에서 분석하고자 하는 ATE의 최대 동작주파수는 200 MHz이며, 이때의 파장(λ)의 길이는 유전체의 유전율을 고려하면 ~ 1.5 m 이하이다. 이때, 해석경로에서

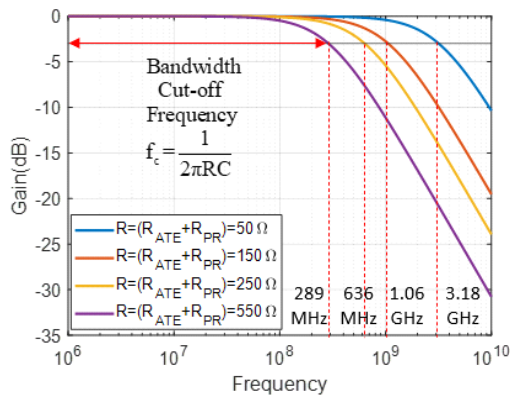
의 물리적 전송선로 길이는 약 26.5 cm로 상대적으로 파장이 크다고 할 수 있다. 따라서 집중회로 소자(lumped model)로 적용이 가능하다^[6]. 이에 따라 프로브 카드 또한 한 분기의 선로에 대하여 그림 2(a)와 같이 간단한 RC



(a) RC 회로도
(a) RC circuit schematic



(b) RC 회로 시정수
(b) RC circuit time constant



(c) RC 회로 대역폭
(c) RC circuit bandwidth

그림 2. RC 회로도, 시정수 및 대역폭
Fig. 2. RC circuit, time constant and bandwidth.

회로로 나타낼 수 있다. V_{ATE} 와 R_{ATE} 는 ATE의 전압과 내부저항을 의미하며, R_{PR} 은 보호저항을, C_{DUT} 는 DRAM 내부 트랜지스터의 입력 커패시턴스를 나타내며, 보통 ~ 1 pF값을 가진다.

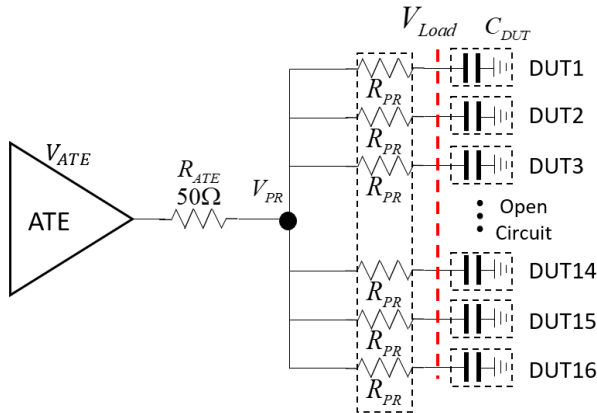
그림 2(b)와 그림 2(c)에서는 보호저항값에 따른 시정수와 대역폭(bandwidth)의 영향을 분석하였다. 본 논문에서 사용하고자 하는 ATE의 동작주파수는 최대 200 MHz (400 Mbps)까지이며^[7], RC 회로의 차단 주파수를 통해 사용 가능한 저항의 범위를 정하였다. 저항값이 증가함에 따라 시정수가 증가하고 대역폭이 감소함을 알 수 있으며, 표 1에서 그림 2(b)와 그림 2(c)의 시정수와 대역폭의 결과값을 정리하였다. 본 논문에서 선정한 최대 보호저항값인 500 Ω을 기준으로, 차단 주파수가 289 MHz로 테스트의 동작 주파수가 대역폭 안에 속하여 사용 가능하다.

그림 3(a)는 단락이 발생하지 않았을 때 16분기를 가지는 프로브 카드 회로도이며, 보호저항이 없다면 이때 한 개의 DUT에 단락 발생 시 모든 주변 정상 회로에서의 $V_{Load} = 0$ 이 된다. 이를 막기 위해 DUT와 직렬로 보호저항을 배치하면 단락신호의 영향이 완화된 후 나머지 정상 회로에 신호 전달이 가능해진다. 그러나 신호 크기가 감소되고, 신호 경로에 직렬 저항으로 인해 시정수가 상승하여 신호 무결성 측면에서 좋지 않은 결과를 야기시킨다.

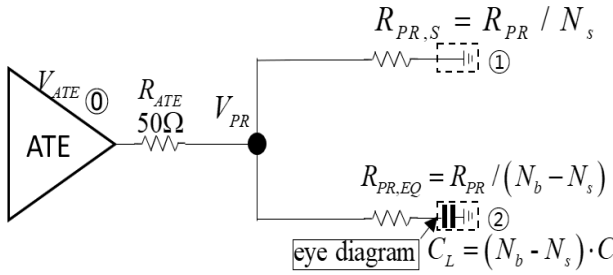
그림 3(b)는 단락이 발생했을 때의 등가회로를 나타낸 것으로, 식 (1)과 식 (2)를 통하여 등가회로에 대한 s-plane (주파수영역) 대수방정식을 구성하여 V_{Load} 의 부분 분수값을 구하였고, 여기서 N_b 는 branch의 개수이고, N_s 는 Short의 개수이다. 식 (3)을 이용하여 역 라플라스 변환을 통해 단락 여부에 따른 V_{Load} 에 걸리는 전압과 시정수를 구하였다.

표 1. 보호저항값에 따른 RC 회로의 시정수 및 대역폭
Table 1. Time constant and bandwidth value of RC circuit by protection resistance.

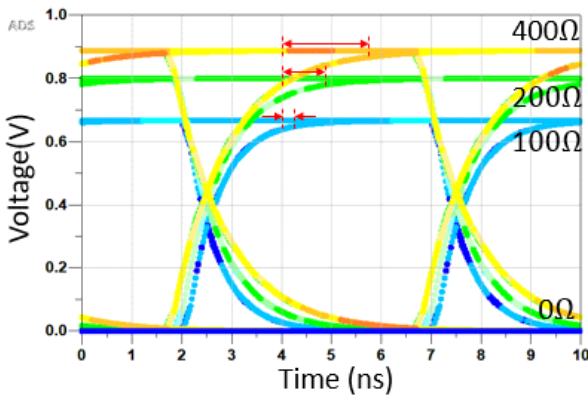
Protection resistor	0 Ω	100 Ω	200 Ω	500 Ω
Time constant (τ)	50 ps	150 ps	250 ps	550 ps
Bandwidth	3.18 GHz	1.06 GHz	636 MHz	289 MHz



(a) 16분기 ATE 회로
(a) 16-branched ATE circuit



(b) N_S 개 단락 결함 시 등가회로
(b) Equivalent circuit in N_S short-defects



(c) 단락 결함 1개일 때의 아이 다이어그램(200 Mbps)
(c) Eye diagram in one short-defect (200 Mbps)

그림 3. 16분기 프로브 카드회로 및 등가회로, 보호저항 값에 따른 감쇠특성

Fig. 3. 16-branched probe card circuit, equivalent circuit and attenuation characteristics by protection resistance.

$$\frac{V_{ATE} - V_{PR}}{R_{ATE}} = \frac{V_{PR}}{R_{PR,S}} + \frac{V_{PR}}{R_{PR,EQ} + 1/(sC_L)}$$

$$\begin{aligned} \text{단, } R_{PR,S} &= R_{PR} / N_{Short}, \\ R_{PR,EQ} &= R_{PR} / (N_{branch} - N_{Short}), \\ C_L &= (N_{branch} - N_{Short}) \cdot C, \\ V_{ATE} &= V_o / s, \text{ 계단함수} \end{aligned} \quad (1)$$

$$\begin{aligned} V_{Load} &= \left[\frac{A}{s} - \frac{B}{(R_{PR,EQ} + R_{ATE})sC_L + 1} \right] \\ A &= \frac{R_{PR,S}}{R_{ATE} + R_{PR,S}} \\ B &= \frac{(R_{PR,EQ} \cdot R_{PR,S} + R_{ATE} \cdot R_{PR,EQ} + R_{PR,S} \cdot R_{ATE})C_L}{R_{ATE} + R_{PR,S}} \end{aligned} \quad (2)$$

$$v_{Load}(t) = \left(\frac{V_o \cdot R_{PR,S}}{R_{ATE} + R_{PR,S}} \right) \left(1 - e^{-\frac{t}{\tau}} \right) = V_{Load,SS} \cdot \left(1 - e^{-\frac{t}{\tau}} \right) \quad (3)$$

$$\text{단, } \tau = \frac{C_L(R_{ATE} \cdot R_{PR,S} + R_{ATE} \cdot R_{PR,EQ} + R_{PR,S} \cdot R_{PR,EQ})}{R_{ATE} + R_{PR,S}}$$

그림 3(c)에서는 단락 결함이 1개일 때 보호저항의 값에 따른 전압값의 감쇠 정도와 신호 특성을 아이 다이어그램(eye-diagram)으로 나타내었다. 여기에서 알 수 있듯이 프로브 카드의 보호저항이 클수록 단락이 발생했을 시 전달되는 신호의 크기가 커지게 됨을 알 수 있고 이것은 식 (3)의 계수로도 확인할 수 있다. 그러나 보호저항이 커질수록 정상상태의 전압레벨에 도달하는 시간이 길어진다는 것을 알 수 있다. 즉, 신호의 상승시간(rising time)이 증가하게 되는 단점이 있다.

위와 같은 관점에서 보호저항의 크기를 정할 때에 신호의 감쇠량과 상승시간을 함께 고려하여 선정해야 함을 알 수 있다. 본 논문에서는 이를 위해 신호의 상승시간을 나타낼 수 있는 지표 중 하나인 시정수(time constant)를 보호저항의 최적값을 결정하는 주요 요소로 사용하였으며, 다음 절에서는 이것에 대해서 기술한다.

2-2 RC 회로에서의 보호저항 최적값 도출

그림 4(a)는 V_{ATE} 전압이 2.2 V일 때 식 (3)에서의 $V_{Load,SS}$ 값과 $t = \tau_0$ 지점에서의 $(1 - e^{-t/\tau})$ 값 (이하 간단히 신호증가량이라고 정의함), 즉 $(1 - e^{-t/\tau})_{t=\tau_0}$ 을 나타낸 것이다. 여기에서 τ_0 는 그림 3(a)의 회로에서 단락이 발생하지 않고 보호저항이 0일 때 전원 전압이 63.2 % ($=1/e$)

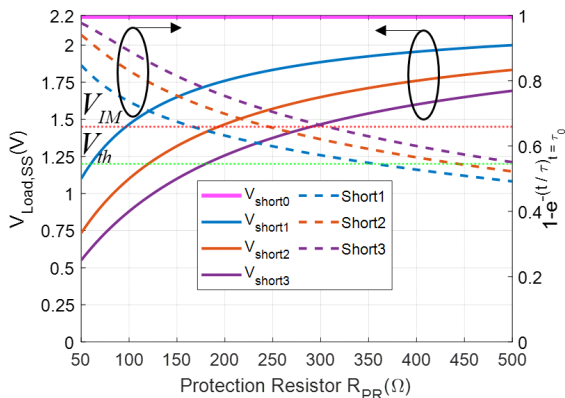
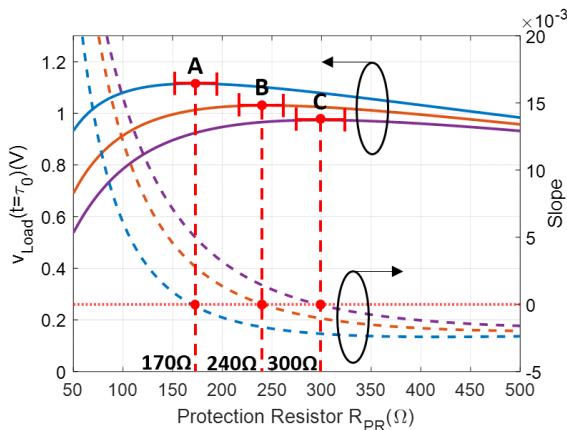
(a) RC 회로 전압 및 $t = \tau_0$ 에서의 신호증가량(a) RC circuit voltage and signal increase at $t = \tau_0$ (b) RC 회로 $v_{Load}(t = \tau_0)$ 및 기울기(b) RC circuit $v_{Load}(t = \tau_0)$ and slope

그림 4. RC 회로의 최적 보호저항 도출개념도

Fig. 4. Schematic of derivation of optimal protection resistance of RC circuit.

의 값에 도달하는 시간(시정수)을 의미하며, 본 논문에서는 $\tau_0 = 800$ ps이다. 그림 4(a)의 오른쪽 y축은 이 시점에서 ($t = \tau_0$) 단락 결함일 때의 신호증가량을 표시한다.

그림 4(a)에서 볼 수 있듯이, 단락이 발생할 시 보호저항값이 증가함에 따라 $V_{Load,SS}$ 값이 커지게 되어 신호 무결성 측면에서 도움이 되지만, 신호증가량은 감소되면서 정상상태에 도달하는 시간이 늘어나게 되어 신호 무결성

측면에서의 성능이 열화하게 된다. 즉, 보호저항의 크기가 증가하면서 긍정적인 면과 부정적인 면을 모두 포함하게 된다. 따라서 본 논문에서는 두 요소를 동시에 만족할 수 있는 지점을 보호저항의 최적값으로 선정하는 방법을 다음과 같이 제시하고자 한다.

그림 4(b)는 식 (3)을 이용하여 $v_{Load}(t = \tau_0)$ 를 그래프로 표현한 것이다. 이것은 그림 4(a)에서의 $V_{Load,SS}$ 와 신호증가량의 곱과 일치한 양을 나타낸다. 그림에서 볼 수 있듯이, 보호저항 크기가 증가하면서 위쪽으로 볼록한 그래프의 형태를 보이며, 이 최대점에서의 x축 값에서 최적의 보호저항값을 구할 수 있게 된다. 즉, 기울기(slope)값이 0이 되는 지점을 보호저항값의 최적값으로 선택할 수 있다. 그림 4(b)에서 선정된 보호저항의 최적값들은 단락 결함 개수가 1개부터 3개인 경우이며, 각 170 Ω, 240 Ω, 300 Ω으로 최적의 보호저항값을 선정하였고, 최적값의 $\pm 10\%$ 에 해당하는 영역까지 동작 가능영역으로 선정하였다. 그래프에서 볼 수 있듯이 $\pm 10\%$ 에 해당하는 부분이 상당히 평탄한 모습을 보이며, 이것은 지금까지 보호저항값을 경험에 의존하고, 또 그 값 근방에서 보호저항값이 어느 정도 변화해도 전체적인 성능의 저하 없이 사용할 수 있었던 이론적 근거를 제시한다고 할 수 있다.

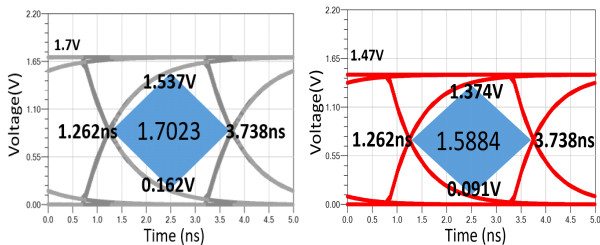
마지막으로는 이와 같이 선정된 최적의 보호저항값에서 그림 4(a)에서의 $V_{Load,SS}$ 값을 확인하여 그 값이 V_{th} 또는 V_{IM} 값 이상임을 확인하여야 한다. 보호저항이 단락 격리를 시키기 위해서는 $V_{Load,SS}$ 의 전압이 문턱전압 1.2 V를 넘어야 하고, 효과적으로 단락을 시키기 위해 입력 마진을 포함한 1.45 V를 넘어야 한다^[4]. 그림 4(a)에서 표현된 V_{th} 와 V_{IM} 는 각각 문턱전압과 입력마진 전압을 나타낸다. 단락 개수가 1~3개일 때, 동작 가능영역의 최소 저항과 해당 저항에서의 전압값은 표 2와 같다. 보호저항값 153 Ω, 216 Ω은 입력 마진전압 1.45 V를 넘겨 효과적으로 단락을 격리시킬 수 있고, 270 Ω의 저항은 입력 마진 전압에는 미치지 못하지만, 최소 문턱전압 1.2 V를 넘겨 격리가 가능하다. 따라서 동작 가능영역에서의 저항값은 모두 단락에 대하여 격리가 가능하다.

그림 5는 단락 개수 1~3개에 대하여 그림 4(b)에서 선정한 보호저항 최적값과 선행 연구에서 선정된 보호저항의 최적값(compare value)을 비교한 아이 다이어그램으로

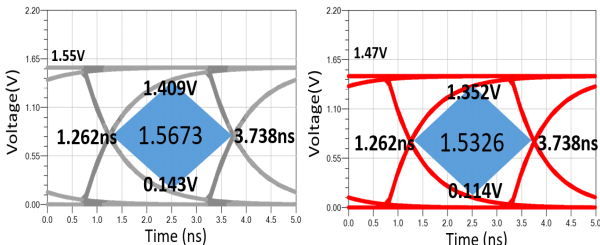
표 2. 동작 가능영역의 최소 저항과 문턱전압 및 입력 마진 전압 비교

Table 2. Comparison of minimum resistance, threshold voltage and input voltage margin.

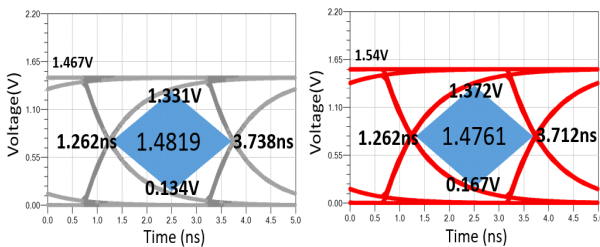
Protection resistor	153 Ω	216 Ω	270 Ω
Voltage	1.683 V	1.503 V	1.414 V
Threshold voltage	1.2 V		
Input voltage margin	1.45 V		
Isolation possibility	Possible	Possible	Possible



(a) 170 Ω 아이 다이어그램 (a) 170 Ω eye diagram
(b) 100 Ω 아이 다이어그램 (b) 100 Ω eye diagram



(c) 240 Ω 아이 다이어그램 (c) 240 Ω eye diagram
(d) 200 Ω 아이 다이어그램 (d) 200 Ω eye diagram



(e) 300 Ω 아이 다이어그램 (e) 300 Ω eye diagram
(f) 350 Ω 아이 다이어그램 (f) 350 Ω eye diagram

그림 5. 보호저항 최적값(좌)과 비교값(우) 아이 다이어그램 면적 비교(400 Mbps)

Fig. 5. Eye diagram area comparison of optimum protection resistance and compare value (400 Mbps).

표 3. 저주파 프로브 카드에서의 아이 다이어그램 비교
Table 3. Comparison of eye diagram in low frequency probe card.

	Protection resistor	Height (V)	Width (ns)	Area
$N_{Short}=1$	170 Ω	1.375	2.476	1.7023
	100 Ω	1.283	2.476	1.5884
$N_{Short}=2$	240 Ω	1.266	2.476	1.5673
	200 Ω	1.238	2.476	1.5326
$N_{Short}=3$	300 Ω	1.197	2.476	1.4819
	350 Ω	1.205	2.45	1.4761

(단, 단락 결함 3개일 때는 선행 연구의 보호저항 최적값이 같아 가능 영역 외 임의의 값으로 350 Ω 을 선정함) 아이 다이어그램의 면적을 식 (4)를 이용하여 구하여 비교하였다^[8].

$$A_{mask} = \frac{(width_{max} - width_{min}) \cdot (height_{max} - height_{min})}{2} \quad (4)$$

표 3은 아이 다이어그램의 높이(height), 너비(width), 면적(area)을 비교한 값을 나타내었고, 이 중 면적을 비교하였을 때 신호 특성이 향상되는 것을 확인하였다. 따라서 단락 결함에 대한 최적의 보호저항값을 도출하였음을 확인할 수 있다.

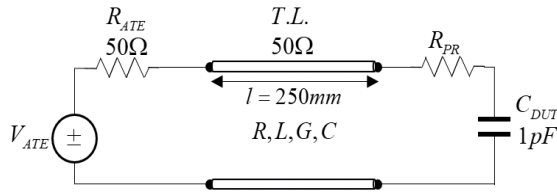
III. 고주파 프로브 카드 보호저항 최적화

3-1 전송선로 특성 분석

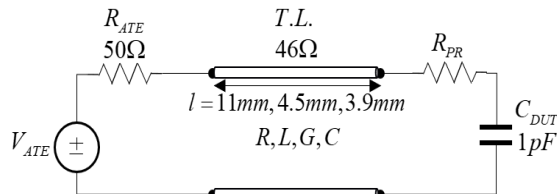
실제 프로브 카드의 동작 주파수는 최대 200 MHz로, 프로브 카드의 전송선로를 무시할 수 없으며, 신호경로 경로를 구성하는 전송선로를 고려하여 회로를 분석/설계해야 한다.

그림 6(a)와 그림 6(b)는 프로브 카드 내부 신호 경로 중 가장 큰 영향을 미치는 요소인 PCB와 MLC 내부의 두 전송선로를 나타내며, PCB 전송선로의 선로 길이는 250 mm, MLC 전송선로의 선로길이는 각각 11 mm, 4.5 mm, 3.9 mm를 가진다.

표 4는 Ansys사의 Q2D simulation을 통하여 추출한 각각의 전송선로 파라미터값을 나타냈으며, 여기서 R_o 는 직렬 저항, L_o 는 직렬 인덕턴스, G_o 는 병렬 컨덕턴스, C_o



(a) 프로브 카드의 PCB 전송선로 모델
(a) PCB transmission line model in probe card



(b) 프로브 카드의 MLC 전송선로 모델
(b) MLC transmission line model in probe card

그림 6. 프로브 카드 내 주요 전송선로 회로
Fig. 6. Two main transmission lines in probe card.

표 4. 전송선로의 R, L, G, C 파라미터값
Table 4. transmission line R, L, G, C parameters.

	R_o	L_o	G_o	C_o	R_s	G_d
PCB	23.18 Ω/m	297 nH/m	4.50 pS/m	132 pF/m	2.63 m Ω/m	4.97 pS/m
MLC	15.26 Ω/m	423 nH/m	3.02 pS/m	206 pF/m	1.85 m Ω/m	1.02 pS/m

는 병렬 커패시턴스, R_s 는 직렬 AC 저항, G_d 는 주파수에 비례하는 컨덕턴스 항을 의미하며^[9], 식 (6)은 주파수에 따라서 변화하는 전송선로 파라미터를 나타낸다.

$$\begin{aligned}
 R &= R_o + R_s \cdot \sqrt{f} & (\Omega/m) \\
 L &= L_o & (H/m) \\
 G &= G_o + G_d \cdot f & (S/m) \\
 C &= C_o & (F/m)
 \end{aligned} \quad (5)$$

본 연구에서 대상이 되는 프로브 카드의 최대 동작 주파수는 200 MHz이며 이 때 파장은 PCB 및 MLC의 유효 유전율을 고려하면 ~ 1 m 정도이며, 이는 길이가 가장 긴 PCB 전송선로 ($l=25$ cm)보다 상대적으로 충분히 크다고 할 수 있다. 이러한 관점에서 각 전송선로를 등가의 집중 회로값으로 나타낸 것을 표 5에 정리하였다. 이것은 프로

표 5. 200 MHz에서 전송선로의 등가 집중회로값

Table 5. Equivalent lumped circuit parameters for transmission lines at 200 MHz.

	R	ωL	G	ωC
PCB $l=250$ mm	15.09 Ω	93.25 Ω	235 μS	41.25 mS
MLC $l=11$ mm	0.45 Ω	5.841 Ω	2.24 μS	2.83 mS

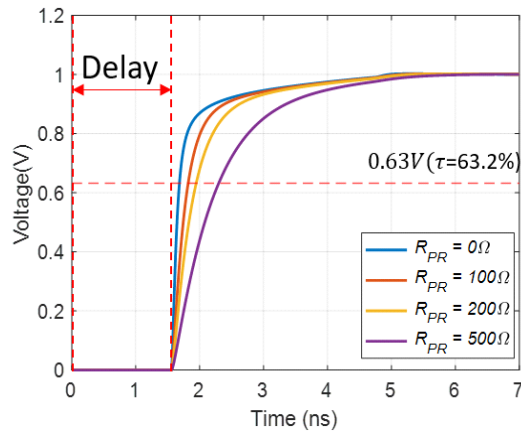
브 카드의 가장 높은 동작주파수인 200 MHz에서 계산이 된 것이며, G 및 ωC 를 비교하면 PCB 및 MLC 전송선로의 경우, 모두 G 는 무시할 만큼 작은값을 가지고 있음을 알 수 있다. 한편, R 및 ωL 에서는 ωL 의 값이 R 보다 큰 값을 보이고 있지만 직렬로 연결되는 100 $\Omega \sim 500 \Omega$ 의 보호저항값을 고려한다면 MLC 전송선로에서는 R 값이 ωL 값보다 충분히 큰 값을 가지게 되고, PCB 전송선로에서는 충분하지는 않지만 R 값이 의미 있게 큰 값을 가지는 것을 알 수 있다. 본 논문에서는 이러한 관점에서 프로브 카드에서 사용되는 전송선로가 모두 RC 우선 모드(RC dominant mode)로 동작한다고 가정하고, II장에서 분석한 RC 회로에서의 보호저항 산정 방법론을 적용하고자 한다^[10].

그림 7은 실제로 전송선로가 RC 우선 모드로 동작하는지를 확인하기 위하여 PCB 및 MLC 전송선로의 응답특성을 표 3의 파라미터값을 토대로 하여 Ansys circuit design tool의 W-element 소자를 사용하여 구한 결과이다.

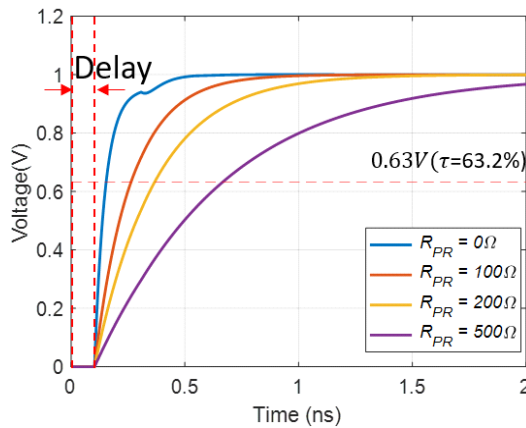
그림 7(a)와 그림 7(b)에서 볼 수 있듯이, 모든 경우에서 신호의 오버슈트(overshoot)나 ringing현상이 없는 1차 시스템에서의 특성을 가지고 있음을 알 수 있다. 따라서 전송선로 특성이 반영되는 고주파 프로브 카드에서도 $V_{Load, SS}$ 와 시정수 지점에서의 신호증가량을 비교하여 보호저항의 최적값을 구할 수 있다.

3-2 H-Branch에서의 보호저항 최적값 도출

프로브 카드 병렬 분기 배선 설계 시 여러 형태의 토폴로지(topology)가 존재하며, 설계자의 목적에 따라 최적의 토폴로지를 선정해야 한다. 저주파 프로브 카드 회로에서 분석된 토폴로지의 경우 실제 회로 설계 시 배선 집적도



(a) PCB 시간응답($l=250$ mm)
(a) PCB time response ($l=250$ mm)

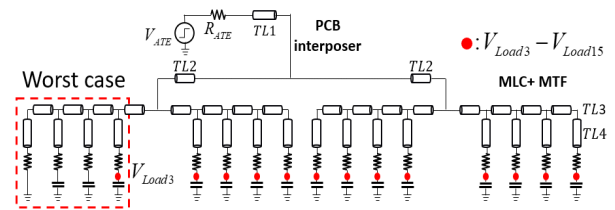


(b) MLC 시간응답($l=11$ mm)
(b) MLC time response ($l=11$ mm)

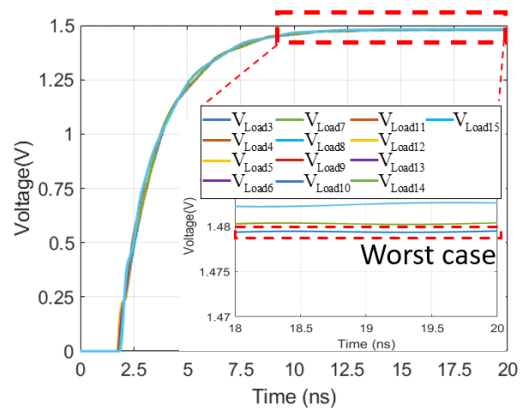
그림 7. 보호저항에 따른 전송선로 시간응답 특성
Fig. 7. Transmission line time response by protection resistance.

가 증가하며, 입출력 핀의 수가 많이 필요한 DRAM 반도체에서는 사용하기 어려운 단점이 존재하여^[10], 본 논문에서는 실제 프로브 카드 설계에서 많이 사용되고 있는 H-branch 형태에 대해 분석하였다.

그림 8(a)는 프로브 카드의 배선을 16분기 H-branch의 형태로 라우팅(routing)하였을 때의 모델을 나타낸다. TL1은 PCB와 인터포저를 나타내는 선로이며, 길이는 250 mm이고, TL2, TL3, TL4는 MLC와 MTF(multi-layer thin film)를 나타내는 선로로, 길이는 각각 11 mm, 4.5 mm, 3.9 mm로 설계되어 있다. H-branch 형태의 경우, 가장 원



(a) 16분기 H-branch 회로
(a) 16-branched H-branch circuit



(b) H-branch 회로 시뮬레이션 결과
(b) H-branch simulation results

그림 8. H-branch 프로브 카드 회로도 및 전압 특성
Fig. 8. H-branch probe card schematic and voltage characteristic.

쪽에서부터 단락 결함이 1개부터 3개까지 발생했을 때를 가정하였고, 그림 8(b)는 그림 8(a) 회로에서의 응답특성을 보인 것으로 다중 반사에 의해 분기배선마다 단락 결함의 영향을 받는 정도가 다른 것을 확인할 수 있다. 이 중 반사의 영향을 가장 많이 받은(worst case) V_{Load3} 를 대상으로 분석하였다. 또한, 전송선로를 포함한 회로에서의 응답특성은 II장에서와 같이 해석적으로 구하기가 거의 불가능하므로 그림 9와 같이 회로 시뮬레이터를 사용하여 이 회로의 시정수를 구하였다.

그림 9는 시뮬레이션을 통하여 데이터를 추출하는 과정을 나타낸 것으로, Ansys사의 circuit design tool에서의 run script 기능을 사용하여 저항을 변수 데이터로 설정하고, 자동화 프로그램을 구현하였다. 위의 과정을 통해 추출한 데이터를 변수의 데이터 수정, 분석의 도구로는 MathWorks사의 매트랩을 사용하였고, 데이터 분석 과정은 다음과 같다.

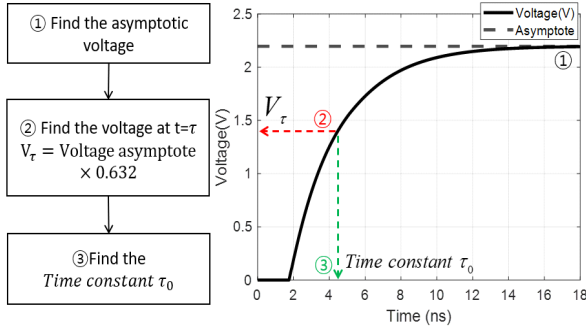


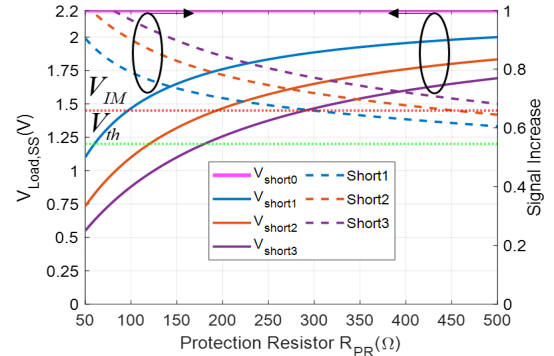
그림 9. 회로 시뮬레이터를 이용하여 $V_{Load,SS}$ 및 시정수 τ 와 τ_0 를 구하는 플로우차트 및 개념도

Fig. 9. A flowchart and schematic to derive $V_{Load,SS}$ time constant τ and τ_0 , using circuit simulator.

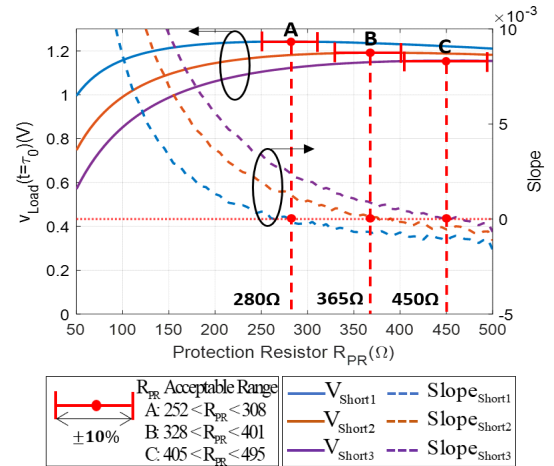
첫 번째 과정으로 시간상 전후의 데이터 증가량이 거의 없는 전압값을 갖는 시간을 이용하여 시뮬레이션을 진행하였고, 데이터 파일을 추출하여 점근선에 근접한 정상상태에서의 전압을 구하였다. 두 번째 과정으로 점근선에서의 전압에 63.2 %만큼 곱하여 τ 지점에서의 전압값을 구한다. 세 번째 과정으로 전압의 63.2 %에 도달하는 τ 지점에서의 시간(보호저항값에 따라서 변하는 시정수)을 찾아내었다.

위와 같은 방법으로 변화하는 보호저항값에 대하여 $V_{Load,SS}$ 및 신호증가량을 구할 수 있게 된다. 그림 10(a)는 II장과 같이 두 요소를 동시에 만족할 수 있는 지점을 보호저항의 최적값으로 선정하고자 하였다. 즉, 회로 시뮬레이션으로 추출한 데이터에서의 점근선 전압인 $V_{Load,SS}$ 와 시간증가량을 곱하여 $v_{Load}(t=\tau_0)$ 를 구하고, 기울기(slope)값이 0이 되는 $v_{Load}(t=\tau_0)$ 값이 가장 큰 값을 보호저항값의 최적값으로 선정하였다.

그림 10(b)는 H-branch 고주파 프로브 카드에서 단락 개수 1~3개일 때, 각 280 Ω, 365 Ω, 450 Ω으로 최적의 보호 저항값으로 선정하였고, 최적값의 $\pm 10\%$ 에 해당하는 영역까지 동작 가능영역으로 선정하였으며, 앞서와 마찬가지로 상대적으로 넓은 보호저항의 영역에서 최적의 값이 유지됨을 알 수 있다. 단락 개수 1~3개에 대하여 동작 가능영역의 최소 저항과 그에 따른 전압값은 표 6과 같다. 보호저항값 252 Ω, 328 Ω, 405 Ω 모두 입력마진 전압 1.45 V를 넘기 때문에 해당영역에서의 저항값은 모



(a) H-branch 프로브 카드 전압 및 $t = \tau_0$ 에서의 신호증가량
(a) H-branch probe card voltage and signal increase at $t = \tau_0$



(b) H-branch 프로브 카드 $v_{Load}(t=\tau_0)$ 및 기울기
(b) H-branch probe card $v_{Load}(t=\tau_0)$ and slope

그림 10. 16분기 H-branch 프로브 카드의 최적의 보호저항 도출

Fig. 10. Schematic of derivation of optimum protection resistance of 16-branched H probe card.

표 6. 동작 가능영역의 최소 저항과 문턱전압 및 입력마진 전압 비교

Table 6. Comparison of minimum resistance, threshold voltage and input voltage margin.

Protection resistor	252 Ω	328 Ω	405 Ω
Voltage	1.836 V	1.685 V	1.605 V
Threshold voltage	1.2 V		
Input voltage margin	1.45 V		
Isolation possibility	Possible	Possible	Possible

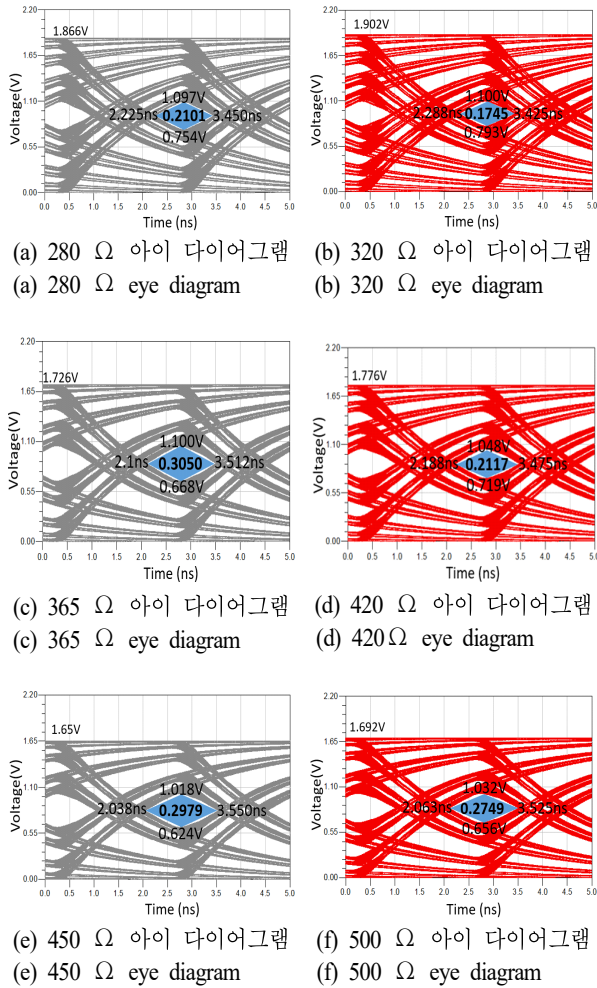


그림 11. H-branch 보호저항 최적값(좌)과 비교값(우) 아이 다이어그램 면적 비교(400 Mbps)

Fig. 11. Eye diagram area comparison of optimum protection resistance and arbitrary value at H-branch (400 Mbps).

두 효과적으로 격리시킬 수 있다.

그림 11은 도출한 최적의 보호저항값과 가능영역 외 임의의 보호저항값을 아이 다이어그램을 통하여 식 (4)를 이용해 높이, 너비, 면적을 나타내었고, 도출된 값을 표 7에 나타내었다.

표 7에서 볼 수 있듯이, 아이 다이어그램의 면적을 비교하였을 때 신호 특성이 향상되는 것을 확인하였고, 단락 결함에 대한 최적의 보호저항값을 선정함을 확인할 수 있다.

표 7. 고주파 프로브 카드에서의 아이 다이어그램 비교
Table 7. Comparison of eye diagram in high frequency probe card.

	Protection resistor	Height (V)	Width (ns)	Area
$N_{Short}=1$	280 Ω	0.343	1.225	0.2101
	320 Ω	0.307	1.137	0.1745
$N_{Short}=2$	365 Ω	0.432	1.412	0.3050
	420 Ω	0.329	1.287	0.2117
$N_{Short}=3$	450 Ω	0.394	1.512	0.2979
	500 Ω	0.376	1.462	0.2749

IV. 결 론

본 논문에서는 DRAM 고병렬 프로브 카드에서 단락 시 발생하는 동반 단락 현상을 막기 위해 사용되는 보호저항에 대하여 최적의 보호저항값을 찾는 설계 방법을 제시하였다.

저주파의 동작주파수를 사용하는 프로브 카드 회로를 단순한 RC 회로로 모델링하여 부하의 단락 결함 시 보호저항 용량 변화에 따른 $V_{Load,SS}$ 와 신호증가량의 변화를 수식적으로 도출하였고, $v_{Load}(t=\tau_0)$ 전압이 최대값을 갖는 보호저항값을 선정하였다. 이에 따른 최적값의 $\pm 10\%$ 영역을 선정하여 이 대역에서 기존 연구 방법에 따라 선정된 값 보다 우수한 신호 무결성 특성을 갖는 다는 것을 아이 다이어그램을 통하여 확인하였다.

또한, 고주파의 동작주파수를 사용하는 프로브 카드 회로에서의 분석을 위하여 전송선로 효과를 포함해 RC 우세모드임을 확인하였다. 그러나 전송선로 효과를 포함하는 프로브 카드에서는 부하의 전압을 해석적으로 구하지 못하므로, 회로 시뮬레이터를 자동화하여 효과적으로 $V_{Load,SS}$ 와 신호증가량을 구하는 방법을 제시하였다.

최종적으로 H-branch 프로브 카드에 RC 회로모델에서 개발된 방법론을 적용하였으며, 선정된 최적의 보호저항값과 임의의 보호저항값을 가질 때의 부하에서의 신호 무결성을 비교하였을 때, 최적의 보호저항값을 가질 때가 부하에서의 아이 다이어그램의 면적이 가장 큰 것을 확인하여 따라서 본 논문에서 제안한 방법의 유효성을 보였다.

그러나 프로브 카드의 동작 주파수가 향후 점점 높아지면, 프로브 카드 내의 전송선로가 RC 우세모드 영역을 벗어날 것으로 예상이 되며, 이때에는 선로의 인덕턴스를 고려한 또 다른 방법론이 필요로 할 것으로 사료된다. 본 논문에서 제시한 동반 단락을 막기 위한 방법으로 보호저항을 필수적으로 부착해야 하는 상황에서 신호 감쇠와 신호특성을 모두 고려할 때의 설계 방법으로 기여할 수 있을 것으로 기대된다.

References

- [1] J. Rivoir, "Parallel test reduces cost of test more effectively than just a cheap tester," in *IEEE/CPMT/SEMI 29th International Electronics Manufacturing Technology Symposium*, San Jose, CA, Jul. 2004, pp. 263-272.
- [2] G. B. Son, S. S. Hahm, M. T. Choi, J. S. Lee, K. W. Park, and W. S. Choi, et al., "A study on accuracy improvement of probe mark at semiconductor wafer test," in *Proceedings of the Korean Society of Precision Engineering Conference*, Jeju, May-Jun. 2012, pp. 811-812.
- [3] E. Lee, M. Lee, J. J. Kim, M. Kim, J. Kim, and J. Kim, et al., "High-speed probe card design to reduce the crosstalk noise for wafer-level test," in *2014 IEEE 23rd Conference on Electrical Performance of Electronic Packaging and Systems*, Portland, OR, Oct. 2014, pp. 117-120.
- [4] G. Y. Kim, W. S. Nah, "NAC measurement technique on high parallelism probe card with protection resistors," *Journal of Semiconductor Technology and Science*, vol. 16, no. 5, pp. 641-649, Oct. 2016.
- [5] K. J. Oh, Y. H. Cho, and S. K. Yoo, "A technique of embedding protection resistors inside LTCC substrate using as space transformer," in *SWTest 2019 Conference*, San Diego, CA, Jun. 2019.
- [6] D. M. Pozar, *Microwave Engineering*, Hoboken, NJ, John Wiley & Sons, 2011.
- [7] G. Y. Kim, S. H. Kang, and W. S. Nah, "Novel TDR test method for diagnosis of interconnect failures using automatic test equipment," *IEEE Transactions on Instrumentation and Measurement*, vol. 66, no. 10, pp. 2638-2646, Oct. 2017.
- [8] W. O. Kwon, S. W. Kim, and M. J. Kim, "Jitter measurements in high-speed serial data signals," *Electronics and Telecommunications Trends*, vol. 20, no. 3, pp. 112-121, Jun. 2005.
- [9] H. Johnson, M. Graham, *High-Speed Signal Propagation: Advanced Black Magic*, Upper Saddle River, NJ, Prentice Hall Professional, 2003.
- [10] C. Hong, J. H. Ahn, "Improving parallel testing efficiency of memory chips using NOC interconnect," *The Transactions of the Korean Institute of Electrical Engineers*, vol. 68, no. 2, pp. 364-369, Feb. 2019.

최 성 수 [성균관대학교/석사과정]

<https://orcid.org/0000-0001-6413-5834>



2020년 2월: 강남대학교 전자공학과 (공학사)
2021년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
[주 관심분야] SI/PI, EMI/EMC

한 준 희 [성균관대학교/석박사통합과정]

<https://orcid.org/0000-0002-7759-6717>



2018년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학사)
2018년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석박사 통합과정
[주 관심분야] SI/PI, EMI/EMC

김 규 열 [삼성전자/수석연구원]

<https://orcid.org/0000-0003-0743-6598>



2000년 2월: 경희대학교 전자공학과 (공학사)
 2008년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학석사)
 2017년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학박사)
 2000년 2월~현재: 삼성전자 메모리사업

부 EDS팀 Test기술그룹 (PL)
 [주 관심분야] Memory Test, Probe Card, SI/PI

나 완 수 [성균관대학교/전임교수]

<https://orcid.org/0000-0002-0315-3294>

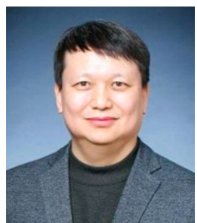


1884년 2월: 서울대학교 전기공학과 (공학사)
 1986년 2월: 서울대학교 전기공학과 (공학석사)
 1991년 2월: 서울대학교 전기공학과 (공학박사)
 1991년~1993년:SSCL Guest Collaborator

1993년~1995년: 한국전기연구원 선임연구원
 1995년~현재: 성균관대학교 정보통신공학부 전임교수
 [주 관심분야] SI/PI, EMI/EMC

김 용 상 [성균관대학교/전임교수]

<https://orcid.org/0000-0003-2986-2686>



1988년 2월: 서울대학교 전기공학과 (공학사)
 1990년 2월: 서울대학교 전기공학과 (공학석사)
 1994년 2월: 서울대학교 전기공학과 (공학박사)
 2013~현재: 성균관대학교 전자전기컴퓨터공학과 전임교수

2019년~2021년: 삼성전자/삼성디스플레이 자문교수
 2022년~현재: 대한전기학회 전기물성응용 부문회 임원 (부회장 및 연구회 위원장)
 [주 관심분야] TFT 소자 및 공정, 디스플레이 패널 구동 회로, Biosensor