

28-nm CMOS 공정을 이용한 Ka-Band 수신기 설계

Design of a Ka-Band Receiver Using 28-nm CMOS Process

이 준 표¹ · 양 동 열² · 김 병 성³

Jun-pyo Lee¹ · Dong-yeol Yang² · Byung-sung Kim³

요 약

본 논문에서는 28-nm CMOS 공정을 이용한 레이더용 직접변환 Ka-band 수신기를 제시한다. 설계된 수신기는 저잡음 증폭기, 주파수 혼합기 및 기저 대역 증폭단으로 구성된다. 저잡음 증폭기는 2단 캐스코드 구조이며, 주파수 혼합기는 낮은 플리커 잡음을 갖는 수동형 단일 평형 구조로 설계하였다. 기저 대역 증폭단은 혼합기의 출력 전류를 입력으로 받으며, 낮은 플리커 잡음을 갖도록 큰 크기를 갖는 트랜지스터로 구성된 트랜스 임피던스 증폭단으로 설계하였다. 이차림 LNA, Mixer, TIA를 포함하는 수신기 칩은 32 GHz LO 신호를 인가받아 주파수를 직접변환하였다. 수신기의 성능은 온 웨이퍼 프로빙으로 측정을 수행하였다. 수신기 전체 전압 변환 이득은 28 dB, 싱글사이드밴드 잡음 지수는 6.1 dB, 3 dB 대역폭은 6 GHz이며, 수신기 칩의 면적은 0.320 mm²이다.

Abstract

This study presents a Ka-band direct-conversion receiver using a 28-nm CMOS (Complimentary Metal Oxide Semiconductor) process for radar applications. The designed receiver includes a LNA (Low-Noise Amplifier), Mixer, and Baseband amplifier. The LNA adopts a two-stage cascode amplifier structure. Then, the mixer is a single-balanced passive mixer with low flicker noise. At the end, the baseband amplifier is a transimpedance amplifier with fat FET (Field-Effect-transistor) for low flicker noise and current-mode operation of the mixer. The LO (Local Oscillator) signal for driving the mixer is supplied externally. The performance of the receiver is tested using on-wafer probing and an air test is performed by integrating a microstrip antenna. The total conversion gain, noise figure, and 3 dB bandwidth are 28 dB, 6.1 dB, and 6 GHz, respectively. The chip size is 0.320 mm².

Key words: Ka-Band, RF Receiver, LNA, MIXER, TIA

I. 서 론

최근 각종 무선통신 기술의 발달 및 수요 증가에 따라 밀리미터파 대역 통신 회로의 관련 연구가 활발히 이루어지고 있다. 또한 비용과 집적도 면에서 유리한 CMOS

공정 기술의 발달로 밀리미터파 대역 회로 설계가 용이하게 되었다^[1]. 모바일 및 자율주행을 위한 레이더 송수신기 등 초고주파 회로의 적용 범위는 점점 더 다양해지고 있고, 향후에는 UAV(unmanned aerial vehicle)나 드론 택시 등을 위한 레이더 수요도 제기될 것으로 예측된다.

「이 연구는 삼성전자(Samsung Electronics Co., Ltd)의 지원으로 수행한 연구 결과입니다.」

「이 연구는 2021학년도 인하대학교 항공·우주·부품 기술개발사업의 연구비 지원으로 연구되었습니다.」

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

1: 석사과정(<https://orcid.org/0000-0003-2604-2332>), 2: 석·박사통합과정(<https://orcid.org/0000-0001-7403-8464>), 3: 교수(<https://orcid.org/0000-0003-3084-6499>)

· Manuscript received March 22, 2022 ; Revised March 30, 2022 ; Accepted April 1, 2022. (ID No. 20220322-031)

· Corresponding Author: Byung-sung Kim (e-mail: bskimice@skku.edu)

본 논문에서는 UAV 레이다 응용을 위해 28-nm CMOS 공정을 이용한 Ka-band 대역 수신기를 제안한다. II장에서 LNA, MIXER, TIA 설계를 설명하고, III장과 IV장에서 각각 온 웨이퍼 측정 결과 및 결론을 제시한다.

II. Ka-Band 수신기 설계

2.1 저잡음 증폭기(Low-Noise Amplifier)

저잡음 증폭기는 수신한 신호를 초단에서 증폭하고 잡음을 억제하여 수신기 전체의 잡음을 결정한다. 수 GHz에서 동작하는 저주파 CMOS LNA는 이득 및 잡음 정합을 간단히 하기 위해, FET 너비를 조절하여 잡음 정합 임피던스 Z_{opt} 의 실수부가 50 Ω이 되도록 한다. 그리고 소스 축퇴 인덕턴스값을 조절해 실제 입력 임피던스도 50 Ω이 되도록 한 후 직렬 인덕턴스를 사용해 간단히 정합하는 방식을 널리 사용한다. 이때 잡음 정합에 사용하는 FET의 폭은 약 $750 \mu\text{m}/\text{GHz}$ 정도의 기준을 가지므로 수 GHz 이하에서는 FET의 크기가 과도해져 FET 입력단에 보조 커패시턴스를 달아 FET 크기를 줄여 설계한다^[2].

한편, 실제 LNA에서는 정전기 손상을 방지하기 위해 다이오드를 이용한 ESD(electro-static discharge) 보호회로가 사용된다. 낮은 주파수에서는 ESD 보호회로의 영향이 없지만, 동작 주파수가 30 GHz와 같이 밀리미터파 주파수대가 되면 ESD 보호회로의 커패시턴스가 정합에 크게 영향을 끼쳐 직렬 정합 회로로 낮은 잡음지수를 달성하기 어렵고, 최적 잡음을 위한 FET 크기도 작아져서 충분한 이득을 확보하기가 어려워진다^[3]. 그러므로 병렬 정합을 통해 병렬 인덕터로 ESD 보호회로를 대체할 수 있으며, 최적 잡음 조건에 필요한 소자의 크기도 충분히 늘려 이득 관점에서 설계 자유도가 높다^[3]. 이때 인덕터의 양호도가 증폭기의 성능에 영향을 끼치는데, 높은 이득과 낮은 잡음 지수를 위해 그림 1(a)처럼 최상단 금속의 직경 $72 \mu\text{m}$, 너비 $5 \mu\text{m}$ 를 갖는 인덕터를 사용하였다.

병렬 인덕터를 사용한 정합 회로는 그림 1(b)과 그림 2에서 확인할 수 있듯 FET 크기를 키웠을 때 잡음 정합 어드미턴스 Y_{opt} 의 실수부가 20 mS 에 근접해감을 알 수 있다. 특히 FET 크기를 키울수록 잡음지수가 감소한다. 이처럼 Y_{opt} 의 값은 증가하는 경향이 있으나 $140 \mu\text{m}$ 이상

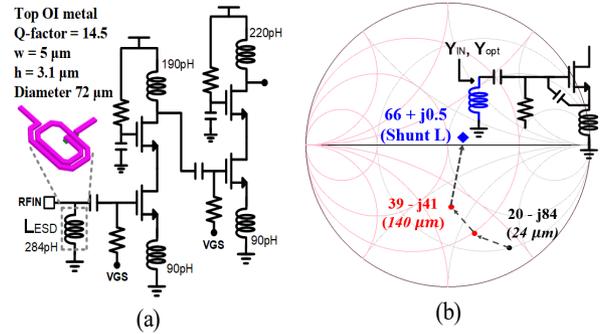


그림 1. (a) 2단 캐스코드 LNA 및 L_{ESD} , (b) 임피던스 정합과정

Fig. 1. (a) 2-Stage cascode low-noise amplifier and L_{ESD} , (b) Step of impedance matching with shunt inductor.

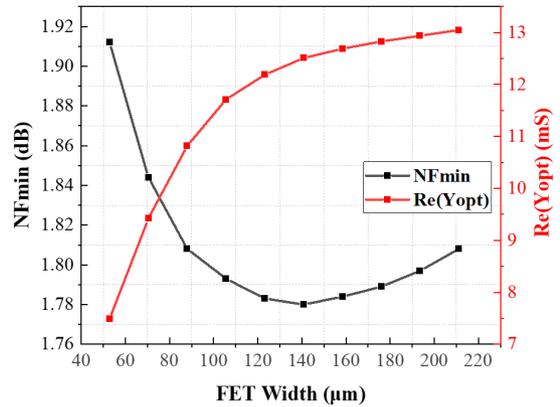


그림 2. FET 크기에 따른 최소 잡음지수 및 Y_{opt} 시뮬레이션
Fig. 2. Simulated NFmin and Y_{opt} variation with FET width.

의 FET 너비에서는 Y_{opt} 증가 폭이 감소하며, 잡음지수는 오히려 증가하는 것을 확인할 수 있다. 그러므로 FET 크기 $140 \mu\text{m}$ 의 조건에서 적절한 값을 갖는 한 개의 병렬 인덕터로 어드미턴스의 허수부를 중화시킴으로써 잡음과 이득 정합이 가능해진다. FET 크기를 더 넓혀 50 Ω 정합을 수행할 수 있으나, 이 경우 잡음 및 소모 전력의 증가가 불가피하다. 이처럼 $66+j0.5 \Omega$ 으로 정합된 그림 1(a)의 수신기 초단의 LNA는 그림 3과 같이 Ka-band 대역의 시뮬레이션값과 측정값이 모두 S_{11} 이 -10 dB 이하로 확인되었다. 또한 공급 전압 1 V, 입력 바이어스 전압 550 mV가 인가되어, 전체 25 mW 전력을 소모하도록 설계하였다.

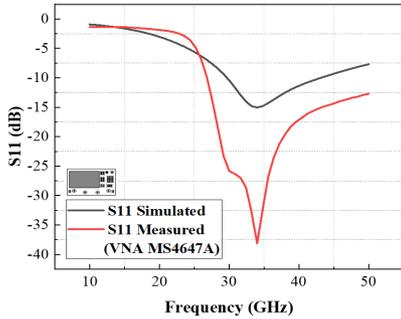


그림 3. 수신기 저잡음 증폭기의 시뮬레이션 및 측정 S_{11}
Fig. 3. Measured and simulated S_{11} of LNA in receiver chip.

2-2 전류 구동 혼합기(Current-Driven Mixer)

그림 4(a)의 주파수 혼합기는 전류 구동 수동 타입 혼합기(current-driven passive mixer)로 설계되었다. 전류 소스원으로 모델링된 저잡음 증폭기의 출력신호는 전류로서 혼합기의 소스에 입력된다. 이때 혼합기의 소스 임피던스는 낮은 값을 가지기 때문에 전류를 입력으로 받고, 그 출력은 그림 4(b)의 공통게이트 증폭기에 입력된다.

수동 구조는 통상적으로 능동 구조 대비 손실이 크다. 그러나 선형성이 높고 플리커 노이즈와 전력 소모를 최소화한다⁴⁾. 그리고 스위칭 게이트에 역위상의 차동 LO 신호가 입력되는 단일 평형 구조로 동작하는데, 이러한 LO-balanced 구조는 RF 누설을 억제하여 포트 간 격리 특성을 강화한다. 스위칭 단은 NMOS로 설계되었는데, 이때 FET 너비 선정은 주의 깊게 고려되어야 한다. 큰 너비를 사용하면 플리커 잡음을 억제할 수 있지만, 기생 커패시턴스로 누설된 LO 신호가 TIA로 입력되어 수신 시스템이 포화할 가능성이 있으며⁵⁾, 스위칭 게이트에 입력되는 LO 크기가 감소한다. 본 설계에서는 FET 너비가 커질

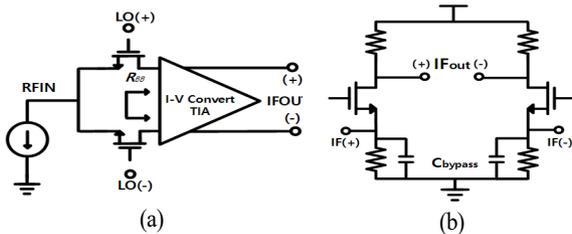


그림 4. (a) 전류 구동 혼합기, (b) 트랜스임피던스 증폭기
Fig. 4. (a) Current-driven mixer, (b) Transimpedance amplifier.

수록 플리커 잡음의 감소 폭이 줄어드는 반면 변환이득의 감소 폭은 일정한 것을 확인 후, 두 성능 지표 간의 최적값을 고려하여 너비를 10 μm 로 설계하였다.

2-3 트랜스 임피던스 증폭기(Trans-Impedance Amplifier)

트랜스 입력 임피던스 증폭기를 설계할 때 작은 면적을 갖는 공통 게이트 증폭기 외에 우수한 선형성을 갖는 OP-amp가 고려된다⁶⁾. 다만 수신기 칩의 전반적인 소형화가 필요한 플랫폼에 대해서는 트랜스 입력 임피던스 증폭기의 크기를 최소화하는 것이 요구된다. 그러므로 본 설계에서는 면적 소모가 적은 TIA를 설계하기 위해 그림 4(b)와 같이 공통 게이트 증폭기로 설계하였다⁶⁾.

$$Conversion\ Gain|_{\max} = \frac{1}{2\pi} \sqrt{\frac{R_p}{R_{sw} + \left(\frac{2}{\pi^2}\right)R_{BB}}} \quad (1)$$

한편, 그림 4(a)의 전류 구동 혼합기에서 정합 인덕터의 손실을 나타내는 R_p , 혼합기의 스위칭 저항 R_{sw} , TIA 입력 임피던스 R_{BB} 값과 전류 변환이득의 관계는 식 (1)과 같다. 직접 변환된 혼합기의 출력 신호는 전류로, 최대 전류 변환이득을 얻기 위해 낮은 입력 임피던스를 갖는 증폭기에 입력되어야 한다. 이처럼 본 연구에서는 낮은 입력 임피던스 R_{BB} 를 가져 전류 변환이득을 최대화할 수 있는 트랜스 임피던스 증폭기를 사용하였다⁵⁾. 또한 플리커 노이즈의 최소화를 위해 FET 크기 180 μm 로 큰 너비를 갖는 트랜지스터(fat FET)로 설계되었다⁶⁾.

III. 수신기 칩의 측정 결과

설계된 수신기 칩은 온 웨이퍼 프로빙으로 측정되었으며, 직접 변환을 위한 LO 신호는 외부 장비(N5183B)를 통해 입력된다. 이때 입력 발룬을 사용하여 혼합기에 차동 쌍 LO 신호를 인가하였다(그림 5). 수신기의 공급 전압은 1 V, LNA, TIA 바이어스 전압은 각각 550 mV, 1 V를 사용하였다. 이때 수신기의 전체 잡음 지수는 그림 6(b)에서 볼 수 있듯 시뮬레이션으로 확인하였다. RF 입력 -39 dBm 에서 싱글사이드 밴드 잡음 지수 6.1 dB로 관찰되었다.

오실로스코프(DPO-4034)로 측정된 수신기의 전압 변환 이득은 IF 신호의 차동 쌍을 기준으로 그림 6(a)와 같

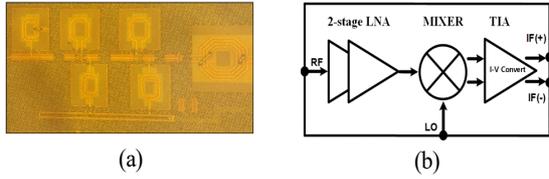


그림 5. (a) Ka-band 수신기 칩 현미경 사진, (b) 전체 블록도
 Fig. 5. (a) Ka-band Rx chip micro-graph, (b) Rx block diagram.

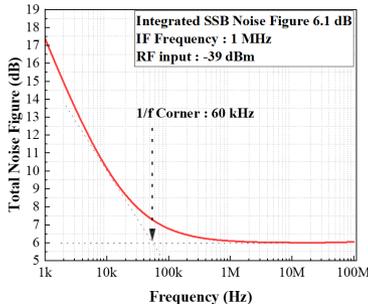
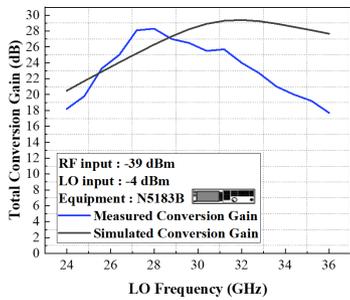


그림 6. (a) 수신기 전압변환이득의 측정 및 시뮬레이션, (b) 수신기 잡음 지수의 시뮬레이션
 Fig. 6. (a) Measured and simulated total conversion gain, (b) Simulated total noise figure.

이 최대 변환이득 $\frac{V_{IF(+)}}{V_{RF}} = \frac{V_{IF(-)}}{V_{RF}} = 28 \text{ dB}$ 를 갖는다. 한편 실제 제작 후 동작 주파수 영역이 전체적으로 시뮬레이션 대비 3 GHz 낮은 주파수 대역으로 하향되었다. S_{11} 의 측정값이 시뮬레이션과 비슷하다는 점을 고려했을 때, 주파수 하향 현상은 입력 정합 영향보다는 LNA 각 단 사이의 임피던스 부정합의 영향이 큰 것으로 예상된다. 즉 인덕터 사이의 간섭 현상에 대한 추가적인 전자파 분석이

고려된다. 이를 통해 인덕터들이 정확히 모델링되었는지 확인 후 임피던스 정합을 개선해야 할 것으로 예상된다.

IV. 결 론

이처럼 28-nm CMOS 공정으로 설계된 Ka-band 수신기는 공급 전압 1 V를 사용하며, LNA 바이어스 전압 550 mV에서 Ka-band 대역의 S_{11} 이 그림 3과 같이 -10 dB 이하로 임피던스 정합되었다. LNA, TIA 각각 25 mA, 1 mA를 소모하도록 설계되었고, 실제 측정 시 수신기 칩 전체 소모 전류는 27.8 mA로 확인되었다. 수신기의 전압 변환이득은 28 GHz에서 최대 28 dB, 3 dB 대역폭은 6 GHz(26~32 GHz)로 측정되었다. 향후 레이더 및 모바일 5G 대역 통신 수신기에 활용할 수 있을 것으로 기대된다.

References

- [1] B. Afshar, A. M. Niknejad, "X/Ku band CMOS LNA design techniques," in *IEEE Custom Integrated Circuits Conference 2006*, San Jose, CA, Sep. 2006, pp. 1-4.
- [2] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd ed. Cambridge, Cambridge University Press, 2003.
- [3] H. Choi, C. Kim "Ultralow-noise figure and high gain Ku-band bulk CMOS low-noise amplifier with large-size transistor," *IEEE Microwave and Wireless Components Letters*, vol. 31, no. 1, pp. 60-63, Jan. 2021.
- [4] M. Ahmad, Y. Ahmad, J. C. Leete, X. Chen, K. Juan, and A. Yazdi, "Analysis and optimization of current-driven passive mixers in narrow-band direct-conversion receivers," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 10, pp. 2678-2688, Oct. 2009.
- [5] T. Arai, T. Usugi, T. Murakami, S. Kishimoto, Y. Utagawa, and M. Kohtani, et al., "A 77-GHz 8RX3TX transceiver for 250-m long-range automotive radar in 40-nm CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 5, pp. 1332-1344, May 2021.
- [6] H. Darabi, *Radio Frequency Integrated Circuits and Systems*, Cambridge, Cambridge University Press, 2015.