

40 nm CMOS 공정을 이용한 I/Q 생성이 내재된 D-대역 주파수 체배기

A D-Band Frequency Multiplier with I/Q Generation in 40 nm CMOS

이 창 중 · 서 문 교

Changjung Lee · Munkyo Seo

요 약

본 논문에서는 단일 종단-차동 변환기(single-ended to differential converter), 주파수 9-체배기, 90° 하이브리드 커플러, D-대역 증폭기로 구성된 D-대역 주파수 체배기를 제안한다. 설계된 D-대역 주파수 체배기는 40 nm CMOS 공정으로 제작되었다. 주파수 3-체배기를 2단 접속하여 주파수 9-체배기를 구현하였다. 광대역 특성을 갖는 Lange 커플러를 사용하여 90° 상대 위상 차이를 갖는 I/Q 국부 발진기 신호를 생성하였다. 온-웨이퍼 측정 결과, 최대 출력 전력 3.4 dBm, 3-dB 대역폭 12 GHz(125~137 GHz), 인접 고조파 억제>30 dBc 특성을 보였다. 공급 전압 1 V에서 소비 전력은 170 mW이고 포화된 출력 전력에서 1.28 %의 효율을 달성하였다. 패드를 제외한 칩 면적은 0.235 mm²이다.

Abstract

This paper presents a D-band frequency multiplier consisting of a single-ended to differential converter, frequency multiplier-by-nine, 90° hybrid coupler, and D-band amplifier. The designed D-band frequency multiplier was fabricated using the 40 nm CMOS process. A frequency multiplier-by-nine was implemented using a two-stage cascade frequency tripler. A Lange coupler with broadband performance was used to generate an I/Q local oscillator signal with a 90° relative phase difference. The on-wafer measurement showed a peak output power of 3.4 dBm, 3 dB bandwidth of 12 GHz (125~137 GHz), and adjacent harmonic suppression greater than 30 dBc. The power consumption was 170 mW at a supply voltage of 1 V, and an efficiency of 1.28 % was achieved at saturated output power. The chip area, excluding the pads, was 0.235 mm².

Key words: CMOS, Frequency Multiplier, Integrated Circuit, D-Band, Sub-Thz

I. 서 론

정보 통신 사회의 고도화 더불어 무선 통신의 요구 전

송률은 지속적으로 증가하고 있어, 100 GHz 이상의 테라 헤르츠 주파수 대역 무선 통신 시스템의 구현에 관한 연구가 활발해지고 있다. 특히, 차세대 상용 통신의 후보 주

「본 연구는 IDEC에서 EDA Tool를 지원받아 수행하였음.」

「본 연구는 2021년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구임(No.2021-0-00198, 저전력 MIMO 및 고효율 공간합성 QAM 기반 6G RF 전단 핵심기술개발).」

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

· Manuscript received March 10, 2022 ; Revised March 21, 2022 ; Accepted April 7, 2022. (ID No. 20220310-024)

· Corresponding Author: Munkyo Seo (e-mail: mkseo@skku.edu)

파수 대역으로 주목을 받고 있는 D-대역(110~170 GHz)에서 동작하는 다양한 무선 통신용 회로들이 개발되고 있다^{[1]~[3]}. 이러한 송수신 칩은 주파수 변환기를 구동하기 위해 유사 주파수 대역의 국부 발진기(LO) 신호 생성기가 필요하다. 기본 주파수 발진(fundamental frequency oscillation) 방식은 회로가 비교적 단순하다는 장점이 있으나 테라헤르츠 대역의 낮은 충실 지수로 인해 위상 잡음 특성이 저하되는 어려움이 있어, 최근의 D-대역 구현 사례들에서는 주파수 채배(frequency multiplication) 방식이 우선적으로 고려되고 있다^{[4]~[8]}.

본 논문에서는 그림 1의 단일 종단-차동 변환기(single-ended to differential converter), 주파수 9-채배기, 90° 하이브리드 커플러, D-대역 증폭기로 구성된 D-대역 주파수 채배기를 제안한다. 채배기 입력 신호는 단일 종단-차동 변환기를 통해 차동 신호로 변환되어, 주파수 3-채배기의 다단 접속으로 구현된 주파수 9-채배기를 구동한다. 90° 하이브리드로 90° 위상 차이를 갖는 I/Q LO 신호를 생성한 후 최종 D-대역 증폭기를 이용하여 주파수 변환기를 구동하기에 충분한 전력을 공급한다. 설계된 주파수 채배기는 40 nm CMOS로 제작한 후 온-웨이퍼 측정 환경으로 성능을 평가하였다.

II. 설 계

2-1 단일 종단-차동 변환기

그림 2는 본 논문의 채배기에 사용된 단일 종단-차동 변환기의 회로도이다. 고주파 대역에 비해 낮은 주파수 대역에서는 수동 발룬의 크기가 커지기 때문에 능동소자를 사용하여 수동 발룬에 비해 비교적 면적이 작은 단일

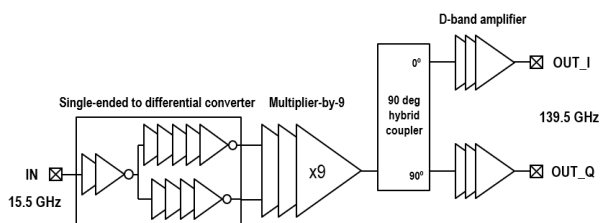


그림 1. D-대역 주파수 채배기 블록 다이어그램
Fig. 1. Blockdiagram of the D-band frequency multiplier.

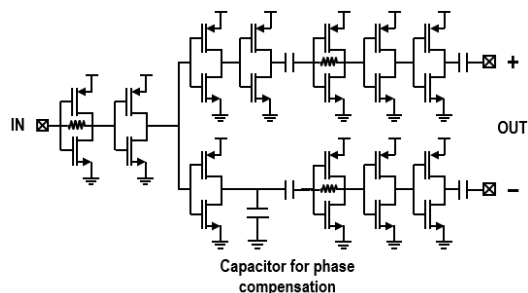


그림 2. 단일 종단-차동 변환기 회로도
Fig. 2. Schematic of the single-ended to differential converter.

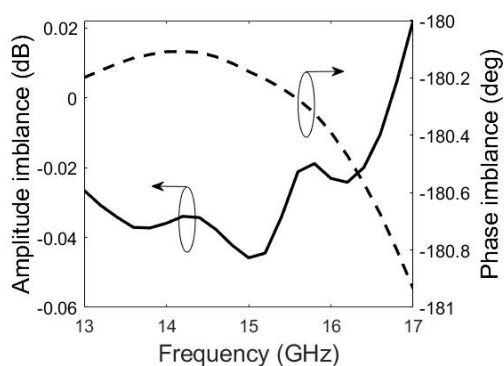


그림 3. 단일 종단-차동 변환기의 진폭 불일치와 위상 불일치 시뮬레이션 결과
Fig. 3. Simulated amplitude and phase imbalance of the single-ended to differential converter.

종단-차동 변환기를 사용하였다. 수동 발룬 면적(약 0.0291 mm^2)^[9] 대비 약 50 % 크기로 구현되었다. 각 경로 간의 인버터 개수 차이로 차동 신호를 생성하고, 인버터의 경로 지연으로 인한 위상 오차는 상대 경로에 커패시터를 추가하여 보상하였다. 신호 경로의 비대칭성으로 인한 진폭 불일치를 최소화하기 위해 인버터 기반의 3단 버퍼를 사용하였다. 시뮬레이션에 의한 최종 출력의 진폭 불일치 및 위상 불일치는 그림 3에서 보듯이 입력 주파수 13~17 GHz에서 각각 0.05 dB 및 1° 이내이다.

2-2 9-채배기

D-대역 주파수 채배기 입력으로부터 9차 고조파 성분을 생성하기 위해 주파수 3-채배기를 2단 접속하여 그림 4의 9-채배기를 구현하였다. 주파수 3-채배기는 주파수 2-

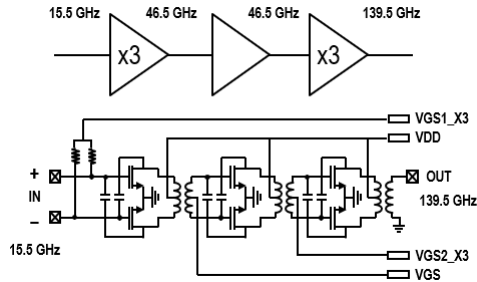


그림 4. 주파수 9-체배기 회로도

Fig. 4. Schematic of the multiplier-by-9.

체배기 대비 적은 단으로 높은 체배수를 가진다는 장점과 완전 차동 구조로 동작하여 단일 종단 구조로 동작하는 주파수 2-체배기에 비해 고주파에서 AC 접지 문제로 인한 성능 저하에 둔감하다는 장점이 있다. 첫 번째 차동 공통 소오스 단은 15.5 GHz 입력의 3차 고조파인 46.5 GHz 신호를 생성한다. 두 번째 차동 증폭단으로 증폭된 46.5 GHz 신호는 최종 3-체배기를 구동하여 9차 고조파 성분인 139.5 GHz 신호를 생성한다. 모든 단 간에는 트랜스포머가 임피던스 정합 및 바이어스 회로의 역할을 겸하며, 이득과 안정성을 증가시키기 위해 교차 결합된 중성화 커패시터 쌍을 사용하였다.

단일 종단-차동 변환기를 포함한 시뮬레이션에 의하면 설계된 주파수 9-체배기의 출력 포화 전력은 15.5 GHz 입력에서 -3.2 dBm이며 인접한 8차 및 10차 고조파 성분은 입력 전력이 -30 dBm 이상일 때 35 dBc 이하이다(그림 5). 그림 6에서 보듯이 시뮬레이션상 포화 출력의 3-dB

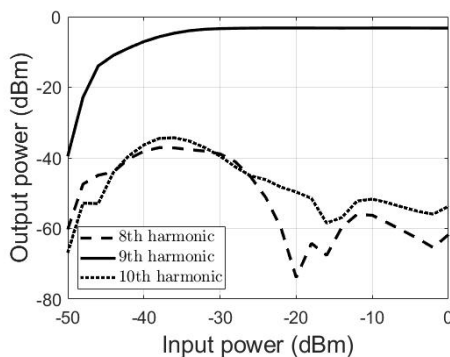


그림 5. 9-체배기의 입출력 시뮬레이션 결과

Fig. 5. Simulated input output performance of the multiplier-by-9.

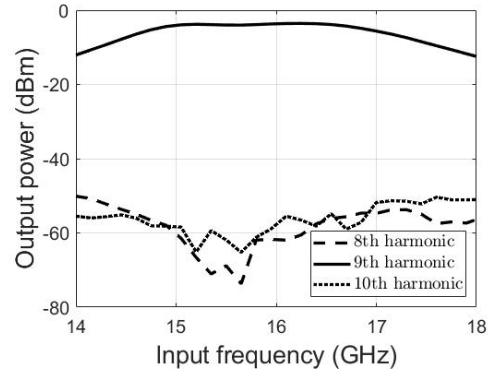


그림 6. 9-체배기의 출력 고조파 전력 시뮬레이션 결과

Fig. 6. Simulated output harmonic power of the multiplier-by-9.

대역폭은 23.4 GHz(입력 주파수 14.6~17.2 GHz)이며 인접 고조파 성분은 약 30 dBc 이하이다.

2-3 I/Q 생성

90° 의 상대 위상 차이를 갖는 I/Q LO 신호를 생성하기 위해서는 일반적으로 90° 하이브리드 커플러가 사용된다. 본 논문에서는 결합 전송선(coupled line)에 기반한 Lange 커플러를 이용하여 I/Q 신호를 생성하였는데, 전송선의 길이에 의존하여 90° 위상 차이를 발생하는 브랜치라인 커플러(branch-line coupler) 대비 상대적으로 광대역 특성을 갖는 장점이 있다. 본 논문의 Lange 커플러는(그림 7)

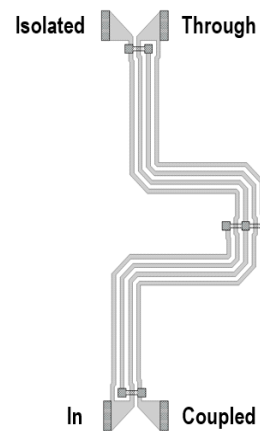


그림 7. Lange 커플러 레이아웃

Fig. 7. Lange coupler layout.

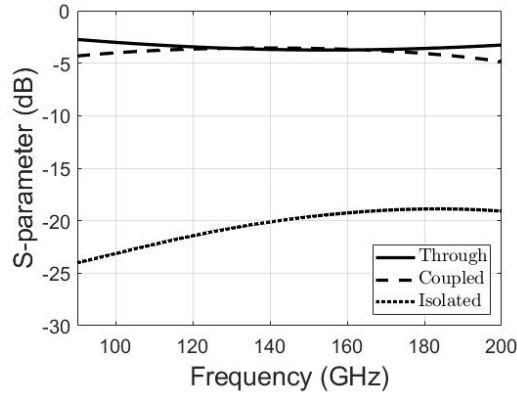


그림 8. Lange 커플러 산란계수 시뮬레이션 결과
Fig. 8. Simulated S -parameters of the Lange coupler.

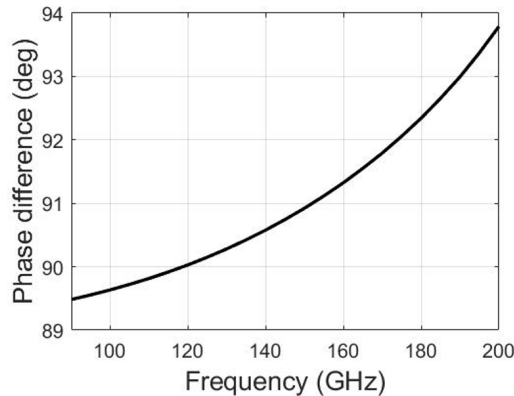


그림 9. Lange 커플러 출력 위상 차이 시뮬레이션 결과
Fig. 9. Simulated output phase difference of the Lange coupler.

최상위 금속 배선층만을 사용하고 선풍 및 간격을 적절히 선택하여 3-dB 결합도 및 임피던스 정합에 요구되는 짝수 모드 및 홀수 모드 특성 임피던스를 구현하였다. 그림 8과 그림 9의 시뮬레이션 결과에 의하면 100~190 GHz에서 삽입 손실은 4.5 dB 이하이고, 두 출력 간 크기 및 위상 차이는 각각 1 dB 및 4° 이하였다.

2.4 D-대역 증폭기

D-대역 증폭기는 그림 10과 같이 주파수 3-체배기와 유사하게 교차 결합된 증폭화 커패시터가 있는 차동 공통 소오스단으로 구현하였다. 모든 임피던스 매칭 회로는 트랜스포머와 트랜스포머 기반 발룬을 사용하여 구현되

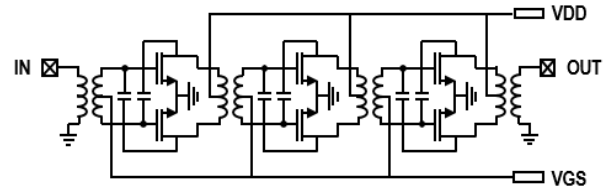


그림 10. D-대역 증폭기의 회로도
Fig. 10. Schematic of the D-band amplifier.

었다. 단 간 정합은 복소 공액 정합(conjugate matching)으로 구현하였다. 그림 11과 그림 12의 시뮬레이션 결과에 의하면 증폭기 최대 이득은 140 GHz에서 17.5 dB, 3-dB 대역폭은 약 20 GHz이며 출력 포화 전력은 6 dBm이다.

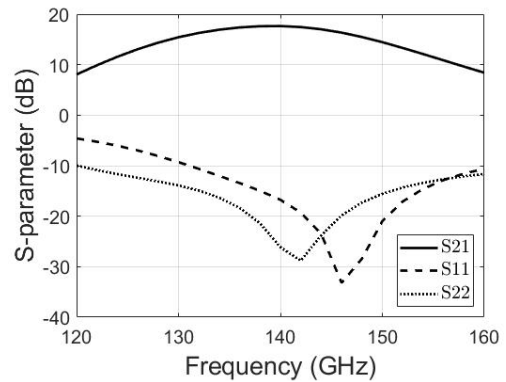


그림 11. D-대역 증폭기의 산란계수 시뮬레이션 결과
Fig. 11. Simulated S -parameters of the D-band amplifier.

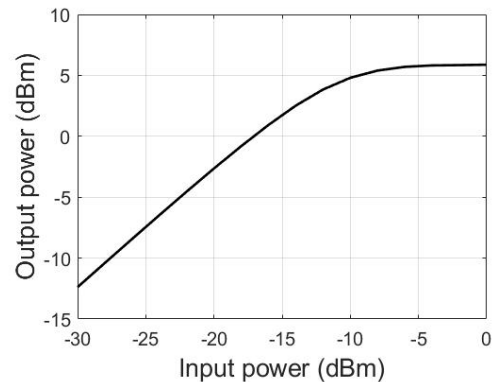


그림 12. D-대역 증폭기의 입출력 시뮬레이션 결과
Fig. 12. Simulated input output performance of the D-band amplifier.

III. 측정 결과

설계된 D-대역 주파수 체배기는 40 nm CMOS 공정으로 제작되었다. 패드를 제외한 회로의 크기는 그림 13과 같이 $0.245 \text{ mm}^2 (0.7 \text{ mm} \times 0.35 \text{ mm})$ 이다. 그림 14는 D-대역 온-웨이퍼 측정 환경 사진 및 블록 다이어그램이다. PNA-X N5244B를 이용해 체배기 입력 신호를 공급하고, 체배기의 출력은 VDI사의 D-대역 수신기 모듈 WR6.5SAX로 하향 변환 후 Rohde & Schwarz사의 스펙트럼 분석기 FSV로 측정하였다. 과출력으로 인한 D-대역 수신기 모듈의 손상을 방지하기 위해 체배기 출력에 D-대역 감쇠기를 추가하였다. 이러한 D-대역 감쇠기 손실 및 수신기 모듈의 변환 손실은 VDI사 전력계 PM5B를 이용하여 별도 측정 후 보상하였으며 D-대역 프로브 손실 역시 별도의 THRU-LINE 측정을 이용하여 보상하였다. 체배기의 각 게이트 전압은 전부 0.6 V이고 전원 전압은 1 V이며 총 소비 전력은 170 mW이다. 모든 측정에서의 체배기 입력 전력은 0 dBm이고 이때 체배기 출력은 포화 영역에 있음을 확인하였다.

그림 15는 입력 주파수에 따른 출력 전력의 측정 결과이다. 9차 고조파 출력은 130 GHz(입력 주파수 14.44 GHz)에서 최대 3.4 dBm이고, 3-dB 대역폭은 125~137 GHz(입력 주파수 13.89~15.22 GHz)이다. 3-dB 대역폭 내에서 인접 고조파 억제는 30 dBc 이상으로 측정되었다. 측정치와 시뮬레이션과의 차이는 레이아웃 기생성분 모델링 오차 및 공정 편차 등에 기인한 것으로 여겨진다. 체배기 출력 간의 진폭 불일치는 그림 16에서 3-dB 대역폭

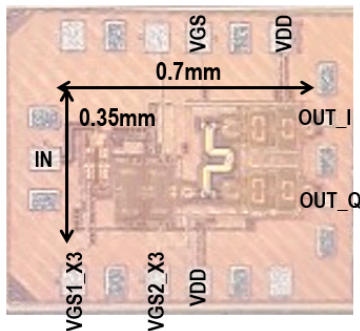


그림 13. D-대역 주파수 체배기의 칩 현미경 사진
Fig. 13. Chip micrograph of the D-band frequency multiplier.

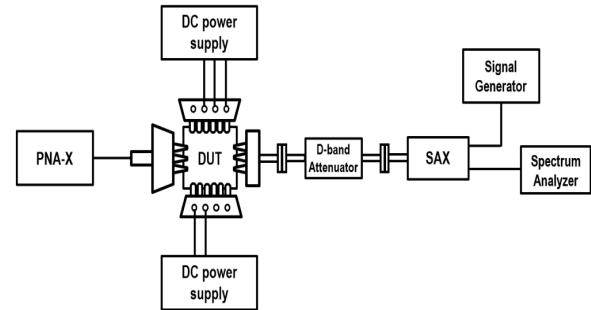
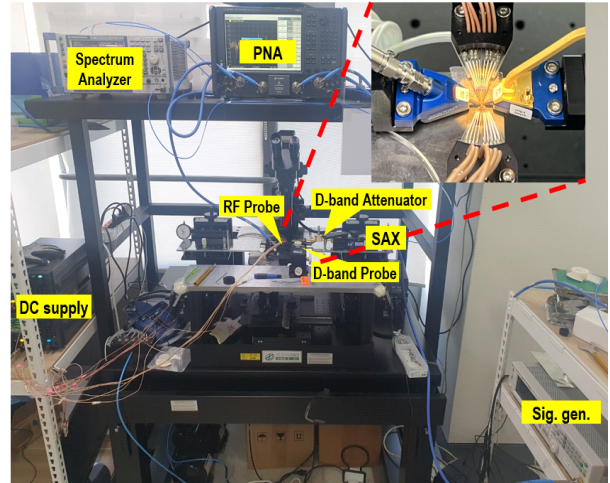


그림 14. 온-웨이퍼 측정 셋업
Fig. 14. On-wafer measurement setup.

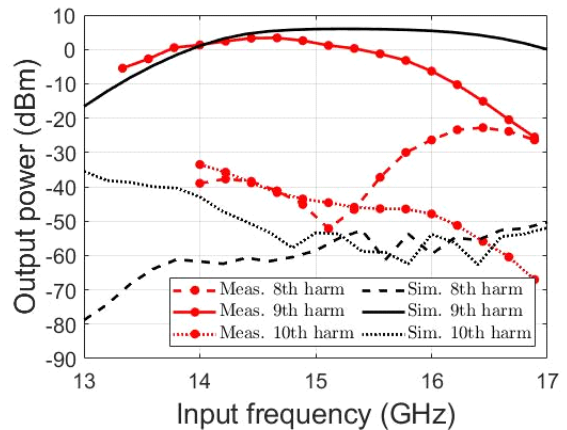


그림 15. D-대역 주파수 체배기의 출력 고조파 전력 측정 결과와 시뮬레이션 결과
Fig. 15. Measured and simulated output harmonic power of the D-band frequency multiplier.

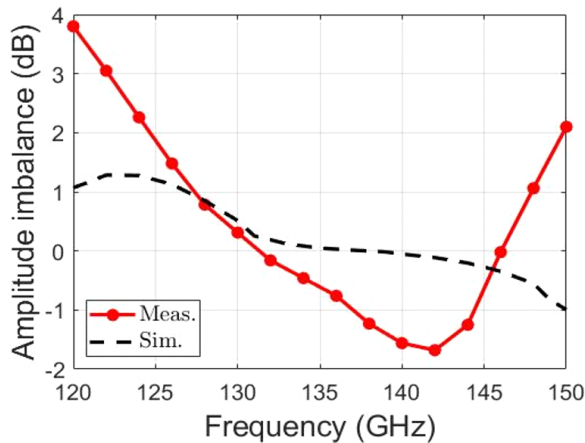


그림 16. D-대역 주파수 체배기의 진폭 불일치 측정 결과와 시뮬레이션 결과

Fig. 16. Measured and simulated output amplitude imbalance of the D-band frequency multiplier.

(125~137 GHz) 내에서 2 dB 이내로 측정되었다.

IV. 결 론

본 논문에서는 40 nm CMOS 공정으로 구현된 D-대역 주파수 체배기의 설계 및 측정 결과를 제시하였다. 표 1에 기존 논문에 발표된 D-대역 주파수 체배기와 비교하였다. 본 논문의 체배기의 면적은 0.235 mm^2 로 기존 주파수 체배기 대비 상대적으로 저면적 구현이고, 최대 전력 및 전력 효율은 유사하거나 상대적으로 우수함을 알 수 있다. 본 논문에서 제안한 D-대역 주파수 체배기는 90° 하이브리드를 집적하여 D-대역 I/Q 통신용 송수신 칩의 저면적화 구현에 유용할 것으로 기대된다.

표 1. D-대역 주파수 체배기의 성능 비교표

Table 1. Comparison table of the performances of the D-band frequency multiplier.

Ref.	Technology	Multiplication factor	Freq. (GHz)	3-dB BW (GHz)	P_{sat} (dBm)	CG (dB)	P_{dc} (mW)	η (%)	Size (mm^2)	Integration
[4]	130 nm SiGe BiCMOS	$\times 4$	110~170	60	8	6	278.5	2.25	$0.445^{(2)}$	Quadrupler, Amp.
[5]	130 nm SiGe BiCMOS	$\times 5$	114~126	12	-3.8	-11.8	59	0.64	$0.262^{(2)}$	Amp. buffer
[6]	45 nm SOI CMOS	$\times 9$	150	>20	3	N/A	108	N/A	$0.288^{(1)}$	STD, tripler, 90° hybrid coupler, Amp.
[7]	0.12 μm SiGe HBT	$\times 6$	128	37	4.5	0.2	310	0.9	$0.35^{(1)}$	tripler, doubler, Amp.
[8]	60 nm CMOS	$\times 9$	117~129.3	12.3	6.3	-4	328	1.26	$0.131^{(2)}$	tripler, Amp.
This work	40 nm CMOS	$\times 9$	125~137	12	3.4	3.4	170	1.28	$0.235^{(1)}$	STD, tripler, 90° hybrid coupler, Amp.

¹⁾ The core size excluding the pads.

²⁾ The estimated core size from chip micrograph.

η : $P_{sat}/(P_{in}+P_{dc}) \times 100$.

STD: Single-ended to differential converter).

References

- [1] S. Carpenter, H. Zirath, Z. S. He, and M. Bao, "A fully integrated D-band direct-conversion I/Q transmitter and receiver chipset in SiGe BiCMOS technology," *Journal of Communications and Networks*, vol. 23, no. 2, pp. 73-82, Apr. 2021.
- [2] P. Zhou, J. Chen, P. Yan, J. Yu, H. Li, and D. Hou, et al., "A 150-GHz transmitter with 12-dBm peak output power using 130-nm SiGe:C BiCMOS process," *IEEE Transactions on Microwave Theory and Techniques*, vol. 68, no. 7, pp. 3056-3067, Jul. 2020.
- [3] A. A. Farid, A. Simsek, A. S. H. Ahmed, and M. J. W. Rodwell, "A broadband direct conversion transmitter/receiver at D-band using CMOS 22 nm FDSOI," in *2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Boston, MA, Jun. 2019, pp. 135-138.
- [4] A. Karakuzulu, M. H. Eissa, D. Kissinger, and A. Malignaggi, "A broadband 110~170 GHz frequency multiplier by 4 chain with 8 dBm output power in 130 nm BiCMOS," in *ESSCIRC 2021-IEEE 47th European Solid-State Circuits Conference(ESSCIRC)*, Grenoble, Sep. 2021, pp. 451-454.
- [5] A. Bilato, V. Issakov, and A. Bevilacqua, "A 114~126 GHz frequency quintupler with >36 dBc harmonic rejection in 0.13 μm SiGe BiCMOS," in *2019 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium(BCICTS)*, Nashville, TN, Nov. 2019, pp. 1-4.
- [6] A. Simsek, S. K. Kim, and M. J. W. Rodwell, "A 140 GHz MIMO transceiver in 45 nm SOI CMOS," in *2018 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium(BCICTS)*, San Diego, CA, Oct. 2018, pp. 231-234.
- [7] M. Bao, Z. He, T. T. N. Do, and H. Zirath, "A 110-to-147 GHz frequency sextupler in a 130 nm SiGe Bicomos technology," in *2018 13th European Microwave Integrated Circuits Conference(EuMIC)*, Madrid, Sep. 2018, pp. 105-108.
- [8] B. Khamaisi, E. Socher, "Ku-band to F-band active multiplier chain in 65-nm CMOS," in *2016 11th European Microwave Integrated Circuits Conference (EuMIC)*, London, Oct. 2016, pp. 93-96.
- [9] P. Zhou, J. Chen, H. Li, D. Hou, P. Yan, and C. Yu, et al., "A high-efficiency E-band SiGe HBT frequency tripler with broadband performance," in *2018 IEEE/MTT-S International Microwave Symposium-IMS*, Philadelphia, PA, Jun. 2018, pp. 690-693.

이 창 중 [성균관대학교/석사과정]

<https://orcid.org/0000-0002-1177-201X>



2020년 2월: 광운대학교 전자공학과 (공학사)

2020년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정

[주 관심분야] RF, Integrated Circuit, Millimeter-Wave, Sub-THz, CMOS 등

서 문 교 [성균관대학교/부교수]

<https://orcid.org/0000-0002-0691-1783>



1994년 2월: 서울대학교 전자공학과 (공학사)

1996년 2월: 서울대학교 전자공학과 (공학석사)

2007년 12월: University of California, Santa Barbara, USA (공학박사)

2009년~2013년: Teledyne Scientific Company, USA, Senior Engineer

2013년~현재: 성균관대학교 전자전기컴퓨터공학과 부교수

[주 관심분야] Millimeter-Wave & Terahertz IC Design