

공통 소스 트랜지스터의 Self-Body-Biasing을 통해 선형성이 향상된 2.45 GHz CMOS 전력증폭기의 설계

Design of 2.45 GHz CMOS Power Amplifier with Improved Linearity Using Self-Body-Biasing of Common-Source Transistors

정 광 현

Gwanghyeon Jeong

요 약

본 논문은 캐스코드 파워셀을 기반한 RF CMOS 전력증폭기의 설계에 대해 소개한다. 전력증폭기의 비선형성을 개선하기 위해 공통 소스 트랜지스터의 self-body-biasing(SBB)을 제안하였고, 시뮬레이션을 통해 SBB의 선형화 원리에 대해 분석한 내용을 포함한다. SBB 기법은 4 k Ω 의 저항을 CMOS 트랜지스터의 바디와 드레인 사이에 삽입하여 구성한다. 공통 소스 트랜지스터에 SBB 기법을 적용하면 3차 트랜스컨덕턴스의 변화를 발생시켜 3차 상호 변조 왜곡을 감소시키는 효과를 얻을 수 있다. 또한 공통 게이트 트랜지스터가 포화 영역에서 동작할 수 있는 전압 조건을 확보하여, 출력단의 기생 캐패시턴스의 변화를 줄여 AM-PM 왜곡을 개선하는 효과를 얻을 수 있다.

Abstract

This study introduces the design of an RF CMOS power amplifier based on a cascode powercell. self-body-biasing (SBB) of common source (CS) transistors (TRs) was proposed to improve the nonlinearity of power amplifiers. Accordingly, an analysis of the linearization principle of SBB was performed through simulation. The SBB technique is configured by inserting a 4 k Ω resistor between the body and the drain of the CS TRs. Accordingly, using the SBB to the CS TRs could achieve the effect of reducing the third-order intermodulation distortions (IMD3) by changing the third-order transconductance (g_{m3}). Moreover, an effect of reducing AM-PM distortions could be achieved by securing a voltage condition in which the CG TRs could operate in a saturation region, which reduces the variation of parasitic capacitances at the output terminal.

Key words: AM-PM Distortion, Cascode, CMOS, PA, Self-Body-Biasing

I. 서 론

최근 사물인터넷(IoT)이 발달함에 따라, 주변의 다양한

사물들에 통신을 위한 송수신기능이 탑재되는 것이 필수적이다. 사물인터넷을 위한 송수신기는 동작 환경을 고려하여 저전력화와 소형화가 중요하다. 따라서 CMOS 공정

「이 논문은 2021학년도 한남대학교 학술연구비 지원에 의하여 연구되었음.」

한남대학교 정보통신공학과(Department of Information and Communication Engineering, Hannam University)

· Manuscript received November 4, 2021 ; Revised November 23, 2021 ; Accepted February 26, 2022. (ID No. 20211104-099)

· Corresponding Author: Gwanghyeon Jeong (e-mail: gh.jeong@hnu.kr)

을 활용한 단일 칩 형태의 송수신기가 적합하다.

CMOS 공정으로 구현할 경우, 트랜지스터의 특성으로 인해 전력증폭기의 선형성을 확보하는 것이 어렵다. 선형성을 개선하기 위해 적응형 바이어스 회로, 기생 캐패시턴스 상쇄, 선형화 파워셀 구조, DPD(digital pre-distortion) 등 다양한 방법들을 연구하고 있다^{[1]~[4]}. 제안되고 있는 방법들은 추가 수동소자와 능동소자를 사용하거나, 신호의 특성을 변환하여 선형성을 개선하는 방법이며, 선형성을 개선할 수 있으나, 추가적인 면적과 전력 소모를 발생시킨다는 단점이 있다.

이와 같은 단점을 해결하기 위해서 SBB(self-body-biasing)을 통한 선형화 기법을 제안하였다. SBB 기법은 캐스코드 구조를 기반으로 하는 CMOS 전력증폭기의 공통 소스 트랜지스터에 적용하는 방법으로, 바디와 드레인을 저항으로 연결하는 형태로 구성된다. 이를 통해 전력증폭기의 선형성을 개선할 수 있다. 본 논문에서는 제안한 기법의 선형성 개선 원리에 대해 분석하고, 시뮬레이션을 통해 동작 원리를 분석하였다.

II. SBB 기법을 적용한 CMOS PA 회로도

SBB 기법을 적용한 CMOS 전력증폭기의 회로도는 그림 1과 같다. CMOS 트랜지스터의 낮은 항복전압을 극복

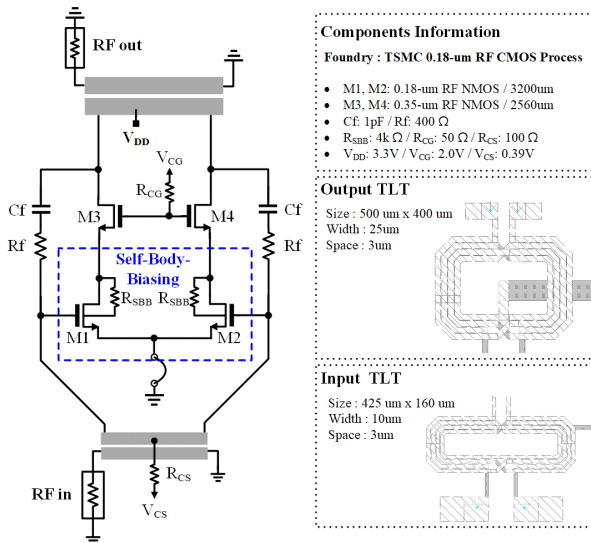


그림 1. 제안된 SBB 기법을 적용한 전력증폭기 회로도
Fig. 1. Schematic of power amplifier with the proposed SBB.

하기 위하여 캐스코드 파워셀을 사용하였다. 또한 차동 증폭기의 형태로 구성하여 회로 내부에 가상 접지를 확보하고자 하였다. 입력단과 출력단은 TLT(transmission line transformer)를 사용하여 RF balun과 임피던스 매칭 회로의 역할을 할 수 있도록 설계하였다. 공통 소스 트랜지스터는 SBB를 사용하였고, 공통 게이트 트랜지스터는 바디와 소스를 연결하여 구성하였다.

제안된 SBB는 4 kΩ의 저항을 사용하여 공통 소스 트랜지스터의 바디와 드레인을 연결하는 방식으로 구현하였으며, 이는 실제 layout에서 작은 크기로 구현할 수 있다. 사용된 저항의 크기는 RF 신호의 커플링을 막고, DC 전압만 커플링될 수 있는 값으로 설정하였다.

III. SBB 기법의 선형화 효과 분석

SBB 기법을 통해 2가지의 선형화 효과를 얻을 수 있다. 첫째로 3차 상호 변조 왜곡(IMD₃)을 줄일 수 있고, 다음으로 AM-PM 왜곡을 개선할 수 있다. 각각의 개선 원리는 다음과 같다.

3-1 IM 효과 분석

SBB 기법은 공통 소스 트랜지스터의 바디와 드레인의 DC 커플링을 발생시킨다. 이는 식 (1)과 같이 트랜지스터의 문턱 전압을 변화시킨다.

$$V_{TH} = V_{T0} + \gamma(\sqrt{V_{SB} + 2\Phi_F} - \sqrt{2\Phi_F}) \quad (1)$$

여기서, V_{TH} 는 문턱 전압, V_{SB} 는 소스-바디 전압, $2\Phi_F$ 는 표면 포텐셜, V_{T0} 는 바디전압이 0 V일 때의 문턱 전압, 그리고 γ 는 바디 효과 변수를 나타낸다.

즉, SBB 기법을 사용하게 되면 바디의 전압이 증가하게 되어 문턱 전압이 낮아지게 된다. 따라서 트랜지스터의 트랜스컨덕턴스(g_m)가 낮은 전압 영역으로 이동하게 된다. 이는 g_m 뿐만 아니라 g_{m2} , g_{m3} 를 비롯하여 높은 차수의 g_m 도 낮은 전압 영역으로 이동하는 것을 의미한다.

전력증폭기의 IMD₃의 크기는 g_{m3} 에 의해 생성되는 3차 전류 성분(I_{DS3})에 의해 결정된다^[5]. 따라서, 그림 2와 같이 g_{m3} 의 낮은 전압 영역으로의 이동은 I_{DS3} 를 변화시키고, 이는 결국 IMD₃의 크기를 결정하게 된다.

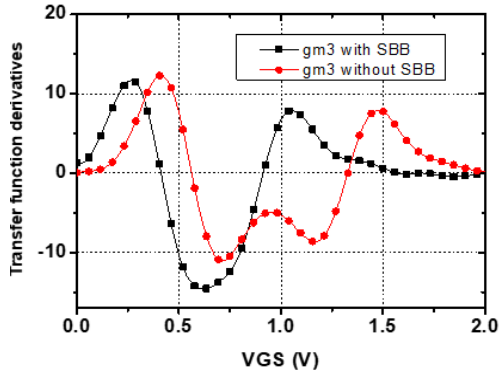


그림 2. SBB 적용 여부에 따른 g_{m3} 시뮬레이션 결과
Fig. 2. Simulated g_{m3} with and without the SBB.

그림 3은 입력 신호의 크기에 따른 I_{DS3} 의 변화를 확인한 결과이다. SBB를 사용하지 않은 경우, -2 dBV의 입력전압에서 0의 값을 가진다. 이와 달리 SBB를 사용한 경우에는 -7 dBV의 입력전압에서 0의 값을 가진다. 20 dBm의 출력을 위한 입력신호의 크기를 환산해 보면 -6.55 dBV의 값을 가지는데, SBB를 사용한 경우에는 20 dBm 근처에서 I_{DS3} 가 0인 지점을 가지는 것을 볼 수 있다.

그림 4는 SBB의 사용 여부에 따른 IMD3 결과를 나타낸다. 이는 I_{DS3} 를 통해 예측한 것처럼 목표 출력 20 dBm 근처에 I_{DS3} 가 0일 때와 대응되는 출력에 IMD3의 sweet spot이 형성됨을 볼 수 있다. 선형성 목표인 IMD3 -30 dBc를 기준으로 SBB를 사용한 경우 20 dBm, 사용하지 않은 경우 18 dBm으로, SBB를 통해 선형 출력 전력을 2

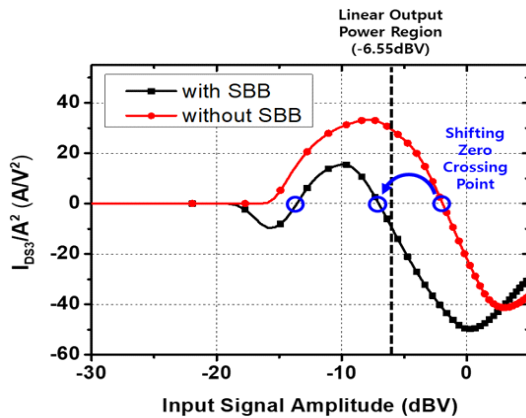


그림 3. SBB 적용 여부에 따른 3차 전류(I_{DS3}) 성분
Fig. 3. Simulated I_{DS3} with and without the SBB.

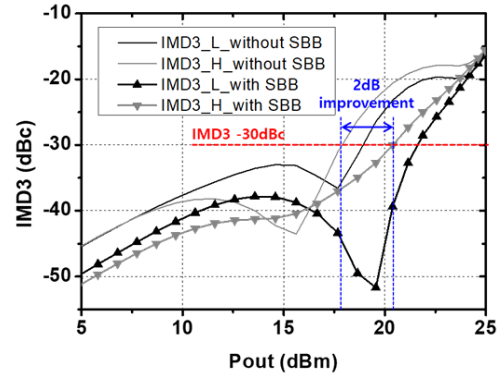


그림 4. SBB 적용 여부에 따른 IMD3 결과
Fig. 4. Simulated IMD3 with and without the SBB.

dB 개선할 수 있다.

3-2 AM-PM 왜곡 개선 효과 분석

CMOS 전력증폭기는 대신호에서 동작하는 회로이므로, 소신호 관점의 해석이 아닌 대신호 관점의 해석이 필요하다. 대신호 관점에서 트랜지스터의 동작 영역을 살펴보면 출력 신호의 크기에 따라 CMOS 트랜지스터의 동작 영역이 달라진다. 트랜지스터의 동작 영역은 아래의 전압 조건식 (2)에 의해 결정할 수 있다.

$$\begin{cases} V_{DS} \geq V_{GS} - V_{TH} & (\text{saturation}) \\ V_{DS} \leq V_{GS} - V_{TH} & (\text{triode}) \end{cases} \quad (2)$$

여기서 V_{DS} 는 드레인-소스 전압, V_{GS} 는 게이트-소스 전압, 그리고 V_{TH} 문턱 전압을 의미한다.

트랜지스터의 동작 영역이 바뀌면 기생 캐패시턴스의 값이 크게 변화한다. 이러한 기생 캐패시턴스의 변화는 전력증폭기의 AM-PM 왜곡을 일으키기 때문에^{[6],[7]}, 트랜지스터의 동작 영역을 유지하는 것이 중요하다. 따라서 공통 소스와 공통 게이트 트랜지스터 모두 포화 영역에서의 동작을 유지하도록 바이어스 전압을 결정해야 한다. SBB를 사용하게 되면 공통 소스 트랜지스터의 문턱 전압이 낮아지게 되어 포화 영역에서 동작하기 위해 필요한 드레인-소스 전압이 1 V 정도가 된다. SBB를 적용하지 않은 경우에는 공통 소스의 포화 영역 동작을 위한 드레인-소스 전압이 1.7 V 정도로 나타난다. 즉, 공통 게이트 트랜지스터의 소스 전압이 달라진다는 것을 의미하며, 결

국 SBB를 적용하면 공통 게이트 트랜지스터의 드레인-소스 전압을 더 확보할 수 있게 된다. 그림 5는 시간에 따른 공통 게이트 트랜지스터의 동작 영역을 결정하는 전압을 나타낸다. SBB를 사용한 경우, 포화 영역에서의 동작 시간이 증가한 것을 볼 수 있다.

그림 6은 공통 게이트 트랜지스터의 동작 전압에 따른 게이트-드레인 기생 캐패시턴스를 나타낸다. 드레인-소스 전압이 낮아지면 포화 영역에서 트라이오드 영역으로 빠지게 되면서 동시에 기생 캐패시턴스도 커진다. 반면에 포화 영역에서 동작할 때는 기생 캐패시턴스의 변화가

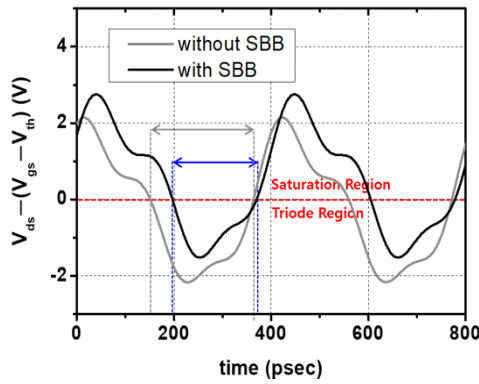


그림 5. SBB 적용 여부에 따른 공통 게이트 트랜지스터의 전압

Fig. 5. Simulated voltage condition of CG TRs with and without SBB.

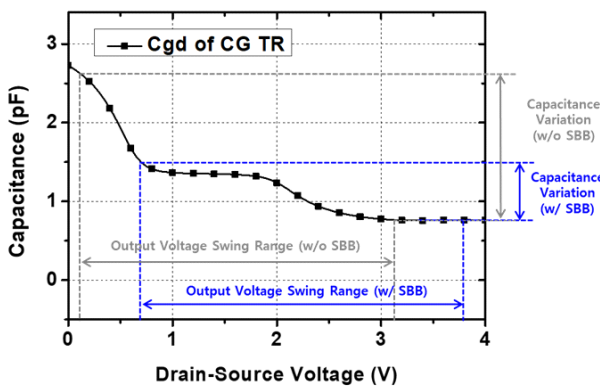


그림 6. 공통 게이트 트랜지스터의 게이트-드레인 기생 캐패시턴스

Fig. 6. Simulated parasitic gate-to-drain capacitance (C_{gd}) of CG TRs.

상대적으로 적어지는 것을 볼 수 있다.

그림 6에서 목표 선형 출력 전력 20 dBm 기준의 출력 전압을 기준으로 기생 캐패시턴스의 변화를 확인해 보면, SBB를 사용하지 않은 경우에는 1.8 pF의 캐패시턴스 변화를 가지게 되고, SBB를 사용한 경우에는 0.7 pF의 캐패시턴스 변화를 가지게 된다. 즉, SBB를 사용하면 기생 캐패시턴스 변화를 53 % 정도 감소시킨다.

기생 캐패시턴스의 변화가 감소한 효과는 AM-PM 결과를 통해 확인해 볼 수 있다. 그림 7은 SBB의 적용 여부에 따른 AM-PM 왜곡을 보여준다. SBB를 사용하지 않은 경우 전체 출력 영역을 기준으로 23도의 AM-PM 왜곡을 가지고, SBB를 사용한 경우에는 7.83도로 개선되는 것을 볼 수 있다. 이때 AM-AM은 그림 8과 같이 SBB의 여부와

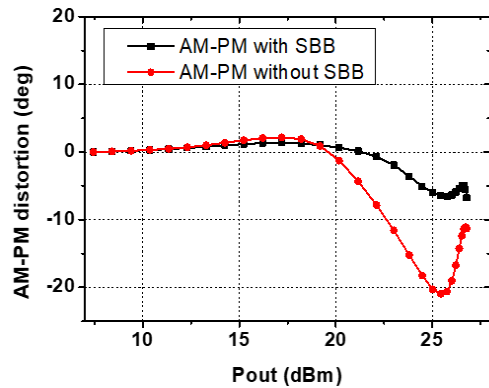


그림 7. SBB 적용 여부에 따른 AM-PM 왜곡

Fig. 7. Simulated AM-PM distortions with and without SBB.

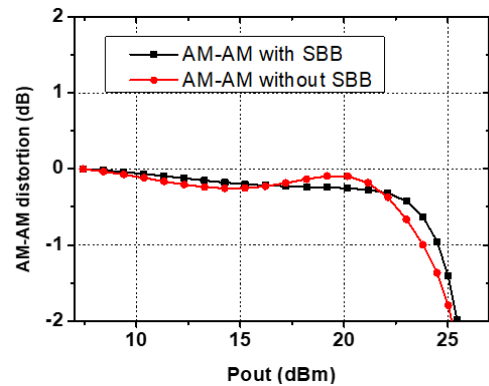


그림 8. SBB 적용 여부에 따른 AM-AM 왜곡

Fig. 8. Simulated AM-AM distortions with and without SBB.

관계없이 유사한 값을 가지는 것을 볼 수 있다. 즉, SBB를 적용하면 기생 캐패시턴스 변화를 줄이고, 이를 통해 AM-PM을 개선할 수 있음을 의미한다.

IV. 설계 결과

제안된 회로는 3.3 V의 공급 전압을 사용하였고, 59.4 mA의 정지전류를 가진다. 2.45 GHz의 1-tone 신호를 사용하여 시뮬레이션을 한 결과는 그림 9와 같다. 시뮬레이션 결과, 27 dBm의 최대 출력전력, 17.4 dB의 전력 이득 그리고 46 %의 최대 PAE값을 가지는 것을 확인할 수 있다. 이때, SBB를 사용한 경우와 사용하지 않은 경우가 전력 이득과 PAE 성능이 유사하다는 것을 확인할 수 있다. 그리고 2.45 GHz의 중심주파수를 기준으로 20 MHz의 간격을 갖는 2-tone 신호를 사용하여 IMD3d를 확인한 결과는 그림 4와 같다. 선형성 기준인 IMD -30 dBc를 만족하는 최대 선형 출력 전력은 20.09 dBm이며, 해당 출력에서 23.1 %의 PAE를 갖는다(표 1).

V. 결 론

본 논문에서는 캐스코드 파워셀을 기반한 RF CMOS 전력증폭기의 선형화 방법으로 공통 소스 트랜지스터의 SBB 기법을 제안하고, 선형화 효과에 대한 분석을 수행하였다. 제안한 SBB 기법은 추가 회로를 위한 공간이나 전력 소모 없이 구현 가능하며, 구현이 쉽다는 장점이 있

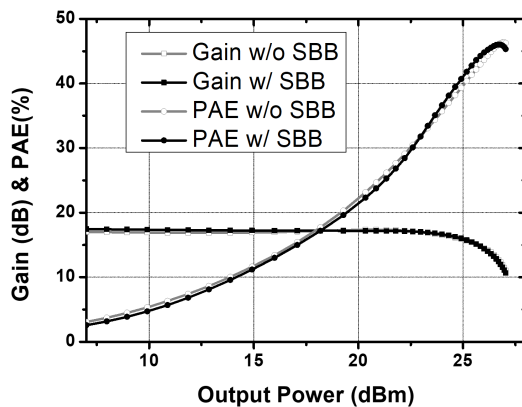


그림 9. 2.45 GHz 1-tone 신호에서의 이득 및 PAE
Fig. 9. Simulated gain and PAE with 2.45 GHz 1-tone signal.

표 1. 2.4 GHz CMOS 전력증폭기 성능 비교
Table 1. Comparison Table of 2.4 GHz CMOS PA.

	H. Ahn, 2017	S. Jang, 2019	This work (simulated)
Freq (GHz)	2.445	2.4	2.45
Modulation	802.11 g	802.11 n	802.11 n
Plinear (dBm)	19.7	17	20.09
PAE @ Plinear (%)	17.1	10.5	23.4
EVM (dB)	-25	-25	-25
Gain (dB)	12.4	20	17.4
# of stage	1	2	1
Linearization	Parallel combining transformer	Asymmetric differential inductor	Self-body -biasing
Size (mm ²)	2.56	1.53	1.05
Process	CMOS 40 nm	CMOS 180 nm	CMOS 180 nm

다. 그리고 SBB 기법을 사용하면 3차 전류 성분을 활용한 IMD3 개선 효과와 기생 캐패시턴스의 변화 최소화를 통한 AM-PM 왜곡 개선 효과를 얻을 수 있다. 이를 활용하여 전력증폭기를 설계하였고, IMD3 -30 dBc를 기준으로 20.09 dBm의 최대 선형 출력전력과 해당 출력에서 23.1 %의 높은 PAE 특성을 확인하였다.

References

- [1] T. Joo, B. Koo, and S. Hong, "A WLAN RF CMOS PA with large-signal mgtr method," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 3, pp. 1272-1279, Mar. 2013.
- [2] S. Jang, C. Lee, and C. Park, "Differential 2.4-GHz CMOS power amplifier using an asymmetric differential inductor to improve linearity," *Journal of the Korean Institute of Information and Communication Engineering*, vol. 23, no. 6, pp. 726-732, Jun. 2019.
- [3] N. Ryu, B. Park, and Y. Jeong, "A fully integrated high efficiency RF power amplifier for WLAN application in 40 nm standard CMOS process," *IEEE Microware and*

Wireless Components Letters, vol. 25, no. 6, pp. 382-384, Jun. 2015.

- [4] H. Ahn, S. Back, I. Nam, D. An, J. K. Lee, and M. Jeong, et al., "A fully integrated dual-mode CMOS power amplifier with an autotransformer-based parallel combining transformer," *IEEE Microwave and Wireless Components Letters*, vol. 27, no. 9, pp. 833-835, Sep. 2017.
- [5] C. Fager, J. C. Pedro, N. Borgesde Carvalho, H. Zirath, F. Fortes, and M. J. Rosario, "A comprehensive analysis of IMD behavior in RF CMOS power amplifiers," *IEEE*

Journal of Solid-State Circuits, vol. 39, no. 1, pp. 24-34, Jan. 2004.

- [6] L. C. Nunes, P. M. Cabral, and J. C. Pedro, "AM/AM and AM/PM distortion generation mechanisms in Si LDMOS and GaN HEMT based RF power amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 4, pp. 799-809, Apr. 2014.
- [7] J. P. Aiko, T. Rahkonen, "A comprehensive analysis of AM-AM and AM-PM conversion in an LDMOS RF power amplifier," *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, no. 2, pp. 262-270, Feb. 2009.

정 광 현 [한남대학교/조교수]

<https://orcid.org/0000-0002-4458-9991>



2012년 2월: 한국과학기술원 전기 및 전자
공학과 (공학사)
2014년 2월: 한국과학기술원 전기 및 전자
공학과 (공학석사)
2018년 2월: 한국과학기술원 전기 및 전자
공학부 (공학박사)
2018년 5월~2021년 1월: 국방과학연구소

선임연구원

2021년 3월~현재: 한남대학교 정보통신공학과 조교수

[주 관심분야] RF CMOS Power Amplifier, Analog Linearization