

15~45 GHz 고해상도 소형 분산형 디지털 감쇠기

A 15~45 GHz High-Resolution Compact Distributed Digital Attenuator

이 승 종 · 박 광 원 · 전 상 근

Seung-Jong Lee · Kwang-Won Park · Sang-Geun Jeon

요 약

본 논문에서는 65-nm CMOS 공정을 이용하여 다중 감쇠상태 단위 셀을 이용한 소형 분산형 디지털 감쇠기 설계 및 측정 결과를 기술하였다. 설계된 감쇠기는 각각 다른 감쇠상태를 구현하는 4개의 다중 감쇠상태 단위 셀로 이루어져 있다. 감쇠 셀을 구성하는 병렬 트랜지스터들은 선형성을 향상 시키기 위해 4개의 트랜지스터를 적층한 적층 트랜지스터 구조를 사용하였다. 또한 위상 오차를 줄이기 위해 트랜지스터의 소스 단에 전송선로를 추가로 연결하여 접지하였다. 0.5 dB의 감쇠간격을 구현하기 위해 병렬 트랜지스터들의 크기를 최적화하였고, 기존의 제안된 소형 분산형 디지털 감쇠기의 문제점이었던 커플링 효과를 제거하였다. 설계한 감쇠기는 15~45 GHz에서 평균 14 dB의 최대 감쇠범위와 0.5 dB의 감쇠간격을 갖는다. 또한 RMS 감쇠 오차는 0.1~1.4 dB, RMS 위상 오차는 1.7~4°로 작은 오차를 보인다.

Abstract

This paper describes the design and measurement of a compact distributed digital attenuator using multi-state cells. The attenuator consists of four multi-state cells with different attenuation states. To improve linearity, a stacked-FET topology, in which four transistors are stacked, is applied to the parallel transistors of multi-state cells. In addition, grounded T-lines are inserted to the source of parallel transistors to compensate the phase error. The size of parallel transistors is optimized to implement a 0.5-dB attenuation step and to remove the coupling effect of the previously proposed compact distributed digital attenuator. The attenuator showed a measured 14-dB maximum attenuation range and 0.5-dB attenuation step in a frequency range of 15~45 GHz. The RMS amplitude error and RMS phase error were 0.1~1.4 dB and 1.7~4°, respectively.

Key words: CMOS Attenuator, Distributed Attenuator, Digital Attenuator, High Resolution Attenuator, Multi-State Cell

I. 서 론

디지털 감쇠기는 위상배열시스템에서 가장 중요한 회로 블록 중 하나이다. 디지털 감쇠기는 위상배열시스템의 각 채널 신호의 진폭을 조절하는 기능을 한다.

디지털 감쇠기의 주요 성능은 감쇠범위, 감쇠간격, 대역폭, 삽입 손실, 진폭 오차, 위상 오차 등이 있다.

대부분의 디지털 감쇠기는 크게 두 가지 타입의 감쇠기로 나뉘며, 이는 T/Π 구조 감쇠기 또는 분산형 구조 감쇠기에 해당한다. T/Π 구조 감쇠기는 넓은 감쇠범위를

「본 연구는 과학기술정보통신부 및 정보통신기획평가원의 대학ICT연구센터육성지원사업의 연구결과로 수행되었음 (IITP-2021-0-01749)」
고려대학교 전기전자공학부(School of Electrical Engineering Korea University)

· Manuscript received November 16, 2021 ; Revised December 21, 2021 ; Accepted February 4, 2022. (ID No. 20211116-102)

· Corresponding Author: Sang-Geun Jeon (e-mail: sgjeon@korea.ac.kr)

가짐과 동시에 면적 소비가 아주 작다는 장점이 있다. 하지만 신호 경로상의 직렬 트랜지스터의 기생 캐패시턴스 성분으로 인해 위상 오차가 큰 편이다^[1]. 또한 트랜지스터의 스위칭 성능에 의하여 감쇠기의 주요 성능이 결정되어 화합물 공정이 아닌 CMOS 공정에서는 사용하기 어려운 구조이다.

반면에 분산형 구조 감쇠기는 직렬 트랜지스터를 사용하지 않기 때문에 상대적으로 스위칭 성능이 안 좋은 CMOS 공정에서도 사용이 가능하다^{[2]~[4]}. 대신, 좁은 감쇠범위와 면적 소비가 크다는 단점이 있다.

최근 이러한 단점을 극복한 새로운 분산형 디지털 감쇠기 구조가 제안되었다. 이 감쇠기는 2개 이상의 트랜지스터를 병렬로 묶어 사용하는 다중 감쇠상태 셀을 이용한다. 다중 감쇠상태 셀은 병렬 트랜지스터들의 ON/OFF 조합을 통해 여러 개의 감쇠상태를 구현할 수 있어 좁은 면적으로 넓은 감쇠범위를 갖는다^[5].

하지만 제안된 감쇠기 또한 몇 가지 단점이 있다. 해당 감쇠기는 1 dB의 감쇠간격을 갖는데, 고해상도의 위상배열시스템에서 쓰이는 감쇠기들은 대부분 1 dB보다 작은 감쇠간격을 필요로 한다^{[6]~[9]}. 두 번 째로 레이아웃 구조의 문제로 인해 커플링 효과가 발생하여 성능이 저하되는 문제점이 있다. 마지막으로, 대역폭 내에서 충분한 입출력 매칭 성능을 확보하지 못하였다.

본 논문에서는 이러한 단점을 보완한 소형 분산형 디지털 감쇠기를 설계 및 측정하였다. 설계한 감쇠기는 다중 감쇠상태 셀을 이루는 병렬 트랜지스터들의 크기를 다양하게 사용하여 0.5 dB의 감쇠간격을 구현했다. 또한

전송선로의 두께를 조절하여 커플링 효과가 발생하지 않도록 레이아웃을 진행함과 동시에 대역폭 내에서 우수한 입출력 매칭 성능을 확보하였다.

2장에서는 분산형 디지털 감쇠기의 설계 및 보완 사항을 기술하였고, 3장은 분산형 디지털 감쇠기의 측정 결과를 기술하였다.

II. 감쇠기 설계

그림 1은 설계된 분산형 디지털 감쇠기의 회로도이다. 그림 1에 나타난 것처럼 감쇠기의 모든 트랜지스터는 트리플 웰 구조의 NFET을 사용하였다. 설계된 감쇠기는 분산형 구조로 배치된 4개의 다중 감쇠상태 셀로 구성된다. 다중 감쇠상태 셀은 1개의 단위 셀이 2개 이상의 병렬 트랜지스터로 이루어진 감쇠 셀이다. 이 감쇠 셀은 병렬 트랜지스터들의 ON/OFF 조합에 따라 변하는 임피던스 값을 통해 다중 감쇠상태를 구현한다. 이처럼 1개의 감쇠 셀로 여러 감쇠상태를 동시에 구현할 수 있어 1개의 감쇠 셀로 1 개의 감쇠상태만 구현할 수 있는 기존의 분산형 디지털 감쇠기와 동일한 단위 셀 개수로 훨씬 많은 감쇠상태가 구현 가능하다. 따라서 다중 감쇠상태 단위 셀을 이용하면 칩 면적을 크게 줄일 수 있다. 4개의 단위 셀은 최대 14-dB의 감쇠범위를 구현하기 위해 2개의 3-dB 감쇠 셀과 2개의 4-dB 감쇠 셀로 구성된다. 3-dB 제1셀은 M_1 - M_2 - M_3 , 3-dB 제2셀은 M_4 - M_5 - M_6 , 4-dB 제1셀은 M_7 - M_8 - M_9 , 4-dB 제2셀은 M_{10} - M_{11} - M_{12} 로 각각의 셀은 3가지 모두 다른 크기의 트랜지스터의 병렬 구조로 이루어져 있다.

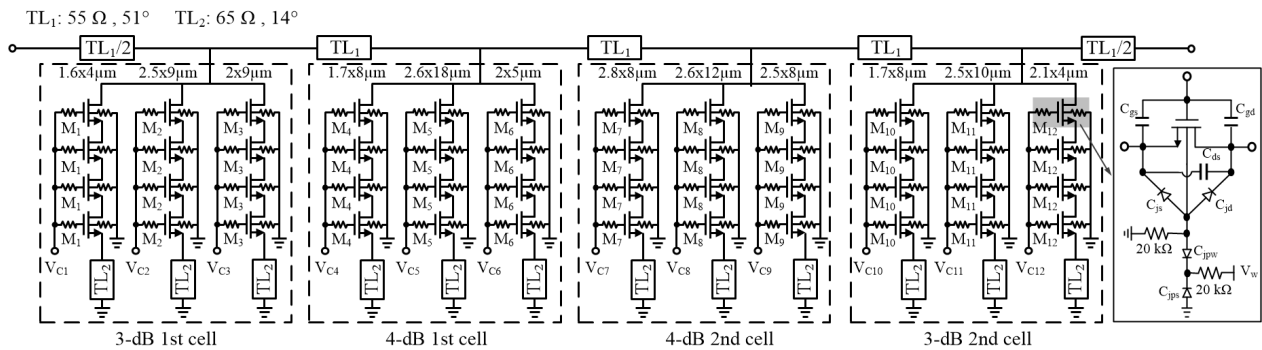


그림 1. 설계한 분산형 디지털 감쇠기의 회로도

Fig. 1. Schematic of distributed digital attenuator.

각 단위 셀들은 감쇠기가 0.5 dB 감쇠간격을 구현할 수 있도록 표 1에 나타난 것처럼 각각 다른 3가지 감쇠상태를 갖도록 설계되었다. 각 단위 셀을 구성하는 병렬 트랜지스터들은 감쇠상태 1, 감쇠상태 2, 감쇠상태 3이 각각의 감쇠크기에 대응되는 병렬 임피던스들을 가지도록 크기를 정하였다. 다양한 크기의 트랜지스터를 사용함으로써 1 dB, 2 dB, 3 dB, 4 dB 감쇠상태만을 갖는 것이 아닌 0.5 dB에서 4 dB까지 0.5 dB 간격으로 더 많은 감쇠상태를 갖게 된다. 따라서 단위 셀들의 감쇠상태의 다양한 조합을 통해 0.5 dB에서 14 dB까지 0.5 dB 간격으로 총 29개의 감쇠상태를 구현할 수 있다.

분산형 디지털 감쇠기는 기본적으로 인접한 단위 셀 사이에 50 Ω 의 특성 임피던스 90도의 전기적 길이를 갖는 전송선로를 배치한다. 설계된 감쇠기 또한 기존의 분산형 감쇠기들과 마찬가지로 다중 감쇠상태 단위 셀 사이에 전송선로를 배치한다. 이 때, 특성 임피던스가 50 Ω 보다 큰 전송선로를 이용하면 병렬 트랜지스터의 기생 캐패시턴스 성분을 흡수하여 입·출력단에서의 반사손실 성능을 향상시킬 수 있다. 또한, 칩의 면적 소비를 줄이기 위하여 전기적 길이를 90도가 아닌 더 짧은 전송선로를 사용하여도 우수한 반사손실 성능을 확보할 수 있다

표 1. 4개의 다중 감쇠상태 단위 셀의 감쇠상태
Table 1. Attenuation states of 4 multi-state cells.

Cells	Attenuation states					
	Atten. state 1		Atten. state 2		Atten. state 3	
	Atten.	ON FET	Atten.	ON FET	Atten.	ON FET
3-dB 1st cell	0.5 dB	M_1	2 dB	M_1, M_2	3 dB	M_1, M_2, M_3
3-dB 2nd cell	1 dB	M_4	2.5 dB	M_4, M_5	3 dB	M_4, M_5, M_6
4-dB 1st cell	1 dB	M_7	3.5 dB	M_7, M_8	4 dB	M_7, M_8, M_9
4-dB 2nd cell	1.5 dB	M_{10}	3 dB	M_{10}, M_{11}	4 dB	M_{10}, M_{11}, M_{12}

[2],[3],[5]. 따라서 본 논문에서는 55 Ω , 51도의 전송선로 TL_1 을 사용하였다.

다중 감쇠상태 단위 셀을 구성하고 있는 병렬 트랜지스터들은 4개의 트랜지스터를 적층한 적층 트랜지스터 구조를 사용하여 단일 트랜지스터의 경우보다 높은 선형성을 얻었다^[5].

감쇠상태에 따른 위상 오차를 줄이기 위해서 병렬 트랜지스터의 소스 단에 전송선로 TL_2 를 추가로 연결하여 접지하였다. 전송선로 TL_2 는 트랜지스터의 기생 캐패시턴스 성분과 공진하여 위상 오차를 감소시켜준다. 본 논문에서는 65 Ω , 14도의 전송선로 TL_2 를 사용하였다^{[3],[5]}.

그림 2는 감쇠기의 레이아웃 중 일부인 4개의 단위 셀 중 3-dB 제1셀의 레이아웃이다. 기존의 소형 분산형 디지털 감쇠기의 레이아웃에서는 전송선로 $TL_1(LB)$ 과 $TL_2(OL)$ 가 서로 교차되도록 되어 있는데, 그 결과 커플링 효과가 발생했다^[5]. 이 커플링 효과로 인해 S-파라미터 등의 주요 성능이 시뮬레이션 결과에 비해 약 15 GHz의 down shifting이 발생하여 성능 저하가 일어났고, 특히 위상오차 성능이 크게 저하되었다. 설계한 감쇠기에서는 이러한 커플링 효과로 인한 성능 저하를 막기 위해 두께가 얇은 높은 특성 임피던스를 갖는 전송선로 TL_2 를 사용하여 TL_1 과 TL_2 가 교차되는 부분이 없도록 레이아웃하였다.

그림 3은 설계한 감쇠기의 감쇠상태와 최대 감쇠범위의 시뮬레이션 결과를 나타낸 것이다.

그림 4는 EM 시뮬레이션을 고려 여부에 따른 삽입 손

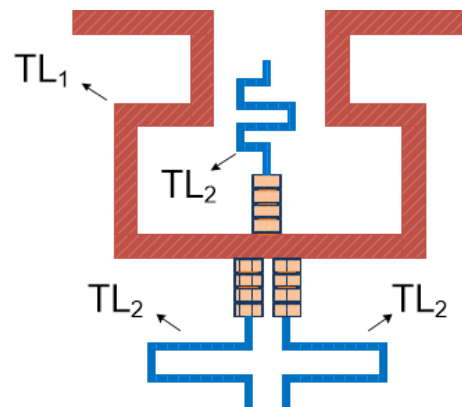


그림 2. 감쇠기의 3-dB 제1셀 레이아웃
Fig. 2. Layout of 3-dB first cell.

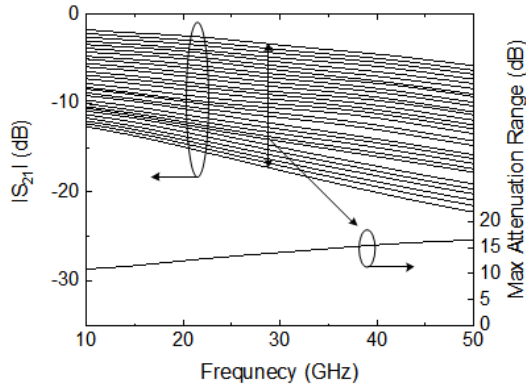


그림 3. 주파수에 따른 감쇠기의 기준 상태, 감쇠상태 및 최대 감쇠범위 시뮬레이션

Fig. 3. Simulated attenuation and the maximum attenuation range of attenuator.

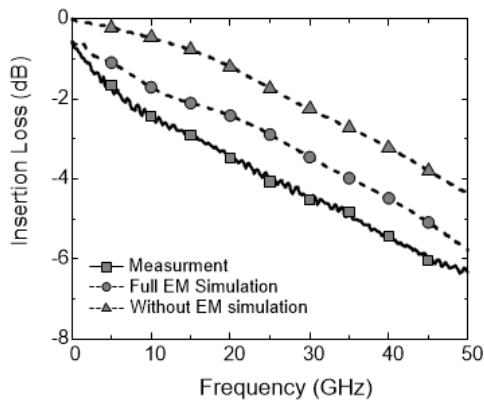


그림 4. 기준상태의 삽입 손실 시뮬레이션 및 측정 결과
Fig. 4. Measured and simulated insertion loss in the reference state.

실의 시뮬레이션 결과와 삽입 손실의 측정 결과를 나타낸 것이다. 그림에 나타난 것처럼 EM 시뮬레이션을 고려하였을 때 훨씬 측정 결과에 가까운 것을 알 수 있다. 이는 EM 시뮬레이션을 고려함으로써 전송선로에 의한 손실이나 기판에 의한 손실 등이 반영되기 때문이다. 모든 성능에 대해 비교 그래프로 나타내기 어렵기 때문에 삽입 손실 성능을 한 예시로 나타내었지만, 삽입 손실뿐만 아니라, 모든 성능에 대해 EM 시뮬레이션을 고려하였을 때 측정 결과에 더 가까운 결과를 얻었다. 설계 과정의 모든 EM 시뮬레이션은 ADS momentum을 이용하였으며, full EM 시뮬레이션을 진행했다.

III. 측정 결과

설계한 감쇠기는 65-nm CMOS 공정을 통해 제작되었고, 그림 5는 제작된 감쇠기의 칩 사진이다. 패드를 제외한 칩의 면적은 $830 \times 230 \mu\text{m}^2$ 이다.

그림 6은 측정된 기준 상태, 28개의 감쇠상태 및 최대 감쇠 범위를 나타낸다. 기준 상태에서의 삽입 손실은 15~45 GHz에서 2.9~6 dB를 보였으며, 평균 0.5 dB 간격으로 14 dB의 최대 감쇠범위를 갖는다.

그림 7에서는 입·출력 반사손실을 보여준다. 입·출력 반사손실은 15~45 GHz에서 10.1 dB 이상으로 우수함을 확인했다.

그림 8은 측정된 감쇠기의 주파수에 따른 $IP_{1\text{dB}}$ (input-referred 1 dB compression point)를 나타낸 것이다. 여기서 $IP_{1\text{dB}}$ 는 감쇠기에 입력되는 신호의 전력을 증가시킬 때

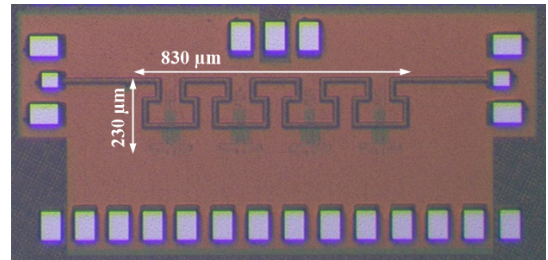


그림 5. 감쇠기의 칩 사진

Fig. 5. Chip photograph of attenuator.

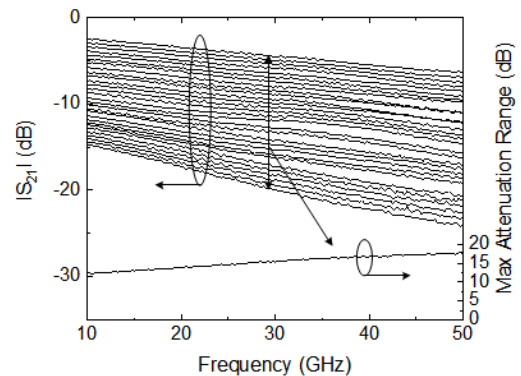


그림 6. 측정된 감쇠기의 기준 상태, 28개의 감쇠상태 및 최대 감쇠 범위

Fig. 6. Measured attenuation and maximum attenuation range of attenuator.

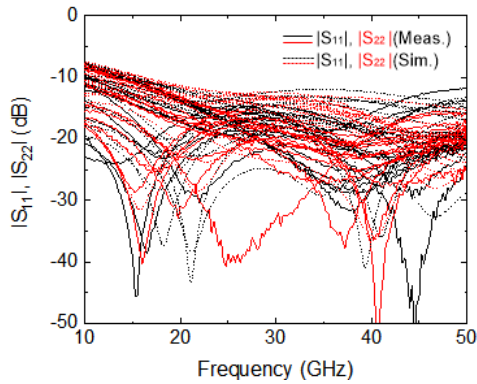


그림 7. 측정된 감쇠기의 입·출력 반사손실
Fig. 7. Measured input and output return loss of attenuator.

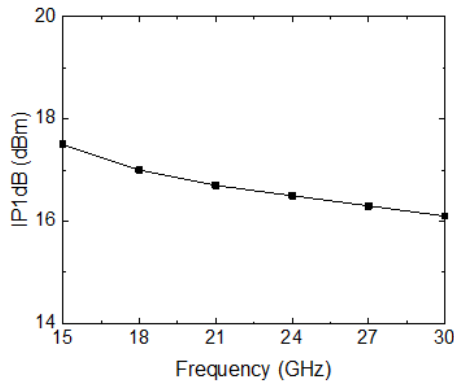


그림 8. 측정된 감쇠기의 주파수에 따른 IP_{1dB}
Fig. 8. Measured IP_{1dB} of attenuator.

감쇠기가 갖는 최대 감쇠 범위가 1 dB 줄어드는 지점으로 정의하였다^{[3],[5]}. IP_{1dB} 는 15~30 GHz 에서 17.5~16.1 dBm 의 값을 보였으며, 측정 환경의 제한으로 인해 IP_{1dB} 측정은 30 GHz까지만 진행하였다.

그림 9는 측정된 감쇠기의 RMS 감쇠오차와 RMS 위상오차를 보인다. 15~45 GHz에서 RMS 감쇠오차는 0.1~1.4 dB이고, RMS 위상오차는 1.7~4°이다. 이러한 결과는 시뮬레이션과 비교했을 때 약 10 GHz 정도의 down shifting이 발생한 것으로 생각된다. 기존의 소형 분산형 디지털 감쇠기에서 약 15 GHz 정도의 down shifting이 발생했던 것에 비교하였을 때 커플링 효과 제거를 통해 약 5 GHz 정도 시뮬레이션과의 오차를 줄였다^[5].

표 2는 설계한 감쇠기와 기존의 분산형 감쇠기를 비교하여 나타낸 것이다. 설계한 감쇠기는 참고문헌 [3]에 비

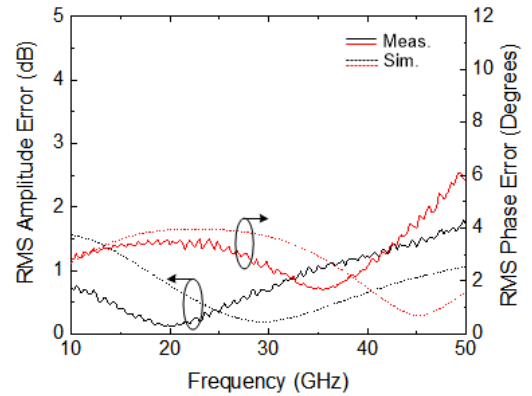


그림 9. 측정된 감쇠기의 RMS 감쇠오차 및 RMS 위상오차
Fig. 9. Measured RMS phase error and RMS amplitude error of attenuator.

표 2. 기존 분산형 디지털 감쇠기 연구 결과와의 비교
Table 2. Comparison of distributed digital attenuator.

	Ref. [3]	Ref. [5]	This work
Tech.	0.12- μ m BiCMOS	65-nm CMOS	65-nm CMOS
BW (GHz)	10-50	15-43	15-45
Atten. range (dB)	11	14	14
Atten. step (dB)	1	1	0.5
Insertion loss (dB)	2-3	2.9-4.3	2.9-6
$P_{in,1}$ dB (dBm)	4 @35 GHz	14 @35 GHz	16.1 @30 GHz
Return loss (dB)	9	8.8	10.1
RMS Phase error (deg)	n/a	1-6	1.7-4
RMS Amp. error (dB)	n/a	0.3-1.7	0.1-1.4
Size* (mm ²)	0.15	0.29	0.19

*프로빙 패드는 제외한 면적임.

하여 더 넓은 감쇠범위와 우수한 선형성을 갖는다. 참고 문헌 [5]와 비교하면 비슷한 대역폭과 같은 감쇠범위를 갖지만, 더 작은 면적으로 0.5 dB의 감쇠간격을 구현해 더 높은 해상도를 확보했다.

IV. 결 론

본 논문에서는 65-nm CMOS 공정을 이용해 광대역에서 동작하는 소형 분산형 디지털 감쇠기를 설계 및 측정하였다. 제안된 감쇠기는 작은 면적으로 넓은 감쇠범위와 높은 해상도를 제공한다. 감쇠기는 최대 14 dB의 감쇠범위와 0.5 dB의 감쇠간격을 갖고, 0.19 mm²의 작은 칩 면적을 차지한다. 또한, 15~45 GHz에서 10.1 dB 이상의 입·출력 반사손실을 유지하여 광대역한 매칭 성능을 확보하였다. 본 논문에서 제시한 소형 분산형 디지털 감쇠기는 5G 대역 단말기에 사용되는 송수신 칩을 소형화할 수 있으며, 고해상도 위상 배열 레이더 시스템에 활용될 수 있을 것으로 생각된다.

References

- [1] P. Sun, "Analysis of phase variation of CMOS digital attenuator," *Electronics Letters*, vol. 50, no. 25, pp. 1912-1914, Dec. 2014.
- [2] J. Bae, J. Lee, and C. Nguyen, "A 10~67-GHz CMOS dual-function switching attenuator with improved flatness and large attenuation range," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 12, pp. 4118-4129, Dec. 2013.
- [3] B. W. Min, G. M. Rebeiz, "A 10~50-GHz CMOS distributed step attenuator with low loss and low phase imbalance," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 11, pp. 2547-2554, Nov. 2007.
- [4] K. Kim, H. S. Lee, and B. W. Min, "V-W band CMOS distributed step attenuator with low phase imbalance," *IEEE Microwave and Wireless Components Letters*, vol. 24, no. 8, pp. 548-550, Aug. 2014.
- [5] K. Park, S. Lee, and S. Jeon, "A new compact CMOS distributed digital attenuator," *IEEE Transactions on Microwave Theory and Techniques*, vol. 68, no. 11, pp. 4631-4640, Nov. 2020.
- [6] B. Ku, S. Hong, "6-bit CMOS digital attenuators with low phase variations for X-band phased-array systems-band phased-array systems," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, no. 7, pp. 1651-1663, Jul. 2010.
- [7] M. Davulcu, C. Caliskan, I. Kalyoncu, M. Kaynak, and Y. Gurbuz, "7-bit SiGe-BiCMOS step attenuator for X-band phased-array RADAR applications," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 8, pp. 598-600, Aug. 2016.
- [8] U. Kodak, G. M. Rebeiz, "Bi-directional flip-chip 28 GHz phased-array core-chip in 45 nm CMOS SOI for high-efficiency high-linearity 5G systems," in *2017 IEEE Radio Frequency Integrated Circuits Symposium(RFIC)*, Honolulu, HI, Jun. 2017, pp. 61-64.
- [9] Y. Yuan, S. Mu, and Y. Guo, "6-bit step attenuators for phased-array system with temperature compensation technique," *IEEE Microwave and Wireless Components Letters*, vol. 28, no. 8, pp. 690-692, Aug. 2018.

이 승 중 [고려대학교/석사과정]

<https://orcid.org/0000-0002-0339-1794>



2021년 2월: 고려대학교 전기전자공학부 (공학사)

2021년 3월~현재: 고려대학교 전기전자공학과 석사과정

[주 관심분야] 밀리미터파 집적회로 및 시스템 설계

박 광 원 [고려대학교/석사]

<https://orcid.org/0000-0002-5682-9403>



2018년: 고려대학교 전기전자공학부 (공학사)

2020년: 고려대학교 전기전자공학과 (공학석사)

[주 관심분야] 밀리미터파 집적회로 및 시스템 설계

전 상 근 [고려대학교/교수]

<https://orcid.org/0000-0001-7453-2331>



1997년: 서울대학교 전기공학과 (공학사)

1999년: 서울대학교 전기공학과 (공학석사)

2006년: 캘리포니아 공과대학 전기공학과 (공학박사)

2008년~현재: 고려대학교 전기전자공학부 교수

[주 관심분야] 밀리미터파 및 테라헤르츠 집적회로 및 시스템