

# 5 Gs/s 등가 시간 샘플링을 통한 K-Band UWB 레이다 송수신기

## K-Band Ultra-Wide-Band Radar with 5 Gs/s Equivalent Time Sampling

변기륜 · 박동욱 · 서병재 · 김홍희\* · 김인복\* · 어윤성

Ki Ryun Byeon · Dong Wuk Park · Byeong Jae Seo · Honghui Kim\* · In Bok Kim\* · Yun Seong Eo

### 요 약

본 논문에서는 K-band CMOS UWB 레이다 송수신기를 설계 및 제작하였다. 지연 고정 루프를 사용한 등가 시간 샘플링 기법을 통해 고속의 아날로그 - 디지털 변환기를 사용하지 않고 등가적으로 5 Gs/s 의 높은 해상도를 갖는 고속 샘플링을 구현하였다. 수신기는 저잡음 증폭기, 가변 이득 증폭기, 믹서와 기저대역 아날로그 회로로 구성되었고, 송신기는 스위칭 증폭기와 드라이버 증폭기로 구성되었다. 전압 제어 발진기를 사용하여 UWB 신호를 생성하는 구조를 사용하였으며, 지연 고정 루프 신호로 스위칭 증폭기를 제어하여 임펄스 신호를 생성한다. 제안된 UWB 송수신기는 65 nm CMOS 공정 기술을 이용하여 UWB 레이다 단일 칩 시스템으로 설계 및 제작하였다. 측정 결과, 수신기의 최대 이득은 24 GHz에서 79 dB이고, 잡음지수는 7.4 dB이다. 표준구 대비 11.3 m 측정이 가능함을 확인하였다.

### Abstract

In this paper, a K-band complementary metal-oxide-semiconductor (CMOS) ultra-wide-band (UWB) radar is presented. Using an equivalent time sampling technique with a delay-locked loop (DLL), virtual 5 Gs/s high-speed sampling is implemented without using a high-speed analog - digital converter. The receiver comprises a low-noise amplifier, radiofrequency variable amplifier, mixer, and baseband analog, whereas the transmitter comprises switching and driver amplifiers. For the UWB signal, a voltage-controlled oscillator-based impulse generator provides a periodic pulse signal using a switching amplifier controlled by a DLL clock. The proposed UWB radar SoC is fabricated using a 65 nm CMOS wafer, and the measured conversion gain and noise figure of the radar receiver are 79 dB and 7.4 dB, respectively, at 24 GHz. Consequently, we confirm that the measurement of the 11.3 m standard sphere is feasible.

Key words: Ultra Wideband Radar, Equivalent Time Sampling, System-on-Chip, CMOS

### I. 서 론

객체 탐지 시스템에 있어 레이다 센서는 적외선, LiDAR와 같은 다른 방식의 센서에 비해 특정 환경에서

「이 연구는 2022학년도 광운대학교 교내 연구비의 지원으로 연구되었음.」

「본 연구는 중소벤처기업부의 기술개발사업(S3029729) 지원으로 연구되었음.」

「이 연구는 2021년도 산업통상자원부 및 산업기술평가관리인(KEIT) 연구비 지원에 의한 연구임(20016362).」

「이 연구는 2022년도 정부(산업통상자원부)의 재원으로 한국산업기술진흥원의 지원을 받아 수행된 연구임(P0002397, 2022년도 산업혁신인재성장지원사업).」

광운대학교 전자공학과(Department of Electronic Engineering, Kwang-woon University)

\*LIG 넥스원(주)(LIG Nex1 Co., Ltd)

· Manuscript received July 11, 2022 ; Revised August 10, 2022 ; Accepted October 4, 2022. (ID No. 20220711-004S)

· Corresponding Author: Yun Seong Eo (e-mail: yseo71@kw.ac.kr)

더 효율적이다. 특히, UWB(ultra-wideband) 레이더는 수 나노 초(ns)의 매우 짧은 펄스를 사용함으로써 다른 레이더 방식에 비해 높은 정확도, 간단한 구조 및 적은 전력 소모를 가진다는 장점을 가지고 있다. UWB 레이더는 CMOS 기반의 단일 칩의 SoC 형태로 개발이 되며, 이에 따라 저전력 및 소형화가 요구되는 응용분야에 많이 사용된다. 기존에 사용하던 UWB 대역에 비해 K-band의 높은 주파수를 사용함으로써 작은 안테나 사용이 가능하도록 한다. 또한, 상업적으로 사용되는 RF 대역에 의한 간섭이 적어지며, 낮은 주파수 대비 넓은 대역폭을 가지기 때문에 높은 해상도가 가능하다는 장점이 있다.

이와 같이 상대적으로 높은 주파수를 사용하면 레이더 모듈의 소형화가 가능하지만, 주파수가 증가함에 따라 수신된 UWB 임펄스 신호의 고속 샘플링을 위한 아날로그-디지털 변환기(ADC, analog-digital converter)가 필요하다. 고속의 ADC는 많은 전력을 소모하기 때문에 저전력이 요구되는 응용분야에서 사용되는 데 문제점이 있다. 따라서 상대적으로 저속의 ADC를 사용하여 고속 샘플링을 구현하기 위한 방식으로 sub-sampling의 일종인 등가 시간 샘플링(ETS, equivalent time sampling) 기법을 적용하였다. ETS 기법을 통해 200 ns의 펄스 반복 주기(PRI, pulse repetition interval)를 갖는 5 Gs/s 고속 샘플링을 가능하게 한다. 이는 30 m의 레이더 unambiguous range와 3 cm의 측정 해상도를 의미한다.

본 논문에서는 24 GHz의 K-band 대역에서 동작하는 CMOS 기반의 UWB 레이더 SoC를 설계 및 제작하였다. 전압 제어 발진기(VCO, voltage controlled oscillator)를 사용하여 UWB 임펄스 신호를 생성하는 구조를 사용하였으며, LO 동기화 구조의 수신기를 사용함으로써 하나의 VCO를 송수신기에서 동시에 사용하는 구조를 적용하였다. 지연 고정 루프(DLL, delay locked loop)를 사용한 ETS 기법을 통해 높은 정확도와 해상도를 갖는 고속 샘플링을 구현하였다. 설계된 UWB 레이더 송수신기는 65 nm CMOS 공정을 이용하여 제작되었으며 측정결과를 포함한다.

## II. UWB 송수신기 설계

그림 1은 설계된 UWB 레이더 송수신기 SoC의 구조를

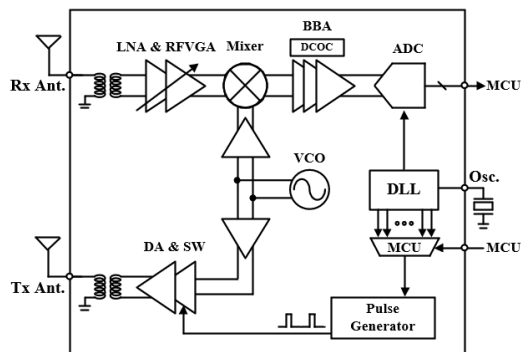


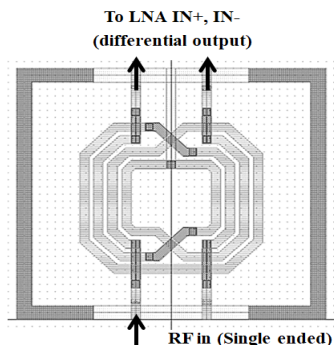
그림 1. UWB 송수신기 구성도

Fig. 1. Block diagram of UWB transceiver.

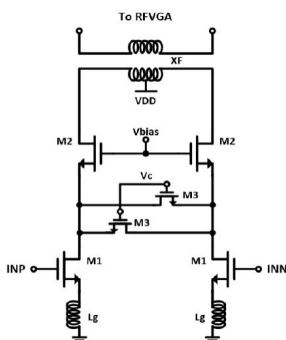
보여준다<sup>[1]</sup>. 설계된 칩은 송신기, 수신기, timing clock 생성용 DLL로 구성되어 있다. 물체의 반사된 신호를 측정하는 레이더 특성상 수신기에 입력되는 RF 신호는 매우 작다. 본 논문에서는 작은 입력신호에 대해 상대적으로 높은 이득을 갖는 LO 동기화 구조의 수신기를 사용한다. 송신기에서 UWB 임펄스 신호를 만드는 VCO를 공유하여 mixer의 LO 신호로 사용함으로써, 비교적 작은 면적을 가지며, self-mixing 구조 대비 높은 성능을 낼 수 있다<sup>[2]</sup>. 송신기는 VCO 기반의 carrier - based impulse generator 구조로 설계되었으며, 펄스 신호에 의해 제어되는 switching amplifier를 통해 임펄스 신호를 생성한다. 5 MHz clock을 reference 신호로 사용하는 DLL을 통해 약 195 ps의 지연 시간을 갖는 클락 신호를 생성하였으며, ETS 방식으로 5 Gs/s 속도의 샘플링을 진행한다. DC 오프셋 제거(DCOC, DC offset cancellation) 회로가 포함된 기저대역 아날로그(BBA, baseband analog) 회로를 통해 수신기의 최종 출력 신호가 나오며, 12 bits ADC를 통해 디지털 신호로 변환되어 칩 외부로 출력된다.

### 2-1 수신기 회로 설계

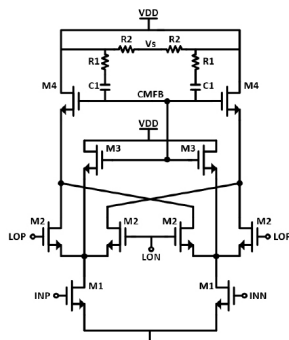
RF front-end 수신기는 저잡음 증폭기(LNA, low noise amplifier), RF 가변 이득 증폭기(RFVGA, RF variable gain amplifier), 하향 변환 믹서로 구성되어 있다. 그림 2(a)와 그림 2(b)는 각각 on-chip 트랜스포머와 LNA 회로도도를 보여준다. LNA 입력단 on-chip 트랜스포머를 통해 single to differential 변환을 진행함과 동시에 입력 임피던스 매칭



(a) On-chip 트랜스포머  
(a) Circuit diagram of on-chip transformer



(b) LNA 회로도  
(b) Circuit diagram of LNA



(c) Mixer 회로도  
(c) Circuit diagram of mixer

그림 2. RF 프런트 엔드  
Fig. 2. RF front-end.

을 구성하였다. 트랜스포머의 두께 및 간격은 각각 6  $\mu\text{m}$ , 3  $\mu\text{m}$ 이다. LNA와 RFVGA는 cascode common source 증폭기 구조로 설계되었으며, M3 shunt 스위치를 이용한 이득 제어를 통해 수신기의 선형성을 증가시켰다. LNA 출력단 on-chip 트랜스포머를 통하여 LNA와 RFVGA의 매칭을 진행하였다. 그림 2(c)는 하향 변환 믹서의 구조를 보여준다. Gilbert cell 구조 기반의 능동 믹서를 사용하였으며 current bleeding 기법을 사용하여 전압 headroom을 증가시켰다. 또한 MOSFETs에 의한 flicker noise를 줄임과 동시에 DC offset에 영향을 줄 수 있는 LO leakage를 줄여 LO-RF isolation을 증가시켰다<sup>[3]</sup>. 믹서를 통해 하향 변환된 신호는 trans-impedance amplifier(TIA)를 통해 기저대역 전압 신호로 변환 증폭된 후, BBA를 거쳐 한 번 더 증폭된다. TIA와 BBA에 low pass feedback loop 형태의 DCOC

회로를 추가함으로써 DC offset을 제거하였다. BBA를 통해 출력된 신호는 칩에 집적된 12 bit pipeline ADC를 통해 디지털 신호로 변환된 후 칩 외부로 출력된다.

## 2-2 송신기 회로 설계

그림 3은 개발된 UWB용 송신기의 구조를 보여준다. VCO 기반의 impulse generator 구조를 사용하였으며, class-C type VCO, RF switching amplifier, DA(drive amplifier), pulse generator로 구성되어 있다. LO 동기화 구조를 사용하였기 때문에, 하나의 VCO를 통해 LO 신호를 생성함과 동시에 UWB 임펄스 신호를 생성해준다. 24 GHz의 높은 주파수를 갖는 VCO는 많은 전력 소모를 가지기 때문에 상대적으로 낮은 전력 소모를 갖는 class-C VCO를 사용하였다. 그림 4는 설계된 class-C VCO의 회로도를 보여준다. M2 트랜지스터로 구성된 current mirror에

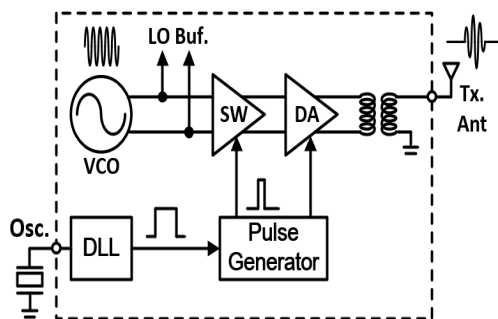


그림 3. UWB 송신기 구조도  
Fig. 3. Block diagram of UWB transmitter.

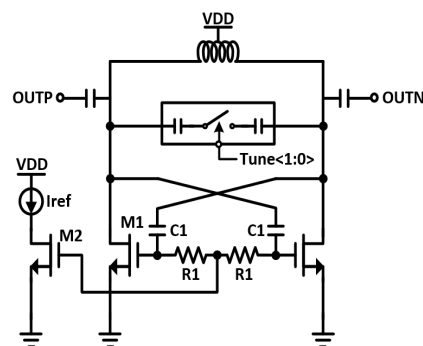


그림 4. Class-C VCO 회로도  
Fig. 4. Circuit diagram of class-C VCO.

의해 class-C 게이트 바이어스는 문턱 전압보다 낮게 형성된다<sup>[4]</sup>. SPI를 통한 2 bit digitally tuneable capacitor 제어를 통해 레이다 송신 주파수를 변경한다. 설계된 VCO는 수신기 믹서의 LO 신호로서 사용되므로 항상 켜진 상태를 유지함과 동시에 pulse generator 신호를 통해 제어되는 스위치에 의해 VCO 출력 신호는 시간축상에서 매우 짧은 신호로 windowing된다. Pulse generator에서 생성되는 pulse 신호의 폭을 제어하여 UWB 대역폭을 결정한다. 생성된 UWB 임펄스 신호는 DA 및 출력 트랜스포머를 거쳐 송신기 안테나를 통해 송신된다.

### 2.3 등가 시간 샘플링과 DLL 회로 설계

본 논문에서는 5 Gs/s의 샘플링 속도를 갖기 위해 약 195 ps의 지연시간을 갖는 DLL을 설계하였다. DLL은 입력되는 reference clock에 대비하여 일정한 시간 지연을 갖는 신호들을 생성해주는 회로이다. 5 MHz의 reference clock을 사용하였으며, 이때 1-stage DLL을 통해 195 ps의 지연시간을 갖기 위해서는 1,024개의 delay cell이 필요하다. 이는 넓은 면적 및 많은 전력을 소모하며, 물리적인 한계로 인하여 DLL lock을 구성하는 데 어려움이 있다. 따라서 본 논문에서는 coarse, fine으로 구성된 2-stage cascade DLL 구조를 설계하였다. 그림 5(a)는 개발된 DLL의 구성도를 보여주며, coarse DLL의 경우 3.125 ns의 지연시간을 갖는 delay cell 64개를 사용하며 fine DLL의 경우 약 195 ps의 지연시간을 갖는 delay cell 16개를 사용하였다. Fine DLL의 경우 coarse DLL 출력 신호가 reference clock으로 사용하여 C1부터 C64까지 입력받아

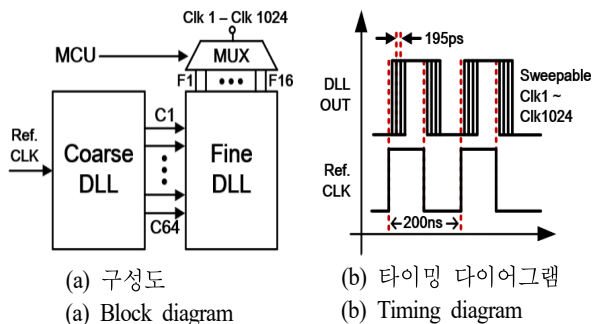


그림 5. DLL  
Fig. 5. DLL.

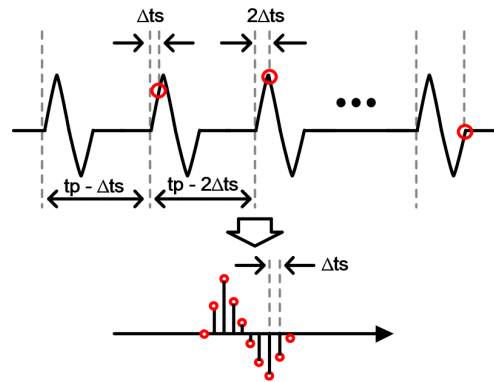


그림 6. 등가 시간 샘플링 기법  
Fig. 6. Illustration of equivalent-time sampling.

순차적으로 1,024개의 클럭 신호를 생성되며, MCU(micro controller unit)에 의해 제어되는 MUX를 통해 순차적으로 송신된다. 순차적으로 출력되는 DLL의 클럭 신호는 pulse generator에 의해 pulse 신호로 변환되어 switching amplifier를 온오프 제어하기 위한 신호로 사용된다.

저속의 ADC를 사용하여 5 Gs/s의 샘플링을 진행하기 위해, DLL을 사용한 ETS 방식으로 샘플링을 구현하였다.

ETS 기법은 sub-sampling 방식의 일종으로, 저속의 샘플링 클럭을 통해 샘플링된 데이터들을 종합하여 고속의 샘플링을 이뤄내는 기법이다. 그림 6은 ETS 기법을 통한 샘플링 방식을 보여준다<sup>[5]</sup>. 일정한 지연 시간을 갖는 신호를 순차적으로 송신함으로써, 저속의 샘플링 클럭을 사용하여 높은 해상도의 고속 샘플링을 가능하게 한다. Oversampling 기법에 비해 동일한 샘플링 속도에서 상대적으로 저속의 ADC를 사용함으로써 전력 소모를 크게 낮출 수 있다. DLL 신호에 의해 약 195 ps의 지연시간을 갖는 수신 신호를 종합하여 샘플링을 진행하였다. 5 MHz reference clock을 사용하여 약 195 ps의 해상도로 샘플링을 진행하였으며, 이는 약 3 cm의 레이다 해상도 및 30 m의 레이다 unambiguous range를 의미한다.

### III. 측정 결과

그림 7은 65 nm CMOS 공정으로 제작된 24 GHz UWB 레이다 IC를 보여준다. 제작된 IC의 크기는 2.3 mm × 2.2 mm이며, RF, BBA, DLL, ADC 등 모든 회로를 포함하고

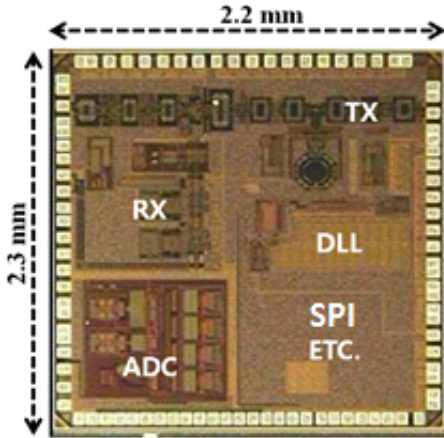


그림 7. UWB 레이더 IC 사진  
Fig. 7. Photograph of UWB radar IC.

있다. 측정된 수신기의 이득은 24 GHz에서 79 dB이며, 잡음 지수는 7.4 dB이다. 송신기의 VCO는 약 22.9~25.2 GHz의 조절 범위를 가지며, 펄스 생성기에서 펄스폭을 제어하여 대역폭 조절을 하여 약 0.2~5.2 GHz의 대역폭을 갖는다. 측정된 UWB SoC는 1.2 V 단일 전압을 사용하며, 이때 약 216 mW의 전력을 소모한다.

그림 8은 측정된 DLL 출력 신호를 보여준다. 측정 결과, coarse DLL의 경우 200 ns 동안 3.125 ns의 지연시간을 갖는 클락 신호 64개를 출력한다. Fine DLL의 경우 coarse DLL의 두 출력 클락 신호 사이를 동일한 지연시간으로 16 등분하며 약 195 ps의 지연시간을 갖는 클락 신호 16개를 생성한다. Coarse 및 fine DLL clock 신호들의 delay를 측정함으로써 DLL lock 상태를 확인할 수 있으며,

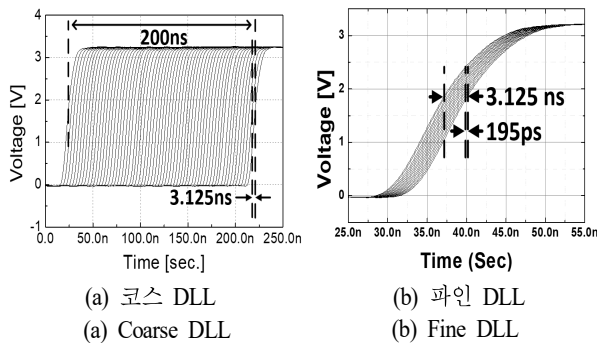


그림 8. 측정된 DLL 신호  
Fig. 8. Measured DLL.

DLL의 delay를 제어하는 전압을 확인함으로써 DLL lock 상태를 확인할 수 있다.

물체 측정 실험 전에, 설계된 IC의 정량적인 결과를 얻고자 송신기에서 수신기로 일정한 길이의 RF 케이블 및 감쇄기를 연결하여 loop-back 테스트를 진행하였다. 약 10 m의 전기적 길이를 갖는 RF cable을 사용하였으며, 안테나 이득은 3 dBi, 측정 물체의 레이더 반사 면적(RCS, radar cross section)은 단면적이 1 m<sup>2</sup>인 구의 RCS인 0 dBsm으로 가정하였다. 이와 유사하게 감쇄기와 케이블의 손실을 결정하여 실험을 진행하였다. 송신기에서 수신기로의 loop-back 신호를 BBA 출력을 포트를 통해 오실로스코프로 측정하여 확인하였으며, 그림 9에서 볼 수 있듯이 충분한 신호 대 잡음비(SNR, signal to noise ratio)를 가짐을 알 수 있다. 제작된 레이더의 성능을 파악하기 위하여 약 11.3 m 거리에 놓인 -20 dBsm의 RCS를 갖는 표준구를 통하여 테스트를 진행하였다. 본 논문에서는 다루지 않았으나, 측정된 신호를 바탕으로 지수 평균법을 통하여 clutter 신호를 감쇄하였으며 오류 탐지 비율을 줄이기 위한 방법으로 CA-CFAR 알고리즘을 적용하였으며, 이를 통한 결과는 그림 10에서 확인할 수 있다. 실험 결과, 약 11.3 m 거리에 놓은 표준구에 대해서 측정이 가능한 것으로 확인되었다. 표 1에 제작된 IC의 측정 결과를 정리하였다.

#### IV. 결 론

본 논문에서는 CMOS 65 nm 공정을 이용하여 K-band

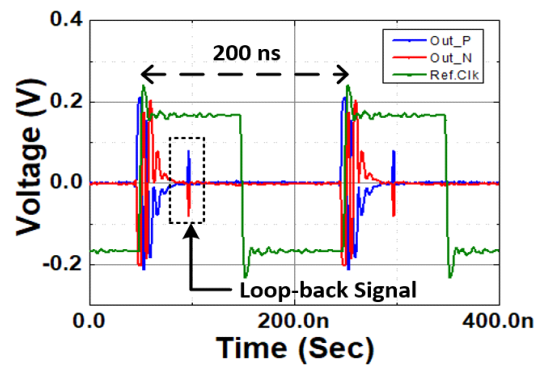


그림 9. 측정된 loop-back 테스트  
Fig. 9. Measured loop-back test.

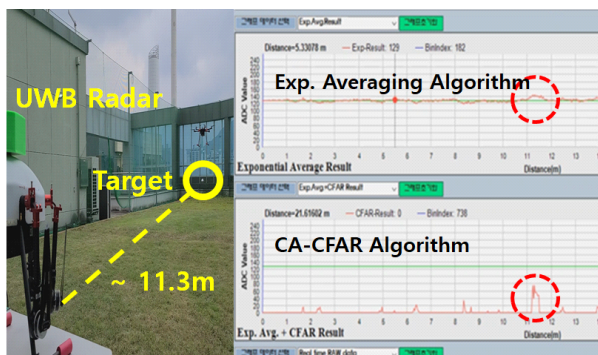


그림 10. UWB 레이더 센서를 통한 객체 탐지 실험  
Fig. 10. Object detection experiment using UWB radar sensor.

표 1. K-band UWB 송수신기 IC의 성능 측정 결과  
Table 1. Measurement results for the K-band UWB transceiver IC.

Part	Parameter	Measured result	Note
Tx	Frequency range	22.9~25.2 GHz	4 step
	Bandwidth	0.2~5.2 GHz	10 dB BW
	Output power	-45.6 dBm/MHz	Max.
Rx	Gain	55.3~79 dB	RFFE+BBA
	NF	7.4 dB	Max gain
DLL	Reference freq.	5 MHz	-
	Lock time	<8 usec	-
	Resolution	195.3 ps	3 cm
Total	Power consumption	216 mW	@1.2 V

에서 동작하는 UWB 레이더를 소개하였다. LO 동기화 수신기 구조 및 pseudo-correlation 구조를 사용하여 송신기와 수신기에서 VCO를 공유함으로써, 작은 면적을 갖는 간편한 구조로 설계하였다. 수신기의 최대 이득은 79 dB이며, 잡음지수는 7.4 dB이다. 64×16의 2-stage DLL을 사용한 ETS 기법을 통해 낮은 전력 소모로 5 Gs/s의 샘플링

을 진행하였으며, DLL 출력 신호를 통하여 샘플링이 진행됨을 확인하였다. 또한, 표준구를 통한 측정을 통하여, 11.3 m에 놓인 표준구에 대해서 측정이 가능함을 확인하였다. 24 GHz UWB 레이더 SoC는 객체 탐지 시스템에 있어 다양하게 활용 가능하다.

## References

- [1] J. Yoo, B. Park, S. Kim, S. Jung, and Y. Eo, "Coherent 7~9 GHz CMOS UWB radar transceiver for moving target detection," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 30, no. 11, pp. 903-910, Nov. 2019.
- [2] S. Lee, S. Kong, C. Y. Kim, and S. Hong, "A low-power K-band CMOS UWB radar transceiver IC for short range detection," in *2012 IEEE Radio Frequency Integrated Circuits Symposium*, Montreal, QC, Jun. 2012, pp. 503-506.
- [3] G. H. Tan, R. M. Sidek, H. Ramiah, W. K. Chong, and D. X. Lioe, "Ultra-low-voltage CMOS-based current bleeding mixer with high LO-RF isolation," *The Scientific World Journal*, vol. 2014, p. 163414, Aug. 2014.
- [4] W. C. Lai, S. L. Jang, B. S. Shih, and Y. Su, "Low power class-C VCO using dynamic body biasing," in *2017 6th International Symposium on Next Generation Electronics(ISNE)*, Keelung, May 2017, pp. 1-4.
- [5] M. Strackx, E. D'Agostino, P. Leroux, and P. Reynaert, "Analysis of a digital UWB receiver for biomedical applications using equivalent-time sampling," in *2011 8th European Radar Conference*, Manchester, Oct. 2011, pp. 206-209.



변 기 룬 [광운대학교/석사과정]

<https://orcid.org/0000-0002-2960-3919>



2020년 2월: 광운대학교 전자공학과 (공학사)  
2020년 3월~현재: 광운대학교 전자공학과 석사과정  
[주 관심분야] 무선 통신 및 레이더 시스템을 위한 CMOS RF/Analog 집적회로 설계

김 홍 희 [LIG넥스원/연구원]

<https://orcid.org/0000-0003-3853-1811>



2013년 2월: 광운대학교 전자공학과 (공학사)  
2015년 2월: 광운대학교 전자공학과 (공학석사)  
2015년 1월~현재: LIG넥스원 연구원  
[주 관심분야] RF/MW/MMW 회로 및 시스템, 초광대역 소자, 레이더 시스템

박 동 옥 [광운대학교/박사과정]

<https://orcid.org/0000-0003-0782-534X>



2015년 2월: 광운대학교 전자공학과 (공학사)  
2017년 2월: 광운대학교 전자공학과 (공학석사)  
2017년~2019년: Point2 Technology Inc. RF Engineer  
2019년~현재: 실리콘알앤디 RF Engineer

2020년 3월~현재: 광운대학교 전자공학과 박사과정  
[주 관심분야] UWB 레이더 시스템을 위한 RF/Analog 집적회로 및 시스템 설계

김 인 복 [LIG넥스원/연구원]

<https://orcid.org/0000-0002-0718-2025>



2008년 2월: 경북대학교 전자공학과 (공학사)  
2010년 2월: 경북대학교 전자공학과 (공학석사)  
2015년 2월: 경북대학교 전자공학과 (공학박사)  
2015년 1월~현재: LIG넥스원 연구원

[주 관심분야] RF/MW/MMW 회로 및 시스템, 초광대역 소자, 레이더 시스템

서 병 재 [광운대학교/박사과정]

<https://orcid.org/0000-0002-1698-1822>



2017년 2월: 광운대학교 전자공학과 (공학사)  
2019년 2월: 광운대학교 전자공학과 (공학석사)  
2019년 3월: 광운대학교 전자공학과 박사과정  
[주 관심분야] 무선 통신 및 레이더 시스템을 위한 CMOS RF/Analog 집적회로 설계

어 윤 성 [광운대학교/교수]

<https://orcid.org/0000-0003-4508-6672>



1993년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)  
1995년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)  
2001년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)  
2000년 8월~2002년 8월: LG전자기술원

RF Team 선임연구원  
2002년 9월~2005년 8월: 삼성종합기술원 RF Chip Solution Center 책임연구원  
2014년 3월~현재: 광운대학교 전자공학과 교수  
2009년 9월~현재: 실리콘알앤디 대표이사(겸)  
[주 관심분야] CMOS RF Transceiver 설계, CMOS Power AMP 설계