

디지털 오실로스코프와 Labview™를 이용한 위상잡음 측정방법

A Measurement Technique of Phase Noise Using a Digital Oscilloscope and Labview™

염 경 환 · 노 진 성

Kyung-Whan Yeom · Jin-Seong Roh

요 약

본 논문에서 Keysight사의 4-채널 10-bit 디지털 오실로스코프 MSO804A와 National Instruments사 Labview™를 이용한 새로운 위상잡음 측정 방법을 제안한다. 정밀한 위상잡음 측정 계측기는 일반적으로 고가이며, 범용적이지 않은 반면, 디지털 오실로스코프는 범용적이다. 따라서 본 논문의 방법을 이용할 경우 저가이며, 용이하게 정밀 위상잡음 측정을 수행할 수 있게 된다. 구현된 위상잡음 측정방법의 평가를 위해 Keysight사의 함수발생기 33600A, SSG(synthesized signal generator) E8257D, Z-comm사의 VCO 3가지 SUT(source under test)에 대해 Keysight사의 SSA(signal source analyzer) E5052B로 측정된 위상잡음과 비교하였다. 주목할 것은 SUT 33600A, E8257D의 위상잡음은 범용 스펙트럼-분석기로 측정가능한 위상잡음보다 낮은 위상잡음을 갖는다. 비교 결과, 위상잡음의 차이는 약 ± 3 dB 정도이며, E5052B로 측정된 위상잡음과 근접한 결과를 보인다.

Abstract

In this paper, we propose a novel phase noise measurement method using Keysight's 4-channel 10-bit digital oscilloscope MSO804A and National Instruments' Labview™. Precise phase noise measurement equipment is generally expensive and not universal, whereas digital oscilloscopes are universal. Therefore, via the method proposed in this paper, it is possible to perform precise phase noise measurements inexpensively and easily. To evaluate the proposed phase noise measurement method, the phase noises of three types of source under test (SUT), Keysight's function generator 33600A, synthesized signal generator (SSG) E8257D, and Z-comm's VCO were measured with Keysight's signal source analyzer (SSA) E5052B, and compared to those measured using the presented method. Note that SUT 33600A and E8257D have lower phase noise than that a general-purpose spectrum analyzer can measure. The comparison results showed that the difference in phase noise is approximately ± 3 dB, and the results are close to the phase noise measured with E5052B.

Key words: Phase Noise, CORDIC Receiver, Phase Noise Measurement, Under-Sampling

I. 서 론

위상잡음(phase noise)은 신호원 위상의 시간에 따른 불

규칙한 흔들림을 의미하며, 위상잡음 성능은 통신 시스템 구성시 필수적으로 고려하여야 하는 중요한 규격 중 하나이다.

「이 연구는 2019학년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(NRF-2019R1I1A3A0105686412).」

충남대학교 전파공학과(Department of Radio Science & Engineering, Chungnam University)

· Manuscript received July 28, 2021 ; Revised September 6, 2021 ; Accepted August 23, 2021. (ID No. 20210728-075)

· Corresponding Author: Kyung-Whan Yeom (e-mail: khyeom@cnu.ac.kr)

2009 IEEE 기준에^[1] 따르면 위상잡음은 식 (1)과 같이 정의된다.

$$L(f) = \frac{A}{B} \quad (1)$$

A=Power density in one phase noise modulation side band, per Hz

B=Total signal power

식 (1)은 이상적인 스펙트럼-분석기로 용이하게 설명된다. 측정하고자 하는 신호원(SUT: source under test)을 스펙트럼분석기에 인가하고, 반송파전력(P_s) 및 반송파(carrier)의 오프셋-주파수 f_m 에서 단위-대역폭 당 스펙트럼 잡음전력(P_n)으로 계측될 때, 위상잡음 $L(f_m)$ 은 $L(f_m) = P_n/P_s$ 로 정의된다. 그러나 실제 스펙트럼-분석기의 경우 스펙트럼-분석기 바탕잡음(noise floor)과 스펙트럼-분석기 내 LO 신호의 위상잡음으로 인해 낮은 위상잡음을 갖는 SUT의 경우 정확한 측정을 수행할 수 없다.

다른 방법으로 위상검출기(PD: phase detector)를 이용한 방법이 있다^{[2],[3]}. PD는 이상적 승적기(multiplier)와 유사하며, 두 개의 입력 신호의 곱에 비례하는 출력을 생성한다. PD를 사용 위상잡음을 측정하기 위해서는 두 개의 PD 입력 포트 중, 한 포트에 SUT를 입력하고, 다른 입력 포트에는 SUT와 같은 주파수, 90° 위상차를 갖는, 위상잡음이 SUT에 대해 무시할 수 있는 기준(reference) 신호를 인가한다. 이때 PD 출력-포트에 검출된 저주파 잡음신호의 전력스펙트럼 밀도(PSD: power spectral density) $S_\phi(f_m)$ 는 위상잡음이 된다. PSD $S_\phi(f_m)$ 은 일반적으로 $0 < f_m < \infty$ 에서 정의된다. 식 (1)의 $L(f_m)$ 은 $S_\phi(f_m)$ 과 다음의 관계를 갖는다.

$$L(f_m) = \frac{1}{2} S_\phi(f_m) \quad (2)$$

스펙트럼-분석기 방법과 달리 PD 방법은 낮은 위상잡음을 갖는 SUT에도 적용할 수 있으나, SUT와 같은 주파수를 갖는 기준신호원이 필요하다. 또한 앞서 설명한 바와 같이 SUT보다 충분히 낮은 위상잡음을 갖는 기준신호원이 필요하다. 기준신호원의 주파수가 SUT의 주파수와 같도록 만들기 위해서 일반적으로 위상잡음회로(PLL:

phase locked loop)을 사용한다. 이 때 PLL에서 위상잡음은 PLL 내의 루프-필터에 의해 달성되는데, 루프-필터의 대역폭은 측정하고자 하는 f_m 보다 충분히 좁아야 한다. 루프-필터의 대역폭이 일부 낮은 f_m 을 포함할 경우, 루프-필터의 대역폭에 포함된 낮은 f_m 에서 측정된 위상잡음은 PLL 루프-필터 보상 문제를 동반한다. 따라서 낮은 위상잡음을 갖는 SUT의 위상잡음 측정을 위한 PD 방법은 낮은 위상잡음을 갖는 기준신호원, 기준신호원 PLL 때문에 구현하기 어렵게 된다.

이와 같은 아날로그 방법 이외에 디지털 기술의 발전과 더불어 디지털 기술을 이용한 위상잡음 측정 방법이 개발되었다^{[4]~[7]}. 이 방법은 입력된 신호의 위상 ϕ 를 얻기 위하여, 그림 1과 같이, 우선 ADC (analog-to-digital converter)를 통하여 디지털신호로 변환하고, 변환된 신호를 두 개의 직교하는 디지털-하향변환기(DDC: digital down converter)를 사용 $\cos\phi$ 및 $\sin\phi$ 를 얻는 것이다. 뒀단 CORDIC(coordinate rotation digital computer)은 반복을 통하여 $\cos\phi$ 및 $\sin\phi$ 로부터 ϕ 를 얻는 디지털 회로이다. 특히 CORDIC은 FPGA(field programmable gate array)로 용이하게 구현되며, 구현 방법은 널리 알려져 있다.

주목할 것은 그림 1의 ϕ 는 시간영역 함수이고, ϕ 의 주파수 영역에서 PSD가 $S_\phi(f_m)$ 이며, $S_\phi(f_m)$ 으로부터 식 (2)에 의하여 위상잡음 $L(f_m)$ 을 얻게 되는데, $L(f_m)$ 은 그림 2와 같이 일반적으로 log scale f_m 에 대해 도시한다. 따라서 반복적으로 ϕ 를 Fourier 변환하여 얻어진 $S_\phi(f_m)$

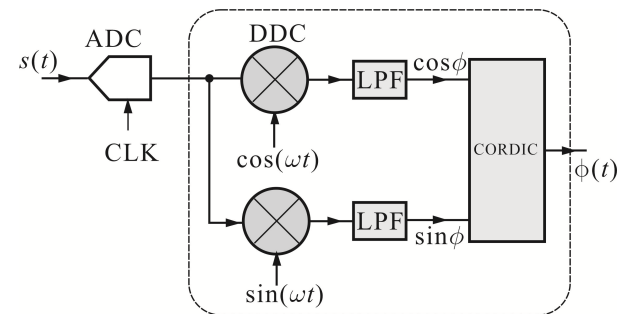


그림 1. 디지털 방법을 이용한 위상잡음 검출방법. CORDIC (coordinate rotation digital computer), ADC (analog to digital converter), DDC (digital down converter)
Fig. 1. Digital implementation of phase noise measurement.

을 평균하는 것이 필요하다. 그러나 일반적인 방법으로 ϕ 를 FFT 변환 후, 평균을 취할 경우, 수렴된 $S_\phi(f_m)$ 을 얻는데 참을 수 없는 정도의 긴 시간을 소요하게 된다. 이것을 보이기 위하여 그림 2에 $\phi(t)$ 의 FFT로 얻어진 $S_\phi(f_m)$ 을 보였다.

그림 2의 $S_\phi(f_m)$ 은 주파수 15 MHz, 진폭 1 V, 위상 0°인 정현파에, 진폭이 $[-700 \mu\text{V}, 700 \mu\text{V}]$ 의 균일한 분포를 갖는 잡음이 추가된 파형을 $s(t)$ 로 정의하고, $s(t)$ 를 ADC로 100 MSa/sec로 샘플 후, 샘플된 $s(n\Delta t')$ 에 대해 그림 1의 수신부를 이용 $\phi(n\Delta t)$ 를 구한 뒤($\Delta t=10\Delta t'$), FFT 연산하여 계산된 결과이다. 이와 같은 조건에서 주파수 영역 스펙트럼은 $f_{\min} \sim f_{\max}$ 에서 나타나는데, $f_{\min}=1/(4 \text{ M} \times 0.1 \mu\text{sec})=25 \text{ Hz}$, $f_{\max}=5 \text{ MHz}$ 가 된다. 그림 2는 $f_{\min} \sim f_{\max}$ 중 일부 f_m 에 대하여 도시한 것이다. 그림 2에서 $S_\phi(f_m)$ 의 요동(fluctuation)은 f_m 에 따라 비례하여 커지는 것을 알 수 있다. 이러한 요동은 f_m 에 따른 $S_\phi(f_m)$ 값을 파악하기 어렵게 한다. 따라서 $S_\phi(f_m)$ 요동을 제거하기 위해서는 다수의 $s(n\Delta t')$ 집합에 대해 얻어진 $S_\phi(f_m)$ 에 대해 평균 작업을 수행하여야 한다. 그림 2에 평균을 취하여 $S_\phi(f_m)$ 의 요동이 충분히 제거된 결과

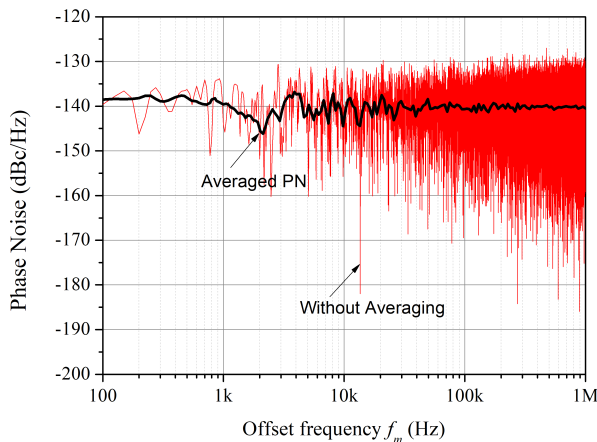


그림 2. $\phi(n\Delta t)$ 의 FFT를 통하여 얻은 위상잡음 $S_\phi(f_m)$ 에 및 $S_\phi(f_m)$ 평균. $\Delta t=0.1 \mu\text{sec}$, 샘플-길이 $n=4 \text{ M}$

Fig. 2. The example phase noise, $S_\phi(f_m)$ obtained by FFT of $\phi(n\Delta t)$ and its average. $\Delta t=0.1 \mu\text{sec}$, length $n=4 \text{ M}$.

를 보였다. 주목할 것은 높은 f_m 에서 $S_\phi(f_m)$ 의 요동을 충분히 제거하기 위해서는 많은 수의 $S_\phi(f_m)$ 집합에 대하여 평균을 요구하여, 경우에 따라서는 위상잡음을 얻는데 참을 수 없는 정도의 긴 시간을 소요하기도 한다.

그림 2와 같은 높은 f_m 에서 $S_\phi(f_m)$ 요동을 제거하기 위해서는 직접 입력샘플에 대한 FFT를 수행하는 대신에, 그림 3과 같이 입력 샘플을 샘플-길이 $N_F=2,000$ 개로 이루어진 반복적인 샘플 집합으로 생각하여 순차구조(decimating structure) FFT를 수행하면, 고주파에서 $S_\phi(f_m)$ 의 요동이 제거된 결과를 얻게 된다.^[8] 그림 3에서 $\Delta t=0.1 \mu\text{sec}$ ($f_s=10 \text{ MHz}$)이고, 그림과 같이 샘플-길이 $n=4 \text{ M}$ 일 때 예를 보였다.

그러면 길이 4 M를 갖는 1개의 샘플은 길이 $N_F=2,000$ 개를 갖는 2,000개 샘플들의 집합이 된다. 길이 $N_F=2,000$ 개를 갖는 샘플에 대해서 FFT할 경우, 스펙트럼은 앞서 설명한 바와 같이 주파수 영역 $f_{\min} \sim f_{\max}$ 를 계산하면 $5 \text{ kHz} \sim 5 \text{ MHz}$ 가 된다. 길이 $N_F=2,000$ 개를 갖는 동일한 샘플이 2,000개 있기 때문에 각 샘플에 대해 스펙트럼을 구한 뒤 평균하면 $f_m=5 \text{ kHz} \sim 5 \text{ MHz}$ 스펙트럼을 2,000번 평균한 것이 된다. 이것을 표 1에 정리하였다.

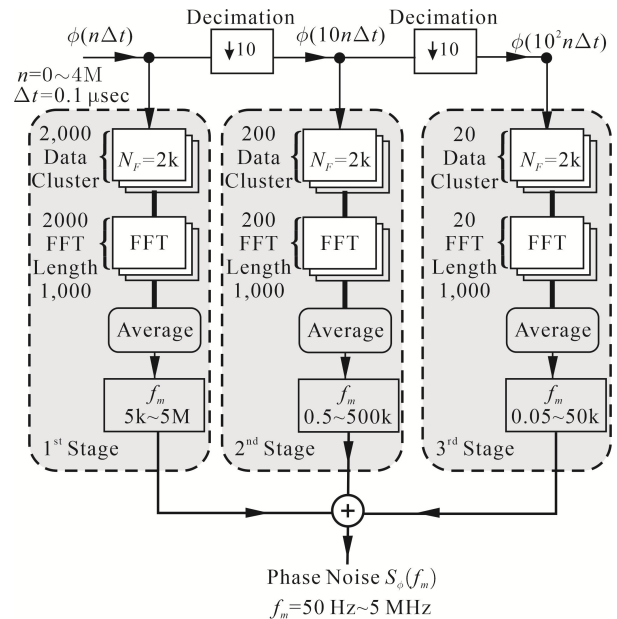


그림 3. 순차구조(decimating structure) FFT 구조 예
Fig. 3. The example of the decimating FFT structure.

표 1. 단별 샘플속도 및 주파수 대역

Table 1. Sampling rate and frequency range of each stage.

Conditions		1 st stage		2 nd stage		3 rd stage	
$\Delta t = 0.1 \mu \text{ sec}$		$0.1 \mu \text{ sec}$		$1 \mu \text{ sec}$		$10 \mu \text{ sec}$	
$n=4 \text{ M}$		$N_F=2,000$		$N_F=2,000$		$N_F=2,000$	
$A_v \text{ No.}=1$		2,000		200		20	
f_{\min}	f_{\max}	f_{\min}	f_{\max}	f_{\min}	f_{\max}	f_{\min}	f_{\max}
25 Hz	5 MHz	5 kHz	5 MHz	500 Hz	500 kHz	50 Hz	50 kHz

다음 $\phi(n\Delta t)$ 을 decimation할 경우, decimation된 $\phi(10n\Delta t)$ 의 샘플-수는 400k가 되는데, 이것 또한 샘플-길이 N_F 인 샘플들로 분해하면, 샘플-길이 N_F 인 샘플이 200개 얻어진다. 이 집합에 대해 PSD를 구하면, $f_m = 0.5 \sim 500 \text{ kHz}$ 스펙트럼을 200번 평균하여 얻은 결과가 된다. 마찬가지로 진행하면 3단에서는 $f_m = 50 \text{ Hz} \sim 50 \text{ kHz}$ 의 스펙트럼을 20번 평균한 것을 얻게 된다. 주목할 것은 샘플-길이 N_F 선택에 따라 여러 가지 주파수 대역 선택이 가능하다. 결론적으로 그림 3 구조는 f_m 이 높아질수록 평균회수는 증가하여 그림 2에 보인 높은 f_m 에서 요동을 제거하는데 효과적이다. 순차구조(decimating structure) FFT 구조는 FPGA를 이용 실시간(real time)으로 위상잡음을 구할 때 보편적으로 널리 사용되며, 비교적 짧은 시간에 높은 f_m 에서 충분히 요동이 제거된 위상잡음을 얻는 것을 가능하게 한다.

이와 같은 디지털 방법을 사용 $S_\phi(f_m)$ 을 측정할 때 $S_\phi(f_m)$ 의 측정가능범위는 주로 ADC의 SNR(signal to noise ratio)에 의해 결정되게 된다. 이상적인 샘플링을 가정할 경우 ADC의 SNR은 식 (3)과 같이 결정된다.^[9]

$$SNR(dB) = 6.02B + 1.76 + 10 \log_{10}(f_s) - 3 \quad (3)$$

식 (3)에서 B 는 ADC bit-수, f_s 는 샘플링-주파수를 나타낸다. 물론 식 (3)은 신호의 스펙트럼에 대한 SNR이고, 위상잡음 $S_\phi(f_m)$ 을 나타내지는 않는다. 그러나 높은 f_m 에서 식 (3)으로 주어지는 SNR은 앞서 설명한 스펙트럼-분석기로 정의되는 위상잡음 $L(f_m)$ 에 해당한다. 따라서 식 (3)에 의하여 높은 f_m 에서 바탕 위상잡음을 평가할 수 있다.

식 (3)을 이용 범용 디지털 오실로스코프에 널리 사용

되는 10-bit ADC에 대해서 SNR을 계산하면 $f_s = 100 \text{ MHz}$ 에서 약 -140 dB 가 된다. 이 SNR은 일반적인 VCO (voltage controlled oscillator)를 고려하면 적절하지만, 매우 낮은 약 -170 dBc/Hz 정도의 위상잡음을 갖는 수정발진기를 고려하면 충분하지 않은 SNR이다. 또한 ADC의 샘플링-clock은 불완전하며, 샘플링 clock도 위상잡음을 가지고 있어, 샘플링-clock 위상잡음의 영향을 고려하면 식 (1)로 예상한 SNR보다 작은 값을 얻게 된다^[10]. 식 (1)로부터, ADC의 SNR 개선 방법은 ADC bit-수 증가나, 샘플링 주파수 f_s 를 높이는 방법이 있다. 현실적으로 ADC bit-수는 18-bit 정도가 한계이다.

ADC bit-수 증가나, 샘플링 주파수 f_s 를 높이는 방법 이외에 교차상관 후 이의 평균을 이용하는 방법이 있다. 일반적으로 그림 4와 같이 ADC로 샘플링된 data를 동시에 공급하여 여러 채널을 통해 ϕ 를 얻을 수 있다. 각 채널의 ADC에 의해 발생된 열잡음은 독립이기 때문에 그림 4의 ϕ_A 및 ϕ_C 에 포함된 열잡음은 독립이 된다. 따라서 ϕ_A , ϕ_C 의 교차평균을 구할 경우, ADC에 의해 발생된 열잡음은 0으로 수렴시킬 수 있다. 교차상관 (cross correlation) 회수 M 의 증가에 따른 두 개의 독립잡음 ϕ_1 및 ϕ_2 의 교차상관 PSD는 $10 \log \sqrt{M} \text{ dB}$ 감소되는 것으로 알려져 있다^[11].

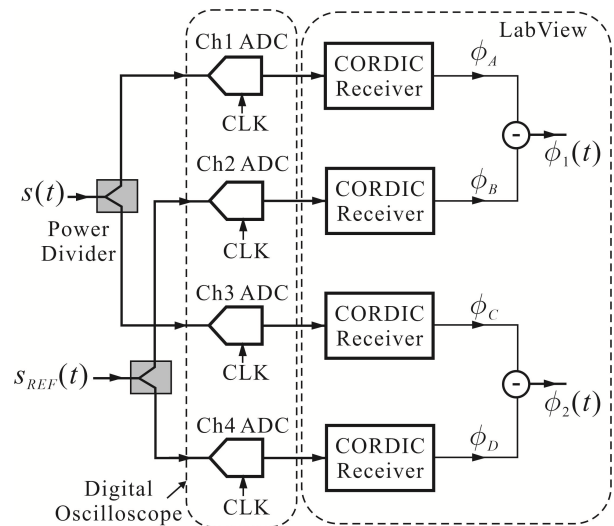


그림 4. 4채널 차동 위상 측정 구조

Fig. 4. The four-channel differential phase measurement.

그러나 ADC로 샘플링할 때 들어온 clock 위상잡음은 공통이어서 이와 같은 간단한 교차 상관의 평균으로는 제거되지 않게 된다. 그림 4는 4채널 오실로스코프를 이용하여 교차상관에 필요한 두 개의 위상을 얻기 위한 4채널 측정 구조를 보였다. 그림 4에서 $s(t)$ 는 SUT이며, $s_{REF}(t)$ 는 낮은 위상잡음을 갖고 위상잡음이 알려진 기준신호이다. 그림 4의 CORDIC 수신기(receiver)는 그림 1의 점선 친 부분을 나타낸다. 그림 4에서 ADC의 잡음과 clock (CLK)-잡음까지 고려하여^[10], ADC1 및 ADC2를 통하여 얻어진 위상 ϕ_A 및 ϕ_B 는 각각 식 (4) 및 식 (5)와 같이 나타낼 수 있다.

$$\phi_A = \phi_m + \phi_{ADC1} + \frac{\omega_m}{\omega_s} \phi_{CLK} \quad (4)$$

$$\phi_B = \phi_{REF} + \phi_{ADC2} + \frac{\omega_{REF}}{\omega_s} \phi_{CLK} \quad (5)$$

식 (4)와 (5)에서 ω_m , ω_{REF} , ω_s 는 $s(t)$, $s_{REF}(t)$ 및 CLK의 각-주파수를 나타내며, 사전에 알고 있는 양이 된다. 또한 같은 CLK를 사용 샘플하였기 때문에, 동일한 잡음 ϕ_{CLK} 가 ϕ_A 및 ϕ_B 에 나타나게 된다. 여기서 $\omega_m = \omega_{REF}$ 일 때 위상 ϕ_1 은

$$\phi_1 = \phi_s - \phi_{REF} + (\phi_{ADC1} - \phi_{ADC2}) = \phi_s - \phi_{REF} + \phi_p \quad (6)$$

와 같다. 유사하게 ϕ_2 는

$$\phi_2 = \phi_s - \phi_{REF} + (\phi_{ADC3} - \phi_{ADC4}) = \phi_s - \phi_{REF} + \phi_q \quad (7)$$

식 (6)과 식 (7)에서 $\phi_p = \phi_{ADC1} - \phi_{ADC2}$ 와 $\phi_q = \phi_{ADC3} - \phi_{ADC4}$ 는 상관관계는 거의 없다고 알려져 있다^[6]. 여기서 ϕ_1 , ϕ_2 의 스펙트럼을 각각 Φ_1 , Φ_2 라고 정의하면, ϕ_1 , ϕ_2 의 교차상관 PSD는 $\Phi_1^* \Phi_2$ 이 된다. 시행회수 M 에서 교차상관 PSD의 평균값은

$$\frac{1}{M} \sum_{M=1}^M \Phi_1^* \Phi_2 = S_\phi(f_m) + S_{REF}(f_m) + \frac{1}{M} \sum_{M=1}^M \Phi_p^* \Phi_q \quad (8)$$

이 된다. 따라서 ϕ_p , ϕ_q 가 독립이라고 가정하면, 시행회수 $M \rightarrow \infty$ 일 때 교차상관 PSD의 극한값은 $S_\phi(f_m) + S_{REF}(f_m)$ 이 된다. 따라서 $S_{REF}(f_m)$ 이 이미 결정된 값이기 때문에, 미지의 $S_\phi(f_m)$ 은 $M \rightarrow \infty$ 일 때 교차상관 PSD

로부터 결정할 수 있게 된다. 보통 기준발진기로 $S_{REF}(f_m)$ 이 매우 작은 발진기를 사용하기 때문에 $S_{REF}(f_m) = 0$ 으로 근사하게 된다. 따라서 $M \rightarrow \infty$ 일 때 식 (6)의 교차상관 PSD의 극한값은 위상잡음 $S_\phi(f_m)$ 이 된다. 이러한 교차상관 방법을 사용할 경우 -170 dBc/Hz의 위상잡음도 측정할 수 있는 것으로 알려져 있다.^[6]

그림 4의 ϕ_1 및 ϕ_2 를 받아서 교차상관을 수행하는 구조는 ϕ_1 및 ϕ_2 에 대해서 그림 5와 같은 2개의 병렬구조를 구성하고, 교차상관 스펙트럼은 그림 5와 같이, 같은 주파수에서 얻어진 스펙트럼 결과를 곱하여 얻게 된다. 주목할 것은 그림 5의 구조는 그림 3과 같이 순차구조 FFT이며, 동시에 ϕ_1 및 ϕ_2 교차상관을 수행하여 높은 f_m 에서 요동을 제거하는 구조이기도 하다. 디지털방법으로 위상잡음 측정시 그림 4의 구조와 그림 5 구조를 병합하여 사용된다.^[8]

앞서 설명한 그림 4와 그림 5를 병합한 구조는 FPGA를 사용 구현되게 된다. FPGA를 사용할 경우, 실시간으로 위상잡음을 측정할 수 있는 장점을 가지고 있다. 또한 샘플링에 사용하는 clock의 선정에 있어 위상잡음이 적은

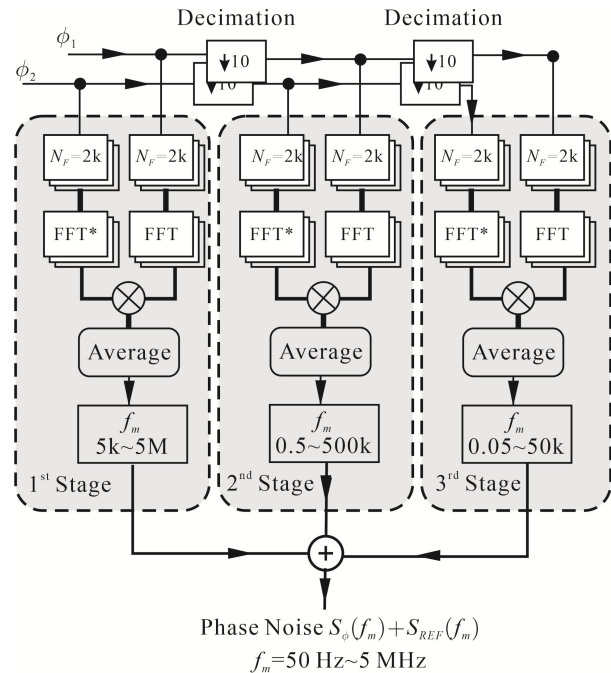


그림 5. 순차구조 교차상관

Fig. 5. The successively decimated cross correlation.

OCXO를 사용할 수 있어, 식 (4) 및 식 (5)에 나타나는 clock의 위상잡음효과를 크게 줄일 수 있다.

본 논문에서는 FPGA 대신 그림 4에 보인 4-채널 ADC는 주파수 8 GHz까지 동작하는 Keysight사의 MSO804A 디지털 오실로스코프^[12]를 이용하고, CORDIC 수신기 및 그림 5의 교차상관 decimating FFT 구조를 NI-사의 Labview™를 이용 구현하려고 한다.

이러한 구현의 단점은 FPGA와 달리 bit-stream으로 연산하지 않고, 샘플링된 파형에 대하여 연산하기 때문에 실시간에서 동작하지 않게 된다. 따라서 앞서 FPGA보다는 위상잡음 측정 속도는 분명히 느리게 된다. 또한 ADC bit수는 디지털 오실로스코프의 bit-수로 제한되고, clock의 위상잡음 효과가 FPGA clock 선정과 같이 최적화 된 것은 아니기 때문에, 크게 나타나게 되어 FPGA 구현보다 SNR이 나빠지게 된다. 결과적으로 낮은 위상잡음을 갖는 SUT 측정에 제한이 있다.

반면, 장점은 디지털 오실로스코프는 보편적인 계측기이므로 난이한 FPGA 프로그래밍을 피하고, Labview™를 PC에서 설치하여 위상잡음을 용이하게 계측할 수 있게 된다. 단점으로 제기된 SNR의 개선은 식 (3)에서 보인바와 같이 디지털 오실로스코프의 샘플링 주파수를 가변하여 해결할 것이다.

본 논문의 기여로는

1) 위상잡음측정기 구현에 있어 이와 같은 구현은 본 논문에서 처음으로 제시하는 것이 된다. 이 결과로 보급이 용이한 위상잡음측정기 구현이 가능하다.

2) 높은 f_m 에서 위상잡음 요동을 제거하기 위해서 FPGA에서는 필연적으로 그림 5와 같은 순차구조 교차상관 구조를 사용하여야 한다. 그러나 Labview™를 이용할 경우 높은 f_m 에서 위상잡음 요동을 제거하기 위해서 꼭 그림 5와 같이 구현할 필요가 없게 된다. 본 논문에서는 그림 5와 같은 순차구조 교차상관 구조 대신 보다 구현이 용이한 LBA(logarithmic bandwidth averaging) 기법을 사용 구현할 것이다.

3) 다음 문제로 구현된 디지털위상잡음 측정방법으로 측정된 위상잡음의 정확도 평가문제가 있다. 이것을 평가하기 위하여 Keysight사의 33600A^[13], E8257D^[14], 그리고 VCO^[15]의 위상잡음을 본 논문에 구현된 측정방법으로 측

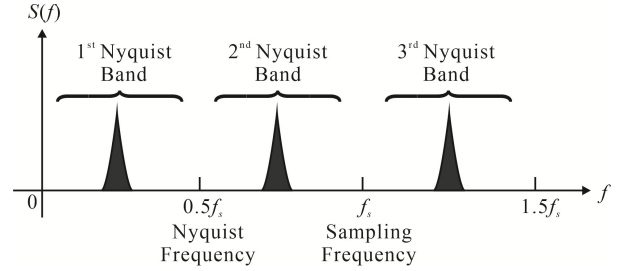


그림 6. 언더-샘플링된 SUT 전력 스펙트럼
Fig. 6. Under-sampled SUT power spectrum.

정하고, E5052B^[16] 결과와 비교하여 구현된 방법의 정확도를 보일 것이다.

4) 또한 본 논문에서는 수 GHz의 높은 주파수를 갖는 신호원에 대해서 전술한 디지털 위상잡음 측정방법을 적용하려고 한다. 이때 ADC 샘플링 주파수 f_s 는 Nyquist 샘플링 주파수에 비해 일반적으로 낮게 설정된다. 그러나 위상잡음은 그림 6과 같이 반송파주파수 주변 매우 좁은 주파수 영역에 나타나기 때문에, 위상잡음은 그림 6의 하향변환된 첫 번째 Nyquist 대역 내 반송파에 그대로 나타나게 된다. 이러한 샘플링은 언더-샘플링(under-sampling)으로도 알려져 있다. 본 논문에서는 첫 번째 Nyquist 대역 내 반송파의 위상잡음을 측정하여 SUT의 위상잡음을 얻을 수 있게 된다. 따라서 본 논문에서는 언더-샘플링을 이용하여 RF에서 주파수 하향변환 없이 SUT의 위상잡음을 측정하는 방법을 제안한다.

II. Labview™를 이용한 위상잡음측정기 구현

앞서 서론에서 설명한 바와 같이, 본 연구의 위상잡음 측정기는 디지털 오실로스코프와 Labview™ 프로그램으로 구성된다. 본 논문의 Labview™은 National Instruments사의 Labview 2015이다. Labview™은 디지털 오실로스코프로부터 SUT의 샘플 파형을 읽어 들이는 것과, 읽어 들인 파형으로부터 위상잡음을 계산하는 것이다. SUT 샘플 신호파형으로부터 위상잡음은 그림 4의 CORDIC 수신기와 FFT를 계산 후 LBA를 통해 높은 f_m 에서 위상잡음 요동을 제거한다. 그림 5의 순차구조 교차상관 구조는 사용되지 않는다. 본 절에서는 그림 4와 LBA(logarithmic bandwidth averaging)의 Labview™ 구현에 대해 설명할 것이다.

표 2. 샘플속도 및 최소 샘플-수

Table 2. Sampling rate and minimum number of sample length.

Sampling rate	100 MSa/sec
Minimum number of sample length	> 4 MSa

이 두 가지 구조 구현에 앞서 그림 4의 ADC CLK 주파수와 ADC로부터 읽어 들일 최소 샘플-수의 결정이 필요하다. SUT의 위상잡음은 보통 오프셋-주파수 $f_m < 10$ MHz에서 측정된다. 이것은 CLK 주파수에 따라 다르다. 우선 CLK 주파수는 100 MHz 기준으로 계산하였다. 샘플 속도가 약 100 MSa/sec일 때 읽어 들일 최소 샘플-길이 N 은 > 4 MSa로 결정하였다. $N = 4$ MSa일 경우, $f_m > 25$ Hz의 위상잡음만 측정 가능하다. 보다 많은 N 이 가능할 경우, 측정 가능한 f_m 은 25 Hz보다 낮출 수 있다. 이것을 표 2에 정리하여 보였다.

2.1 CORDIC 수신기 구현

그림 1의 DDC는 Labview™에서 단순히 샘플된 파형간의 곱으로 구현할 수 있다. 따라서 Labview™에서 DDC는 이상적인 승적기(multiplier)를 이용하여 구현하였다. 그림 1에 보인 DDC LO 신호 $\cos\omega t$ 및 $\sin\omega t$ 는 Labview™의 정현파 신호생성기를 통하여 구현하였다. 신호생성기의 주파수 ω 를 결정하기 위하여, ADC를 통하여 받은 신호에 대해 FFT 연산 후 결정된 주파수를 사용하였다. 따라서 본 논문에서 Labview™을 통한 위상잡음 측정은 RF-하드웨어를 이용한 측정에서와 달리 입력주파수를 얻기 위하여 PLL을 구성할 필요가 없다. 디지털 하드웨어(hardware)를 이용한 위상잡음측정도 RF 측정에서와 마찬가지로 PLL을 통한 주파수합성기를 필요로 한다. 비록 정현파원을 NCO(numerically controlled oscillator)를 이용하여 구현하지만, 이것도 ADC로 들어온 신호의 입력주파수와 같아져야 하기 때문에 PLL을 필요로 한다. 그러나 본 방법과 같이 프로그램을 이용할 경우, 별도의 PLL을 필요로 하지 않는다.

DDC의 출력에는 주파수 2ω 에 해당하는 신호가 나타나게 되는데, 그림 1의 저역여파기(LPF: low pass filter)는 주파수 2ω 에 해당하는 신호를 제거하는 역할을 한다. 본 논문에서 측정하려고 하는 위상잡음 최대 오프셋-주파수

f_m 을 < 2.5 MHz로 설정하였다. 이에 준하여 LPF 대역폭은 5 MHz로 설정하였다.

LPF는 디지털-IIR(infinite impulse response) 저역여파기로 구현하였다. IIR 여파기는 FIR(finite impulse response) 여파기에 비해 적은 단수로 원하는 주파수 선택도를 얻을 수 있다. FIR 여파기는 선형 위상특성을 가지고 입력 위상을 왜곡시키지 않는 출력을 제공하는 장점이 있다. 그러나 FIR 여파기는 원하는 주파수 선택도를 얻기 위하여 많은 탭(tap)-수를 요구한다. 이러한 면에서 본 논문에서는 디지털-IIR 여파기를 선택하였다. 표 3에는 Labview™으로 구현한 디지털-IIR 여파기 규격을 요약하였다. 또한 그림 7에는 Labview™으로 계산된 디지털-IIR 여파기의 전달함수 $H(j\omega)$ 를 보였다. 그림 7의 특성으로부터 설계된 대역폭 5 MHz 디지털-IIR 저역여파기는 대역폭 내에서 선형적인 위상을 주는 것을 알 수 있다.

표 3. 디지털-IIR 저역여파기 규격

Table 3. Digital IIR lowpass filter specifications.

Type	Elliptic
Order	16
Passband frequency	5 MHz
Passband ripple	-0.1 dB
Attenuation at 10 MHz	-120 dB

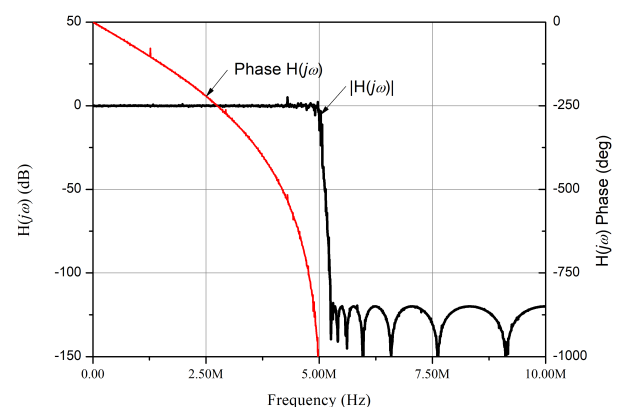


그림 7. Labview™로 계산된 디지털-IIR 저역여파기의 주파수 특성

Fig. 7. The frequency response of the digital IIR lowpass filter computed using Labview™.

디지털-IIR 저역여파기 출력신호는 샘플속도에 비해 상당히 천천히 변하는 신호이다. 그러나 LPF 출력은 여전히 입력과 같은 샘플속도 100 MSa/sec를 가지게 된다. 이 경우, LPF 출력신호를 다운-샘플하여 다음에 필요한 FFT 계산량을 줄일 수 있게 된다. 또한 하드웨어 면에서 다음 단의 CORDIC은 몇 차례 반복연산을 통하여 $\cos\phi$ 및 $\sin\phi$ 로부터 ϕ 를 얻기 때문에 다운-샘플은 필요하게 된다. 본 논문에서 선정된 LPF 대역 폭은 5 MHz이고, 샘플속도는 100 MSa/sec이므로 데시메이션(decimation)에 의해 샘플속도를 1/10로 줄이는 것이 가능하다. 이러한 데시메이션은 CORDIC으로 계산된 ϕ 에 영향을 줄 수 있다. 따라서 데시메이션 영향 검토가 필요하다. 시뮬레이션 결과 설정된 1/10 데시메이션은 ϕ 에 영향을 주지 않는 것을 확인하였다. 따라서 본 논문에 Labview™으로 구현된 CORDIC 수신기는 CORDIC-부 앞 두 경로에 데시메이터가 삽입되었다.

그림 1의 $\cos\phi$ 및 $\sin\phi$ 로부터 ϕ 를 얻는 CORDIC의 FPGA 구현은 널리 알려져 있다. 그러나 Labview™ 프로그램에서는 별도의 CORDIC 구현은 필요하지 않다. Labview™에서 CORDIC은 atan-함수를 사용하여 구현하였다. 구현된 CORDIC 수신기에 Labview™으로 위상잡음이 없는 진폭 1 V, 주파수 15.1 MHz, 위상 90°를 갖는 표 2와 같이 샘플속도 100 MSa/sec로 샘플된 정현파 입력 신호를 입력하였다. 이때 샘플-수 4 M으로 두고 시뮬레이션 하였다. 계산된 위상잡음 결과는 오프셋주파수 f_m 에 관계없이 약 < -250 dBc/Hz 였다. 따라서 이 위상잡음 값은 Labview™ 프로그램을 사용 이론적으로 구할 수 있는 가장 작은 위상잡음 값이 된다.

또한 일반적으로 그림 1의 ADC 출력은 순수한 정현파가 아니고, 2차 및 3차 고조파를 포함하게 된다. 따라서 그림 1의 수신기 입력에 2차 및 3차 고조파를 제거하기 위한 고조파제거 여파기 추가 여부를 고려할 필요가 있다. 그림 1의 수신기를 보통의 혼합기(mixer)를 사용 하드웨어로 구현할 경우, 2차 및 3차 고조파 주변의 잡음 또한 하향 변환된 스펙트럼에 추가 되어, 검출된 위상잡음 값에 오차를 주게 된다. 따라서 일반적인 하드웨어로 구현된 수신기의 경우 필수적으로 2차 및 3차 고조파를 제거하기 위한 여파기 추가하여야 한다. 그러나 그림 1의

DDC는 Labview™ 프로그램을 이용 구현된 이상적인 선형 혼합기여서 2차 및 3차 고조파 주변의 잡음의 영향은 없게 된다. 따라서 그림 1의 수신기에서 추가적인 고조파 제거 여파기는 필요 없게 된다. 고조파주변 잡음의 영향은 CORDIC 수신기 입력에 별도의 고조파 제거 여파기를 삽입하지 않고 잡음이 추가된 1-톤(tone) 신호원과 고조파를 반영한 3-톤 신호원에 동일한 잡음이 추가된 합성 신호원을 인가하고, 시뮬레이션하여 위상잡음의 변화를 확인하였다. 두 위상잡음 결과는 동일하였다. 따라서 예상한 바와 같이 CORDIC 수신기 입력에 별도의 고조파 제거 여파기는 필요하지 않은 것을 확인하였다.

2-2 LBA(Logarithmic Bandwidth Averaging) 구현

본 절에서는 그림 5의 순차구조 교차상관 FFT를 대신할 LBA(logarithmic bandwidth averaging) 방법의 Labview™ 구현에 대해 설명한다. 본 논문에서는 순차구조 교차상관 FFT 대신에 직접 샘플-수 4 M에 대한 교차상관 FFT를 수행하고, 얻어진 결과에 대해 LBA를 수행하여, log-scale f_m 에 대한 교차상관 스펙트럼을 구했다. 설명에 있어 그림 5의 복잡성을 피하기 위해, 이보다 간단한 구조인 그림 3을 이용하여 설명한다. 그림 3에서, 각 단에서 FFT 후 주파수 간격은 $1/(N_F\Delta t)$, $1/(10N_F\Delta t)$, $1/(10^2N_F\Delta t)$ 로서, 계산하면 5 kHz, 500 Hz, 50 Hz가 된다. 주목할 것은 계산된 주파수 간격 5 kHz, 500 Hz, 50 Hz는 주파수 대역폭 BW에 해당하게 된다. 따라서 이때 FFT를 통해 얻어진 결과 값은 각 단별로 BW 5 kHz, 500 Hz, 50 Hz에서의 잡음전력의 평균값이라고 볼 수 있다. 결과로 그림 5의 순차구조 교차상관 FFT 구조는 f_m 이 높아지면 보다 넓은 BW에서 평균값을 제공하고, 넓은 BW에서 잡음전력의 평균은 그림 2와 같은 높은 f_m 에서 $S_\phi(f_m)$ 의 요동을 줄일 수 있게 된다.

이 점에 착안하여 직접 샘플-수 4 M에 대한 교차상관 FFT를 수행하고, 교차상관 FFT로 결정된 f_m 대신에 새로이 log 주파수 간격을 갖는 f_m 을 설정하고, 주파수 대역폭 BW를 식 (9)와 같이 설정한다.

$$Q = \frac{f_m}{BW} \quad (9)$$

식 (9)에서 Q 는 상수로 공진기의 정의에 사용되는 Q 와 같은 의미를 갖게 된다. 본 논문에서는 $Q=20$ 으로 설정하였다. 이와 같이 설정하면 f_m 이 높아지면 넓은 BW 를 갖게 되고, f_m 에 따라 결정된 BW 에서, BW 내에 있는 샘플-수 4 M에 대해 계산된 교차상관 FFT 값을 평균하면, 높은 f_m 에서 $S_\phi(f_m)$ 의 요동을 제거할 수 있게 된다. 이것을 본 논문에서는 LBA 라고 명명한다. FPGA같은 하드웨어의 경우, 그림 5와 같은 순차구조 교차상관 FFT는 구현에 용이성을 주지만, Labview™ 프로그램 내에서는 구현에 용이성을 주지 못하며, FPGA 시뮬레이션 이상 의미를 갖지 못한다. 따라서 본 논문에서는 순차구조 교차상관 FFT 대신에 LBA를 사용하였다.

교차상관스펙트럼은 Labview™의 크로스-스펙트럼 함수를 이용하여 구현하였다. 본 논문에서 시간영역 파형의 윈도우는 스펙트럼 누설이 가장 적은 7항-Blackman 윈도우를 선택하였다^[17]. 다음으로 ϕ_1 , ϕ_2 의 스펙트럼을 각각 ϕ_1 , ϕ_2 라고 정의하면, 교차상관 스펙트럼은 $\phi_1^* \phi_2$ 로 복소수 $\phi_r + j\phi_i$ 가 된다. 여기서 실수부 ϕ_r 은 ϕ_1 , ϕ_2 의 스펙트럼을 각각 ϕ_1 , ϕ_2 라고 정의하면, 상관관계가 있는 ϕ_1 , ϕ_2 의 스펙트럼이 되고, 반면 허수부 ϕ_i 는 상관관계가 없는 ϕ_1 , ϕ_2 의 스펙트럼을 나타낸다. 따라서 교차상관스펙트럼 결과에서 실수부만 선택하게 된다. 교차상관 스펙트럼으로부터 잡음신호의 PSD(power spectral density) 계산은 윈도우에 따라 달라진다. 계산결과, 7항-Blackman 윈도우의 ENBW(equivalent noise bandwidth)는 2.63191이고, 계산된 잡음전력은 ENBW로 나누어 PSD를 계산하였다. LBA의 구현은 Labview™를 사용 직접 구현하기는 어렵다. 따라서 Matlab으로 프로그램을 작성 후 Labview™ 내의 MATLAB script에 입력하여 구현하였다.

III. 위상잡음 측정 및 평가

본 논문의 디지털 오실로스코프와 Labview™으로 구현된 위상잡음 측정기 평가를 위해서 위상잡음이 알려진 SUT가 필요하다. 이를 위해서 본 논문에서는 Keysight사의 함수발생기 33,600A^[13], SSG(synthesized signal generator) E8257D^[14], Z-Comm사의 VCO는 CRO2170B-LF^[15] 3가지

SUT에 Keysight사의 E5052B^[16] SSA(signal source analyzer)^[17]로 위상잡음을 측정하였다. 다음 구현된 위상잡음 측정방법을 사용하여 측정된 위상잡음과 비교하였다.

3-1 함수발생기 33600A 위상잡음 측정

우선 함수발생기 33600A를 이용, 주파수 15.1 MHz, 9 dBm 전력을 가지는 정현파를 생성하였다. 전력을 9 dBm으로 설정한 것은 E5052B로 측정된 전력과 같도록 만들기 위해서이다. SSA로 측정시 33600A의 측정된 전력은 약 4.8 dBm이다. 그리고 그림 4의 전력이분기(power divider)는 주파수 15.1 MHz에서 약 4 dB의 손실을 갖는다. 따라서 9 dBm으로 설정시 채널에 입력되는 전력은 약 5 dBm으로 SSA 측정시 전력과 거의 같게 된다.

다음 디지털 오실로스코프의 샘플링 주파수를 1 GHz로 설정하였다. 디지털 오실로스코프의 샘플링 주파수를 1 GHz로 높게 설정한 이유는 식(3)으로 주어진 바탕 잡음을 낮추기 위한 것이다. 샘플링 주파수를 1 GHz일 때 바탕잡음은 약 -129 dBc/Hz로 나타났다. 따라서 -150 dBc/Hz의 위상잡음을 얻기 위해서는 약 $M=10,000$ 의 교차상관이 필요하게 된다.

그리고 기준입력을 SSG E8257D를 사용하여 인가하였다. 기준입력의 주파수는 1.4151 GHz, 9 dBm으로 설정하였다. 이와 같이 기준입력의 주파수를 설정한 이유는 식 (4)와 식 (5)에서 CLK 잡음을 소거하면

$$\phi_A - \frac{\omega_m}{\omega_{REF}} \phi_B = \phi_m - \frac{\omega_m}{\omega_{REF}} \phi_{REF} + \phi_{ADC1} - \frac{\omega_m}{\omega_{REF}} \phi_{AD2} \quad (10)$$

와 같다. 따라서 기준입력의 위상잡음 및 ADC 잡음의 기여가 적게 나타나게 된다. 이러한 점을 고려하여 기준주파수를 충분히 높은 1.4151 GHz로 설정한 것이다.

디지털 오실로스코프는 bit-수 제한 그리고 샘플링 clock의 위상잡음을 조절할 수 없기 때문에 최적화된 위상잡음측정 동작을 위해서는 전술한 바와 같이 디지털 오실로스코프의 샘플링 주파수 그리고 기준입력의 주파수 설정이 필요하다.

그림 8에는 E5052B로 측정된 함수발생기 33600A의 위상잡음을 보였다. 또한 본 논문의 방법으로 교차상관회수 $M=10,000$ (측정시간 약 1 day)일 때 측정된 위상잡음을

보였다. 보다 개선하기 위해서는 M 을 증가시켜야 하지만, 현실적으로 이것이 최대 M 이라고 생각된다. $M=100,000$ 으로 할 경우 약 5 dB 개선을 보이게 되는데, 측정시간은 10 day에 가깝게 된다. 그러나 $M=10,000$ 일지라도 두 결과는 근접한 것을 알 수 있다. 그리고 측정된 결과의 신뢰성을 보이기 위해서 측정된 교차상관 스펙트럼의 허수부를 보였다. 이 허수부는 앞서 설명한 바와 같이, 허수부의 크기는 충분히 작을 경우 측정된 결과는 정확하다고 추론된다.

그림 8에 보인 33600A의 위상잡음을 측정하는 데는 상당히 정밀한 위상잡음 측정 계측기가 필요하다. 이것을 보이기 위하여 상용 스펙트럼 분석기 Keysight사의 N9000A CXA Signal Analyzer^[18]로 33600A 위상잡음을 측정하였다. 설치된 option은 Option 503으로서 직접 위상잡음을 측정하는 기능이 없어, 스펙트럼 분석기로 f_m 에서 잡음 전력을 측정하여 위상잡음을 계산하였다. 이것을 그림 8에 보였다. 이것은 참고문헌 [18]에 있는 규격과 거의 같다. 그림 8로부터 33600A의 위상잡음을 측정하는 데는 상당히 정밀한 위상잡음 측정 계측기가 필요함을 알 수 있다. 또한 이와 같은 정밀한 위상잡음 측정을 본 논문의 방법으로 수행할 수 있음을 알 수 있다.

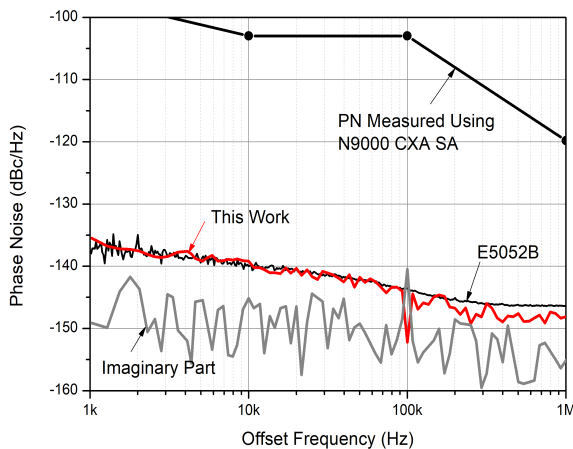


그림 8. Keysight사 함수발생기 33600A의 측정된 위상잡음 (교차상관회수 $M=10,000$)

Fig. 8. The measured phase noises of the function generator 33600A from Keysight (Number of correlations $M=10,000$).

3-2 SSG(Synthesized Signal Generator) E8257D 위상잡음

우선 측정하고자 하는 SSG E8257D의 주파수 1.4151 GHz 전력 4 dBm으로 두고, SSA E5052B로 위상잡음을 측정하였다. 측정된 결과는 그림 9에 보였다. 본 논문의 방법으로 E8257D의 위상잡음을 측정하기 위하여 디지털 오실로스코프의 샘플링 주파수를 10 GHz로 설정하였다. 샘플링 주파수가 10 GHz일 경우, 바탕 위상잡음은 -140 dBc/Hz로 나타났다. 이것은 함수발생기 33600A를 측정할 때 샘플링 주파수를 1 GHz로 설정하였고, 얻어진 바탕 위상잡음이 약 -129 dBc/Hz임을 고려하면 예상 가능한 결과라고 볼 수 있다. 따라서 교차상관회수 $M=10,000$ 으로 할 경우, $f_m=1$ MHz에서의 측정 가능한 위상잡음은 약 -160 dBc/Hz 일 것이다. 그리고 위상잡음은 -160 dBc/Hz는 그림 9에 보인 E5052B로 측정된 위상잡음을 고려할 때, 충분히 E8257D의 위상잡음을 측정할 수 있음을 알 수 있다.

다음으로 기준입력의 주파수는 2.41 GHz로 설정하였다. 기준입력은 별도의 SSG E4438C를 사용 인가하였다. 식(10)에서 보인 바와 같이, 주파수 2.41 GHz는 clock 위상잡음을 제거할 때 큰 바탕 잡음의 변화를 가져오지 않게 된다(식 (10)에 의하면 바탕잡음은 약 1.5배로 커지게 된다).

SUT E8257D의 전력은 10 dBm으로 설정하였다. 주파

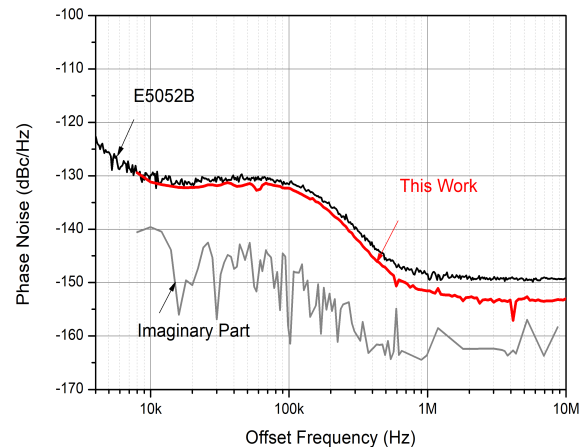


그림 9. Keysight사 SSG E8257D의 측정된 위상잡음 (교차상관회수 $M=10,000$)

Fig. 9. The measured phase noises of SSG E8257D from Keysight (Number of correlations $M=10,000$).

수 1.41 GHz에서 전력이분기의 손실은 약 4.3 dB로 채널에 인가되는 전력은 5.7 dBm이 된다. 그림 9에 본 논문의 방법으로 측정된 전력 보상 위상잡음을 보였다. 또한 교차상관 스펙트럼의 허수부도 동시에 보였다. 허수부는 충분히 낮아진 것을 알 수 있고, 실수부로 측정된 위상잡음은 신뢰할 만하다고 생각된다. 또한 두 결과는 근접한 것을 알 수 있다.

3-3 Z-Comm사 VCO 위상잡음

이 절에서 Z-Comm사의 VCO를 SUT로 선정하고, 본 논문의 방법을 이용하여 위상잡음 측정하였다. Z-Comm사의 VCO는 CRO2170B-LF^[15]로서 조정전압 0 V에서 약 1,934 MHz의 발진주파수를 갖는다. 조정전압을 0 V로 선택한 것은 DC 전원 공급기를 이용 조정전압을 인가할 때, DC 전원 공급기의 잡음이 추가되기 때문에, 이의 영향을 배제하기 위한 것이다.

그림 10에는 SSA E5052B로 측정된 위상잡음을 보였다. 그림 10에서 E5052B로 측정된 위상잡음은 $f_m=1$ MHz에서 약 -140 dBc/Hz를 갖는 것을 알 수 있다. 그리고 E5052B로 측정시 입력 전력은 약 2.6 dBm이었다. 교차상관회수 $M=10,000$ 으로 고려할 경우, 앞서 함수발생기 33600A의 위상잡음 측정 설정을 고려하면 함수발생기

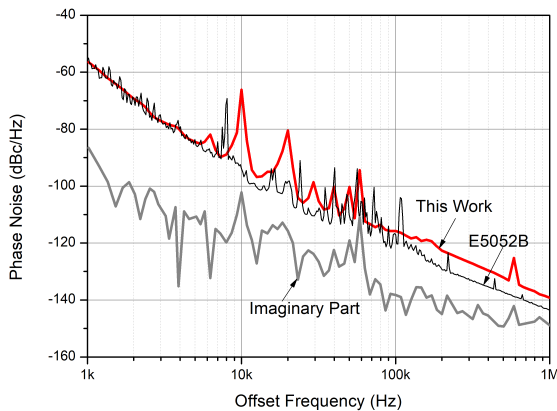


그림 10. Z-Comm사 VCO CRO2170B-LF 측정된 위상잡음 (교차상관회수 $M=1,000$)

Fig. 10. The measured phase noises of VCO CRO2170B-LF from Z-Comm (number of correlations $M=1,000$).

33600A의 디지털 오실로스코프의 샘플링 주파수와 함께 하면 적절할 것이다. 따라서 디지털 오실로스코프의 샘플링 주파수 1 GHz 설정하였다. 이와 같은 설정이면 교차상관회수 $M=10,000$, $f_m=1$ MHz에서 위상잡음 약 -150 dBc/Hz 까지 측정할 수 있을 것이다.

다음 기준입력의 주파수 2.01 GHz 10 dBm으로 하였다. 기준입력은 E8257D SSG를 이용하여 인가하였다. 식(10)에 의하면 이 경우 바탕잡음은 최대 3 dB(2배) 커지게 되는데, 이와 같은 증가를 상쇄하기 위해서는 교차상관회수를 약 4배 증가시켜야 된다. 따라서 바탕잡음의 증가는 교차상관회수를 크게 증가시키지 않는 것을 알 수 있다.

그림 10에 본 논문에서 제시한 방법으로 측정된 결과와 Keysight사의 E5052B Signal Source Analyzer^[16]로 측정된 결과를 보였다. 그림 10에서 볼 수 있듯이, 두 결과는 낮은 f_m 에서는 근접한 것을 알 수 있다. 이로서 본 논문에서 제시한 방법을 이용 위상잡음 측정단계 범위에 있는 SUT의 위상잡음을 정확하게 측정할 수 있는 것을 알 수 있다.

IV. 결 론

본 논문에서 4-채널 10-bit 디지털 오실로스코프 MSO804A와 LabviewTM을 이용한 새로운 위상잡음 측정 방법을 제안하였다. 제안된 방법으로 측정한 위상잡음의 정확성을 평가하기 위하여, Keysight사의 33600A, E8257D, Z-comm사의 2 GHz VCO 3가지 SUT에 대해 측정된 위상잡음 결과와 Keysight사의 E5052B Signal Source Analyzer 측정결과를 비교하여 평가하였다. 측정된 위상잡음 결과는 E5052B 위상잡음 측정기 결과와 근접함을 보였다. 오차는 약 ± 3 dB 정도이다. 정밀도가 높은 위상잡음측정기는 상당히 고가이며, 범용적이지 않다. 반면, 디지털 오실로스코프가 범용적인 계측기인 점을 고려하면, 본 방법을 적용한다면 저가의 범용적인 위상잡음측정기 구현이 가능하다고 사료된다. 또한 추후 심화 연구를 통하여 본 방법을 개선할 경우, 수정발진기의 위상잡음 측정도 가능하다고 본다.

표 4는 본 논문의 결과와 다른 문헌의 디지털 위상잡음 측정 결과를 비교한 것이다. 본 논문의 ADC bit-수는 다

표 4. 다른 문헌 연구결과와 비교

Table 4. Comparison of this work with other digital phase noise measurements.

Items	[4]	[6]	[19]	This work
ADC bits	14	14~15	16	10
Bandwidth (MHz)	NA	1~30	$80 \pm 7.5^{*1}$	8,000
HW implementation	ADC, FPGA	ADC, FPGA	Data capture	Data capture
Sampling clock implementation	External source	?	OCXO	Internal clock
f_s (MHz)	65	75~105	100	~ 20 GHz ^{*2}
Sampling clock PN compensation	No	Yes	No	Yes
PN floor (dBc/Hz)	-125	-173	-155	-160^{*3}

¹ BandPass filter of 15 MHz bandwidth is employed.

² MSO804A maximum sampling frequency.

³ $f_s=10$ GHz, $M=10,000$.

른 문헌에 비해 적지만(bit-수 감소로 약 20 dB 이상의 바탕 위상잡음 열화 예상), 본 논문의 바탕 위상잡음은 다른 문헌과 비교할 때 동등 이상이다. 특히, 다른 문헌의 결과보다 대역폭이 넓어 위상잡음 측정 장비로서의 장점이 있다. 또한 미래에 예상 가능한 디지털 오실로스코프 하드웨어의 ADC 비트 수와 대역폭의 발전을 고려할 때, 본 논문의 제시된 방법이 가치 있다고 생각된다.

감사의 글

이 논문을 쓰는데 위상잡음 측정을 지원해 주신 한국 전자통신연구원의 이자열박사와 디지털오실로스코프를 지원해준 Keysight사의 김종석씨에게 깊은 감사드립니다.

References

[1] IEEE Standards Coordinating Committee 27, "IEEE standard definitions of physical quantities for fundamental frequency and time metrology: Random instabilities," *IEEE Std Std 1139-2008*, pp. 1-35, Feb. 2009.

[2] Keysight Technologies, "Phase noise measurement solutions." Available: <https://www.keysight.com/us/en/assets/7018-02528/technical-overviews/5990-5729.pdf>

[3] Hewlett Packard, HP "RF and microwave phase noise measurement seminar". Available: http://www.hparchive.com/seminar_notes/HP_PN_seminar.pdf

[4] L. Angrisani, M. D'Apuzzo, and M. D'Arco, "A digital signal-processing approach for phase noise measurement," *IEEE Transactions on Instrumentation and Measurement*, vol. 50, no. 4, pp. 930-1294, Aug. 2001.

[5] L. Angrisani, A. Baccigalupi, and M. D'Arco, "Evaluating phase noise power spectrum with variable frequency resolution," *IEEE Transactions on Instrumentation and Measurement*, vol. 53, no. 3, pp. 685-691, Jun. 2004.

[6] J. Grove, J. Hein, J. Retta, P. Schweiger, W. Solbrig, and S. R. Stein, "Direct-digital phase-noise measurement," in *Proceedings of the 2004 IEEE International Frequency Control Symposium and Exposition*, Montreal, QC, Aug. 2004, pp. 287-291.

[7] G. Feldhaus, A. Roth, "A 1 MHz to 50 GHz direct down-conversion phase noise analyzer with cross-correlation," in *2016 European Frequency and Time Forum (EFTF)*, York, Apr. 2016, pp. 1-4.

[8] P. Fleischmann, H. Mathis, J. Kucera, and S. Dahinden, "Implementation of a cross-spectrum FFT analyzer for a phase-noise test system in a low-cost FPGA," *International Journal of Microwave Science and Technology*, vol. 2015, p. 757591, 2015.

[9] W. Kester, *Analog-Digital Conversion*, Norwood, MA, Analog Devices, 2004.

[10] B. Brannon, "Sampled systems and the effects of clock phase noise and jitter," 2004. Available: <https://www.analog.com/media/en/technical-documentation/application-notes/AN-756.pdf>

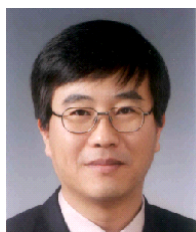
[11] E. Rubiola, F. Vernotte, "The cross-spectrum experimental method." Available: <http://arxiv.org/abs/1003.0113>

[12] Keysight Technologies, "Infinium S-series." Available: <https://www.keysight.com/us/en/assets/7018-04261/data->

- sheets/5991-3904.pdf
- [13] Keysight Technologies, "33500B and 33600A series trueform waveform generators(20, 30, 80, 120 MHz)." Available: <https://www.keysight.com/us/en/assets/7018-05928/data-sheets/5992-2572.pdf>
- [14] Keysight Technologies, "E8257D PSG microwave analog signal generator." Available: <https://www.keysight.com/en/pdx-x202237-pn-EE8257D/EE8257D-signal-generator.pdf>
- [15] Z-Communications, "Voltage-controlled oscillator surface mount module." Available: <https://www.zcomm.com/pdfs/datasheets/CRO2170B-LF.pdf>
- [16] Keysight Technologies, "E5052B signal source analyzer: 10 MHz to 7 GHz, 26.5 GHz, or 110 GHz." Available: <https://www.keysight.com/us/en/assets/7018-01528/data-sheets/5989-6388.pdf>
- [17] National Instruments, "Understanding FFTs and windowing." Available: <https://download.ni.com/evaluation/pxi/Understanding%20FFTs%20and%20Windowing>
- [18] Keysight Technologies, "CXA X-series signal analyzer N9000A." Available: <https://www.keysight.com/us/en/assets/7018-02222/data-sheets/5990-4327.pdf>
- [19] L. B. Ruppalt, D. R. McKinstry, K. C. Lauritzen, A. K. Wu, S. A. Phillips, and S. H. Talisa, "Simultaneous digital measurement of phase and amplitude noise," in *2010 IEEE International Frequency Control Symposium*, Newport Beach, CA, Jun. 2010, pp. 97-102.

염 경 환 [충남대학교/교수]

<https://orcid.org/0000-0002-8557-4972>



1976년~1980년: 서울대학교 전자공학과 (공학사)
1980년~1982년: 한국과학기술원 전기 및 전자과 (공학석사)
1982년~1988년: 한국과학기술원 전기 및 전자과 (공학박사)
1988년 3월: 금성전기(주) 소재부품연구소

선임연구원 (MIC팀 팀장)

1990년 3월: 금성전기(주) 소재부품연구소 책임연구원
1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원
1991년 8월: (주) LTI
1995년 10월~현재: 충남대학교 전파공학과 교수
[주 관심분야] 초고주파 능동회로 및 시스템, MMIC 설계

노 진 성 [충남대학교/석사과정]

<https://orcid.org/0000-0002-3881-6385>



2020년 8월: 충남대학교 전파공학과(공학사)
2020년 9월~현재: 충남대학교 전파정보통신공학과 석사과정
[주 관심분야] 초고주파 능동회로 및 시스템