

에너지 소모량과 면적을 개선한 하이브리드 SAR ADC

Hybrid SAR ADC with Improved Energy Consumption and Area

이동훈 · 김성준 · 조규언 · 이현엽 · 김영진

Dong-Hun Lee · Sung-Jun Kim · Gyu-Eon Joe · Hyun-Yeop Lee · Young-Jin Kim

요 약

이 논문은 SAR (successive approximation register) ADC (analog to digital converter)의 구성요소인 CDAC (capacitive digital to analog converter)의 기준 전압 세분화를 통해 에너지 소모 감소와 적은 면적에 장점이 있는 커패시터 스위칭 구조를 제안한다. 10-bit SAR-ADC의 경우, 제시된 구조에서 기준 전압 비트를 3-bit로, 커패시터 배열 비트를 6-bit로 사용할 경우, 에너지가 99.97 % 절약되고, 면적(커패시터 수)은 93.75 % 절약된다. 또한, 에너지 소비를 최소화 하는 스위칭 알고리즘을 제안하고, 수식으로 증명하였다.

Abstract

This study proposes a capacitor switching scheme that reduces both the energy consumption and area through multiple reference voltages of a capacitive digital to analog converter (CDAC), a component of successive approximation register (SAR) analog to digital converter (ADC). With a 10-bit SAR-ADC, if the reference voltage is used as 3-bit with a 6-bit capacitor array, the energy and area (number of capacitors) are reduced by 99.97 % and 93.75 %, respectively. Furthermore, we propose a switching algorithm that minimizes energy consumption, which is proven analytically.

Key words: SAR-ADC, Switching Scheme, Energy Efficient, Reference Voltage

I. 서 론

SAR ADC는 웨어러블 기기, 무선 센서, 의학 기기와 같은 분야에서 디바이스의 수요가 커짐에 따라 저면적 고효율의 스펙이 요구된다. 이에 따라 SAR ADC의 구성 요소인 CDAC, 비교기(comparator), S&H(sample and hold), SCL(sar control logic)의 에너지와 면적 개선이 필요하다.

CDAC는 에너지 소모가 가장 크기 때문에 많은 연구가 진행되었고, Conventional 대비 Monotonic, HSRS, Vag based Tri-level, Hybrid, Vcm-based와 같은 효율적인 스위칭 구조(switching scheme)가 제시되었^{[1]~[6]}.

Monotonic 방식은 차동(differential) 구조를 이용하여 50 %의 커패시터 개수를 줄였고, 평균 스위칭 에너지를 전통적인 스위칭 구조(conventional switching scheme)에

「이 연구는 2021학년도 한국항공대학교 대학 연구비의 지원으로 연구되었음.」

「This work was supported by Institute for Information & communications Technology Promotion (IITP) grant funded by the Korea government (MSIT) (No. 2017-0-00528, The Basic Research Lab for Intelligent Semiconductor Working for the Multi-Band Smart Radar).」

한국항공대학교 항공전자정보공학부(School of Electronics and Information Engineering, Korea Aerospace University)

· Manuscript received June 27, 2021 ; Revised August 3, 2021 ; Accepted September 6, 2021. (ID No. 20210627-067)

· Corresponding Author: Young-Jin Kim (e-mail: youngjinkim@kau.ac.kr)

비해 81.26 %를 개선하였다^{[1],[2]}. HSRs 스위칭 구조는 첫 번째 단계에서는 에너지를 대부분 소모한다. 하지만 두 번째와 세 번째 스위칭 단계에서는 에너지가 소모가 일어나지 않는 장점이 있다^[3]. 이 방식은 평균 스위칭 에너지를 92.20 % 개선하였다. V_{aq} based Tri-level 스위칭 구조는 기준 전압(reference voltage)을 4등분하여 평균 스위칭 에너지를 96.48 % 개선하였다^[4]. Hybrid 스위칭 구조는 세 번째 단계까지 에너지 소비가 없다는 특징을 가지며, 96.48 % 에너지를 개선하였다^[5]. V_{cm}-based 스위칭 구조는 전통적인 스위칭 구조보다 커패시터 사용개수가 적은 장점이 있고, 87.52 %의 스위칭 에너지를 개선하였다^[6].

기준 전압을 세분화하면, 커패시터의 전압변화량이 줄어들어 에너지 소모를 감소시키는 데 효과가 있고, 동시에 동일 해상도에서 커패시터 개수가 줄어들어 면적 개선에 효율적이다. 본 논문에서 제시한 스위칭 구조는 V_{aq} based Tri-level 스위칭 구조보다 기준 전압을 더 세분화하고, 에너지 소모를 최소로 하는 최적의 SCL의 알고리즘을 설계했다^[4]. 그리고 에너지 계산을 수식으로 증명하여 평균 스위칭 에너지 소모와 면적 감소에 최적인 기준 전압 세분화 조건을 찾고자 하였다.

챕터 II에서는 ‘제안하는 Hybrid SAR ADC 구조’, 다중 기준 전압을 사용한 CDAC의 에너지 소모 계산식 일반화, 스위칭 알고리즘을 설명한다. 챕터 III은 시뮬레이션 결과, 챕터 IV는 결론으로 구성되어 있다.

II. 본 문

2-1 제안하는 Hybrid SAR ADC 구조

그림 1에 보이는 SAR ADC는 스위치를 통해 아날로그 차동 입력 전압 V_{ip}, V_{in}을 샘플링한다. 샘플링된 아날로그 입력 전압은 다중 기준전압을 사용하여 디지털 변환된다. 커패시터의 하단부(bottom plate)는 SCL과 연결된 부분이고, 상단부(top plate)는 비교기와 연결된 부분이다. 또한, 비교기의 양의 입력 전압을 V⁺라 하고, 비교기의 음 입력 전압을 V⁻라 한다.

본 논문에서는 커패시터 배열 비트(capacitor array bits)를 N 비트라 한다. 예를 들어, 상단부와 하단부에 각각 단위 커패시터가 2⁶개가 있을 때 N=6에 해당된다. 또한, 기준 전압 비트(reference voltage bits)는 M 비트라 하며, 기

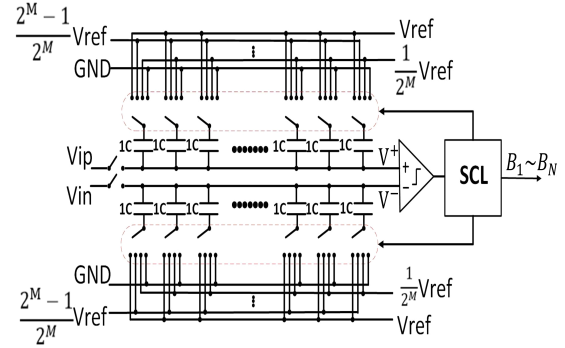
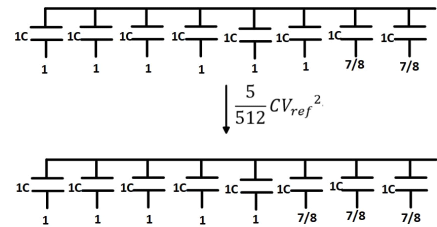


그림 1. 제안된 스위칭 구조를 사용한 N+M+1비트 SAR ADC

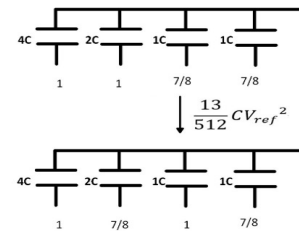
Fig. 1. The structure of N+M+1 bits SAR ADC using the proposed switching scheme.

준 전압은 0부터 V_{ref}(reference voltage)까지 V_{ref}/2^M 단위로 세분화된다. 예를 들어 M=3일 때, 기준전압은 0, V_{ref}/8, 2V_{ref}/8, 3V_{ref}/8, 4V_{ref}/8, 5V_{ref}/8, 6V_{ref}/8, 7V_{ref}/8, V_{ref}로 세분화된다.

그림 2에서 단위 커패시터를 묶은 경우, 그림 2(a)와 단



(a) 단위 커패시터를 묶지 않을 경우 스위칭 에너지
(a) Switching energy in non-integrated unit capacitor



(b) 단위 커패시터를 묶은 경우 스위칭 에너지
(b) Switching energy in integrated unit capacitor

그림 2. 단위 커패시터 드라이버 연결에 따른 스위칭 에너지
Fig. 2. Switching energy consumption depending on whether unit capacitors are integrated.

위 커패시터를 묶지 않은 경우, 그림 2(b)를 보면 그림 2(a)가 그림 2(b)보다 에너지 소모가 적다. 따라서 본 논문에서 제시하는 스위칭 구조는 전통적인 커패시터 배열(capacitor array)의 조정방식과 다르게 SCL이 그림 2(a)와 같이 단위 커패시터의 하단부 전압을 조정하는 구조이다.

2.2 CDAC의 에너지 소모 계산식 일반화

CDAC에서 하단부(bottom plate) 전압의 변화와 에너지 소모와의 관계식을 유도하기 위해 그림 3의 예시를 보인다. 그림 3(a)는 변화 전의 커패시터 배열의 하단부 전압을 나타내고, 그림 3(b)는 변화 후의 하단부 전압을 나타낸다. 커패시터 배열을 구성하는 커패시터는 총 n 개이며, $C_1 \sim C_n$ 의 임의의 정전용량(커패시턴스)을 가진다. 그림 3(a)에서 각 커패시터의 하단부에 인가되는 전압을 $V_{BOT(a)}$ 로 정의하고, 상단부 전압을 $V_{TOP(a)}$ 로 정의한다.

C_i 의 정전용량을 가지는 i 번째 커패시터에 하단부에 인가되는 전압이 $V_{BOT(a)_i}$ 에서 $V_{BOT(b)_i}$ 로 변했을 때 i 번째 커패시터에서 소모되는 에너지 E_i 는 식 (1)과 같다.

$$\begin{aligned} E_i &= V_{BOT(b)_i} \times \Delta Q_i \\ &= V_{BOT(b)_i} \times (C_i \times \Delta V_i) \end{aligned} \quad (1)$$

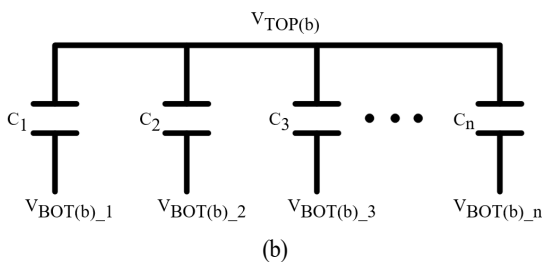
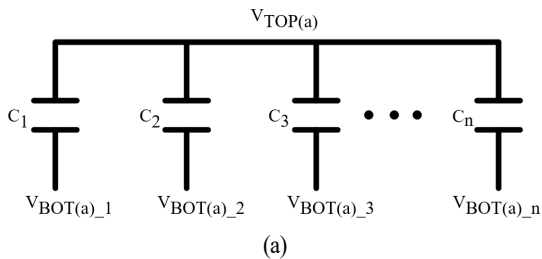


그림 3. CDAC 에너지 계산법 설명을 위한 예시

Fig. 3. Example for explain how to calculate energy in CDAC.

ΔQ_i 는 그림 3(a)에서 그림 3(b)로 변환 때 i 번째 커패시터의 전하량의 변화를 의미한다. 식 (1)을 식 (2)와 같이 전개할 수 있다.

$$\begin{aligned} E_i &= C_i \times V_{BOT(b)_i} \times \{ (V_{BOT(b)_i} - V_{TOP(b)_i}) \\ &\quad - (V_{BOT(a)_i} - V_{TOP(a)_i}) \} \\ &= C_i \times V_{BOT(b)_i} \times \{ (V_{BOT(b)_i} - V_{TOP(a)_i}) \\ &\quad - (V_{BOT(b)_i} - V_{TOP(a)_i}) \} \end{aligned} \quad (2)$$

커패시터 배열 전체에서 소모되는 에너지는 n 개의 커패시터에서 소모되는 에너지들의 총합이므로 식 (3)과 같이 표현된다.

$$E_{total} = \sum_{i=1}^n E_i \quad (3)$$

참고문헌 [1]~[6]에서 CDAC을 구성하는 커패시터 배열의 각 정전용량이 주어지고, 하단부 전압이 주어지므로, 한 비트를 결정하기 위한 CDAC의 소모에너지를 식 (2)와 식 (3)을 이용하여 구할 수 있다. 표 1은 식 (2)와 식 (3)으로부터 구할 수 있는 평균 스위칭 에너지 소모 식을 일반화를 하는 과정이다. 매트랩(MATLAB)에서 N 과 M 을 변수로 하여 모든 출력 코드와 그에 따른 단계별 에너지 소모량을 계산하였다. 표 1에 매트랩을 통해 단계별로 표현한 스위칭 에너지 중 일부를 보인다. 행은 모든 출력 코드를 나타낸 것이고, 열은 각 단계를 나타낸 것이다. 표 1은 $N=6$, $M=3$ 인 경우, 000000000x부터 00001111x까지의 출력 코드와 단계에 따른 에너지 값을 정리한 표이다. 00010000x부터 00011111x까지의 에너지값은 000000000x부터 00001111x까지의 에너지값의 역순과 동일하다. 즉, 00001111x부터 000000000x까지의 에너지 값과 동일한 것이다.

전체 에너지값을 정리하면, 000000000x부터 00011111x까지 32개의 에너지값이 001000000x부터 11111111x까지 15번 반복된다. 그러므로 표 1의 16개 코드의 평균 에너지 소모량은 전체 평균 에너지 소모량과 같다. 이를 통해, 매트랩에서 N 과 M 에 1부터 10까지 값을 대입하여 단계별로 평균 에너지를 일반화하면 표 2와 같다.

제시된 스위칭 알고리즘에 대하여 N 과 M 에 따른 전체 평균 스위칭 에너지 식을 표 1과 표 2로 유도한 결과, 아래 식 (4)와 같이 표현된다.

표 1. N=6, M=3일 때, 각 단계 별 평균 소모에너지 [CV_{ref}^2]Table. 1. Average Energy consumption at each phase when N=6, M=3 [CV_{ref}^2].

Output \ Phase	1	2	3	4	5	6	7	8	9
0000000x	0	0	0	2^{-2}	2^{-4}	2^{-6}	2^{-8}	2^{-10}	2^{-12}
00000001x	0	0	0	2^{-2}	2^{-4}	2^{-6}	2^{-8}	2^{-10}	$61*2^{-12}$
00000010x	0	0	0	2^{-2}	2^{-4}	2^{-6}	2^{-8}	$29*2^{-10}$	$5*2^{-12}$
00000011x	0	0	0	2^{-2}	2^{-4}	2^{-6}	2^{-8}	$29*2^{-10}$	$57*2^{-12}$
00000100x	0	0	0	2^{-2}	2^{-4}	2^{-6}	$13*2^{-8}$	$5*2^{-10}$	$9*2^{-12}$
00000101x	0	0	0	2^{-2}	2^{-4}	2^{-6}	$13*2^{-8}$	$5*2^{-10}$	$53*2^{-12}$
00000110x	0	0	0	2^{-2}	2^{-4}	2^{-6}	$13*2^{-8}$	$25*2^{-10}$	$13*2^{-12}$
00000111x	0	0	0	2^{-2}	2^{-4}	2^{-6}	$13*2^{-8}$	$25*2^{-10}$	$49*2^{-12}$
00001000x	0	0	0	2^{-2}	2^{-4}	$5*2^{-6}$	$5*2^{-8}$	$9*2^{-10}$	$17*2^{-12}$
00001001x	0	0	0	2^{-2}	2^{-4}	$5*2^{-6}$	$5*2^{-8}$	$9*2^{-10}$	$45*2^{-12}$
00001010x	0	0	0	2^{-2}	2^{-4}	$5*2^{-6}$	$5*2^{-8}$	$21*2^{-10}$	$21*2^{-12}$
00001011x	0	0	0	2^{-2}	2^{-4}	$5*2^{-6}$	$5*2^{-8}$	$21*2^{-10}$	$41*2^{-12}$
00001100x	0	0	0	2^{-2}	2^{-4}	$5*2^{-6}$	$9*2^{-8}$	$13*2^{-10}$	$25*2^{-12}$
00001101x	0	0	0	2^{-2}	2^{-4}	$5*2^{-6}$	$9*2^{-8}$	$13*2^{-10}$	$37*2^{-12}$
00001110x	0	0	0	2^{-2}	2^{-4}	$5*2^{-6}$	$9*2^{-8}$	$17*2^{-10}$	$29*2^{-12}$
00001111x	0	0	0	2^{-2}	2^{-4}	$5*2^{-6}$	$9*2^{-8}$	$17*2^{-10}$	$33*2^{-12}$
Avg. energy consumption	0	0	0	2^{-2}	2^{-4}	$3*2^{-6}$	$7*2^{-8}$	$15*2^{-10}$	$31*2^{-12}$

표 2. N과 M에 대한 각 단계별 일반화된 평균 에너지 식

Table. 2. Generalized average energy formula for N and M at each phase.

Phase	Average energy
1 ~ M	0
M+1	$\frac{2^{N-1}}{2^{2M+1}}$
M+2	$\frac{2^{N-2}}{2^{2M+2}}$
M+3	$\frac{\left(\frac{1+5}{2}\right)2^{N-3}}{2^{2M+3}}$
M+4	$\frac{\left(\frac{1+5+9+13}{4}\right)2^{N-4}}{2^{2M+4}}$
...	...
M+N	$\frac{\left(\frac{\sum_{i=0}^{2^{N-2}-1} (1+4i)}{2^{N-2}}\right)2^{N-N}}{2^{2M+N}}$

$$E_{avg,proposed} = 2^{N-2M-2} + \sum_{i=2}^N (2^{i-1} - 1) 2^{N-2M-2i} \quad (when N \geq 1, M \geq 1) \quad (4)$$

2-3 스위칭 알고리즘

그림 4는 샘플링 단계에서부터 N+M+1단계까지의 전체 스위칭 알고리즘을 나타낸 순서도(flow chart)이다. 샘플링 단계(i=1)일 때, 차등 신호가 샘플링되고, 비교기를 통해 값이 비교된다. 비교된 결과값이 'Yes' 또는 'No'인지에 따라 'B_i'값이 1 또는 0으로 결정된다. 상단부의 V^+ 와 V^- 는 식 (5), 식 (6)과 같다. 이때, 비교기의 양의 입력 전압을 V^+ 라 하고, 비교기의 음 입력 전압을 V^- 라 한다.

$$V^+ = V^+ - \frac{V_{ref}}{2^{i+1}}, V^- = V^- + \frac{V_{ref}}{2^{i+1}} \quad (B_i = 1) \quad (5)$$

$$V^+ = V^+ + \frac{V_{ref}}{2^{i+1}}, V^- = V^- - \frac{V_{ref}}{2^{i+1}} \quad (B_i = 0) \quad (6)$$

이 방식은 i=M-1이 될 때까지 반복한다. i=M이 되었

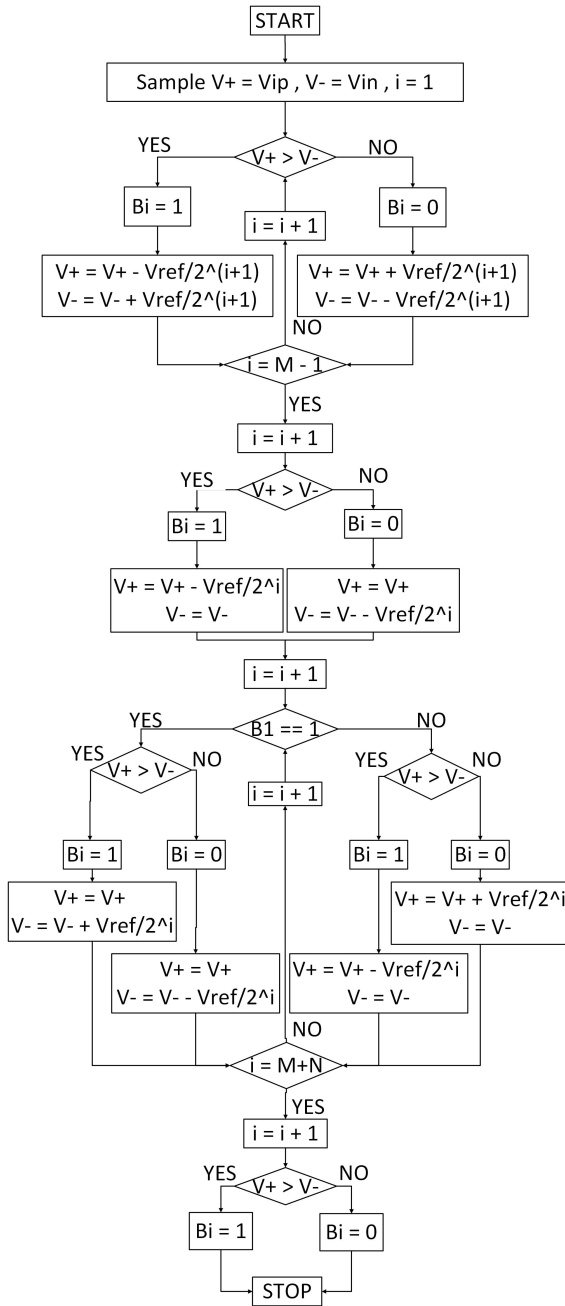


그림 4. 제안된 스위칭 규칙의 순서도
Fig. 4. Flow chart of proposed switching rule.

을 때 상단부 전압은 식 (7), 식 (8)과 같이 변한다.

$$V^+ = V^+ - \frac{V_{ref}}{2^i}, V^- = V^- (B_i = 1) \quad (7)$$

$$V^+ = V^+, V^- = V^- - \frac{V_{ref}}{2^i} (B_i = 0) \quad (8)$$

$i=M+1$ 부터 $i=M+N$ 까지의 경우, 상단부 전압은 $B_1(i=1)$ 에서 결과값과 B_i (현재의 결과값)에 따라 식 (9)~식 (12)와 같이 변한다.

$$V^+ = V^+, V^- = V^- + \frac{V_{ref}}{2^i} (B_1 = 1, B_i = 1) \quad (9)$$

$$V^+ = V^+, V^- = V^- - \frac{V_{ref}}{2^i} (B_1 = 1, B_i = 0) \quad (10)$$

$$V^+ = V^+ - \frac{V_{ref}}{2^i}, V^- = V^- (B_1 = 0, B_i = 1) \quad (11)$$

$$V^+ = V^+ + \frac{V_{ref}}{2^i}, V^- = V^- (B_1 = 0, B_i = 0) \quad (12)$$

그림 4에서 기준 전압 비트가 M 이고, 커패시터 배열 비트가 N 일 경우, $i=N+M+1$ 까지 동작하므로 총 $N+M+1$ 의 해상도를 가진다.

그림 5는 제시된 스위칭 알고리즘을 적용하여 총 6-bit($M=3, N=2$) 해상도를 가지는 경우를 나타낸 그림이다. 아랫글은 '10111x'를 예시로 한 설명이다.

샘플링 단계에서, 커패시터 상단부에서 V^+ 와 V^- 에 V_{ip} 와 V_{in} 이 각각 샘플링되며, 동시에 커패시터 하단부에 ' $V_{ref}/2, V_{ref}/2, V_{ref}/2, V_{ref}/2$ '로 인가된다. 샘플링 단계에서 스위치가 열리면(hold) 커패시터 하단부 전압의 변화 없이 즉시 비교기가 작동하여 MSB가 결정된다.

위 예시에 의해 MSB가 1이므로, 두 번째 단계에서 V^+ 쪽의 모든 커패시터 하단부가 $V_{ref}/4$ 와 연결되고, V^- 쪽의 모든 커패시터 하단부는 모두 $3V_{ref}/4$ 로 연결된다. V^+ 쪽의 커패시터 하단부와 V^- 쪽의 커패시터 하단부는 모두 같은 크기의 전압과 연결된다. 이 변화로 인해 V^+ 는 전 단계에 비해 $V_{ref}/4$ 감소하고, V^- 는 전 단계에 비해 $V_{ref}/4$ 증가한다. 이후 두 번째 비교의 결과로 MSB-1가 결정된다.

MSB-1가 0이므로, 세 번째 단계에서 V^+ 쪽 모든 커패시터 하단부가 $3V_{ref}/8$ 에 연결되고, V^- 쪽 모든 커패시터 하단부가 $5V_{ref}/8$ 에 연결된다. V^+ 와 V^- 는 각각 $V_{ref}/8$ 만큼 증가하고, $V_{ref}/8$ 만큼 감소한다. 그 후 MSB-2는 세 번

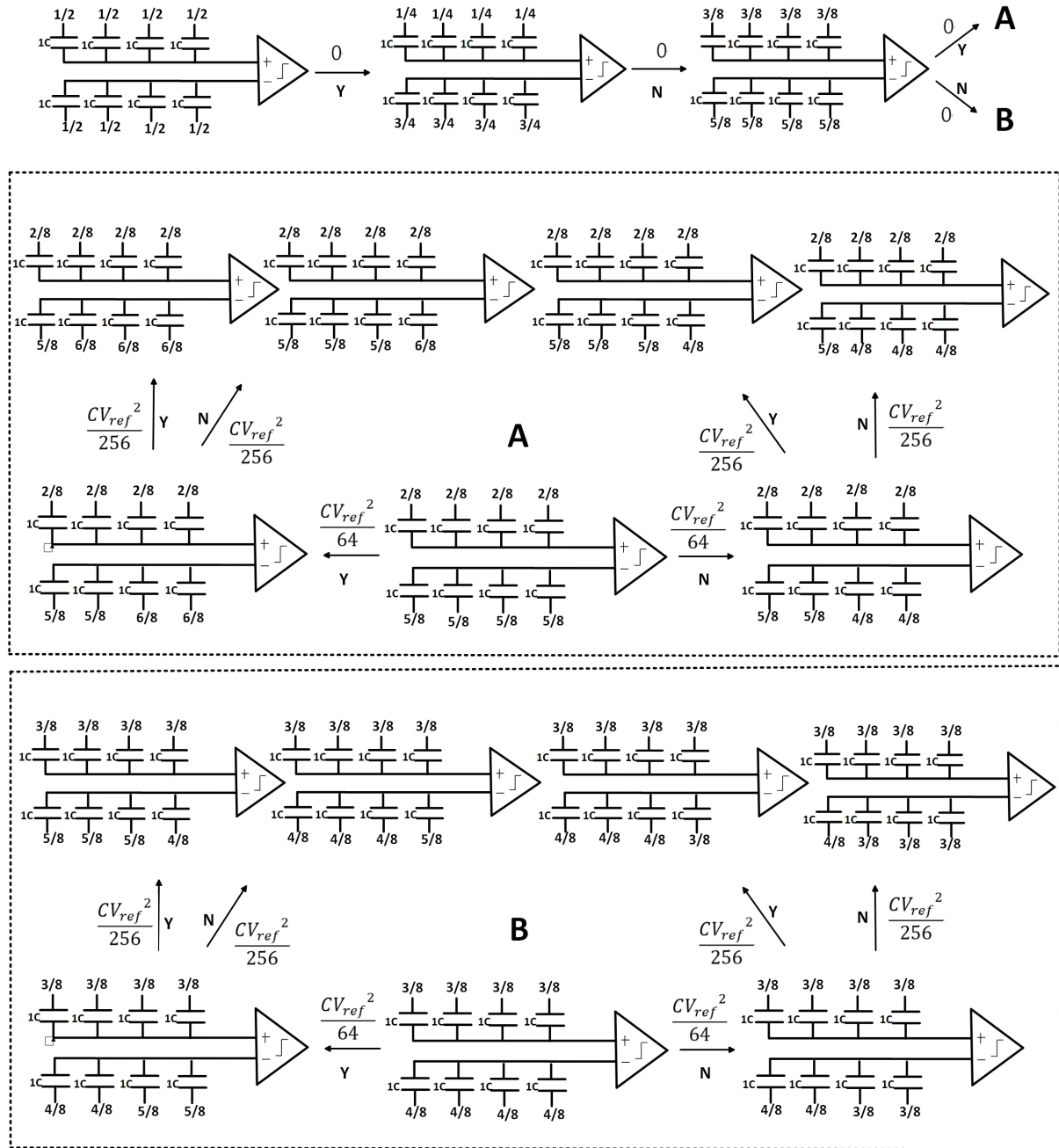


그림 5. 제안된 6비트 SAR ADC의 스위칭구조 (N=2, M=3)

Fig. 5. The proposed switching scheme of 6 bits SAR ADC (N=2, M=3).

제 비교 결과에 따라 결정된다.

MSB-2가 1이므로, 네 번째 단계에서 V^+ 쪽 모든 커패시터 하단부는 $2V_{ref}/8$ 과 연결된다. 그리고 V^- 쪽의 커패

시터 하단부 전압과 V^- 는 변화가 없다. 오직 V^+ 가 이전 에 비해서 $V_{ref}/8$ 줄어들고, MSB-3이 결정된다.

MSB-3이 1이므로, 다섯 번째 단계에서 V^+ 쪽 모든 커패

패시터 하단부에 전압은 변화가 없고, V^- 쪽 커패시터 하단부에 각각 $5V_{ref}/8$, $5V_{ref}/8$, $6V_{ref}/8$, $6V_{ref}/8$ 가 연결된다. 그로 인해, V^- 가 이전에 비해서 $V_{ref}/16$ 증가하고, MSB-4가 결정된다.

MSB-4가 1이므로, 최종 단계에서 V^- 쪽 모든 커패시터 하단부는 변화가 없으며, V^- 쪽 커패시터 하단부는 ' $5V_{ref}/8$, $6V_{ref}/8$, $6V_{ref}/8$, $6V_{ref}/8$ '으로 변화한다. V^- 는 이전 단계보다 $V_{ref}/32$ 만큼 증가한다. 그 후, LSB는 마지막 비교에 의해 결정된다.

식 (2)에 의해 첫 번째 비교부터 세 번째 비교까지 커패시터 상단부 전압과 하단부 전압의 차의 변화량이 없음으로 에너지 소모가 0이 된다. 그리고 네 번째 비교와 다섯 번째 비교는 V^- 쪽의 커패시터에서 상단부 전압과 하단부 전압의 차에 대한 변화가 생겼으므로 에너지 소비가 발생한다.

III. 시뮬레이션

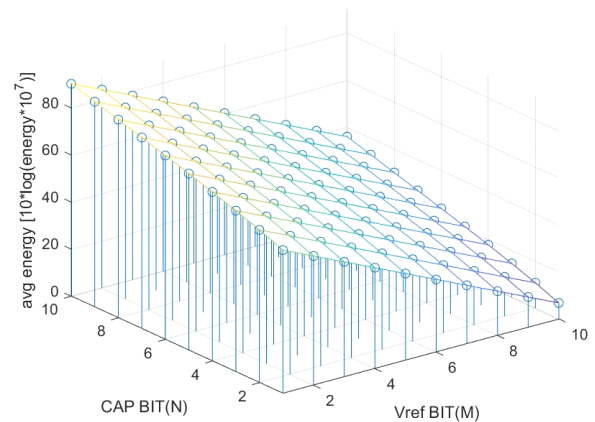
3-1 스위칭 에너지 분석

그림 6(a)는 매트랩을 통해 x축을 커패시터 배열 비트(N) 수, y축을 기준전압 비트(M) 수, 그리고 z축을 평균 스위칭 에너지 소모 값을 로그 스케일($10\log(\text{energy}[J]*10^7)$)로 도식화한 그래프이다.

표 3은 기준전압 비트(M)와 커패시터 배열 비트(N)에 따라 제시된 스위칭 구조에 대해 소모된 에너지를 나타낸 것이며, 이를 그래프로 나타내면 그림 6(a)와 같다. 그림 6(b)는 총 비트가 10-bit ($N+M+1=10$)일 때, x축을 N, y축을 평균 스위칭 에너지 소모량으로 나타낸 그래프이다. 그림 6을 통해 M 값이 커질수록 소모에너지가 줄어드는 것을 볼 수 있다.

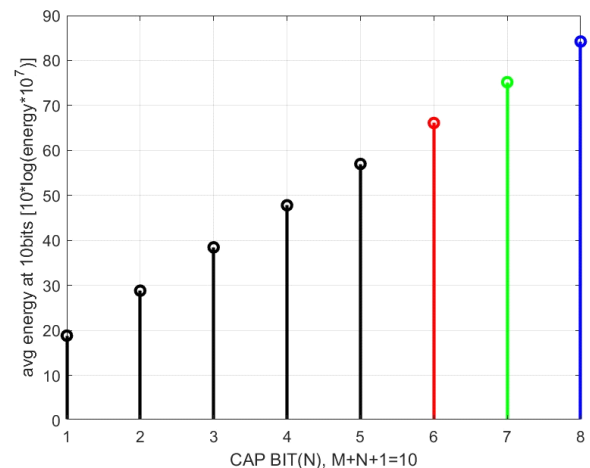
3-2 스위칭 구조에 따른 에너지 및 면적 비교

표 4는 10-bit SAR ADC에서 Conventional, Monotonic, HRSR, Vsq-based Tri-level, Hybrid, Vcm-based 구조와 제시된 스위칭 구조를 에너지와 면적에 대해 비교한 것이다^{[1]~[6]}. 에너지 소모의 경우, 각 논문의 Table에 주어진 값을 통해 알 수 있고, 이는 식 (2), 식 (3)으로부터 동일하



(a) M과 N에 따른 평균 스위칭 에너지 소비 값 결과($M=1\sim10$, $N=1\sim10$) [$10\log(\text{energy}[J]*10^7)$]

(a) Result of average switching energy consumption in 10 bits SAR ADC ($M=1\sim10$, $N=1\sim10$) [$10\log(\text{energy}[J]*10^7)$]



(b) 10 bit SAR ADC ($N+M+1=10$)의 평균 스위칭 에너지 결과 [$10\log(\text{energy}[J]*10^7)$]

(b) Result of average switching energy consumption in 10 bits SAR ADC [$10\log(\text{energy}[J]*10^7)$] ($N+M+1=10$)

그림 6. N과 M에 따른 평균 스위칭 에너지 값 시뮬레이션 결과

Fig. 6. Simulation results of average switching energy values according to N and M.

게 얻을 수 있는 값이다. 본 논문에서 비교하는 면적은 CDAC의 커패시터 배열을 구성하는 커패시터들이 차지하는 면적을 의미한다. 표 4에서 동일한 10 비트의 ADC에 각 스위칭 구조를 적용하였을 때 CDAC에 필요한 단위 커패시터의 개수로부터 면적을 산정하였다. Monotonic

표 3. 커패시터비트(N), 기준전압 비트(M)에 따른 평균 스위칭 에너지 [$10\log(\text{energy}[J]*10^7)$]Table. 3. Average switching energy for capacitor bits (N), reference voltage bits (M) [$10\log(\text{energy}[J]*10^7)$].

N \ M	1	2	3	4	5	6	7	8	9	10
1	60.97	54.95	48.93	42.91	36.89	30.87	24.85	18.82	12.80	6.78
2	64.95	58.93	52.91	46.89	40.87	34.85	28.82	22.80	16.78	10.76
3	68.57	62.55	56.52	50.50	44.48	38.46	32.44	26.42	20.40	14.38
4	71.89	65.87	59.85	53.83	47.81	41.79	35.77	29.75	23.73	17.71
5	75.07	69.05	63.03	57.00	50.98	44.96	38.94	32.92	26.90	20.88
6	78.16	72.14	66.12	60.10	54.08	48.05	42.03	36.01	29.99	23.97
7	81.21	75.19	69.17	63.15	57.13	51.11	45.09	39.06	33.04	27.02
8	84.24	78.22	72.20	66.18	60.16	54.14	48.12	42.10	36.07	30.05
9	87.26	81.24	75.22	69.20	63.18	57.16	51.14	45.12	39.10	33.07
10	90.28	84.25	78.23	72.21	66.19	60.17	54.15	48.13	42.11	36.09

표 4. 10-bit SAR ADC의 각 스위칭 구조별 성능지표

Table. 4. Summary of performance on different switching schemes for a 10-bit SAR ADC.

Switching scheme	Average switching energy (CV_{ref}^2)	Energy saving (%)	Area (c)	Area reduction (%)
Conventional [1]	1,363.3	Ref	2^{11}	Ref
Monotonic [2]	255.5	81.26	2^{10}	50.00
HSRS [3]	106.2	92.20	2^{10}	50.00
Vaq-based tri-level [4]	48.03	96.48	2^8	87.50
Hybrid [5]	15.88	98.83	2^9	75.00
Vcm-based [6]	170.17	87.52	2^{10}	50.00
Proposed (M:1,N:8)	26.542	98.05	2^9	75.00
Proposed (M:2,N:7)	3.3022	99.76	2^8	87.50
Proposed (M:3,N:6)	0.4089	99.97	2^7	93.75

과 HSRS의 경우, 사용된 전체 커패시터의 개수를 면적을 표현하고, Vaq-based Tri-level과 Hybrid는 커패시터의 개수의 감소를 면적의 감소로 표현하였다.

제시된 스위칭 구조에서 N과 M 값에 따라 다양한

10-bit SAR ADC를 구현할 수 있고, M이 1에서 3일 경우에 대해 표 4에 나타났다. 전통적인 스위칭 구조에 비해 제시된 스위칭 구조가 M=1~3일 때 에너지, 면적 측면에서 개선된 것을 볼 수 있다^[1]. 특히 M이 3일 경우, 에너지와 면적이 각각 99.97 %, 93.75 % 절약되었다.

3-3 DNL과 INL 시뮬레이션 결과

본 논문은 CDAC의 에너지 소모에 대해 다루고 있음으로 CDAC와 S/H를 제외한 나머지 회로를 이상적으로 구성하여 DNL, INL을 구하였다. S/H는 NMOS와 PMOS를 병렬 연결하여 기생 커패시턴스를 고려해, 제안된 CDAC에 사용하는 단위 커패시턴스를 결정하였다. S/H의 기생 커패시턴스는 0.740 fF이기 때문에, MIM 커패시터로 구현할 수 있는 최소 커패시턴스인 9.47fF로 CDAC의 단위 커패시턴스를 결정해도 기생 커패시터에 의한 영향이 생기지 않는다는 것을 예측할 수 있다.

차후 모든 회로를 실제 반도체 소자로 구현한다면 위의 INL, DNL이 이상적인 결과보다 더 증가할 결과를 보일 것이다.

그림 7과 그림 8은 10-bit SAR ADC를 한 코드당 128번의 비교를 통해서 매트랩으로 DNL과 INL을 도식화한 그래프이다. 128번 이상의 비교를 했을 때, 더 이상 DNL과 INL의 시뮬레이션 결과에 큰 변화가 생기지 않는다는 것

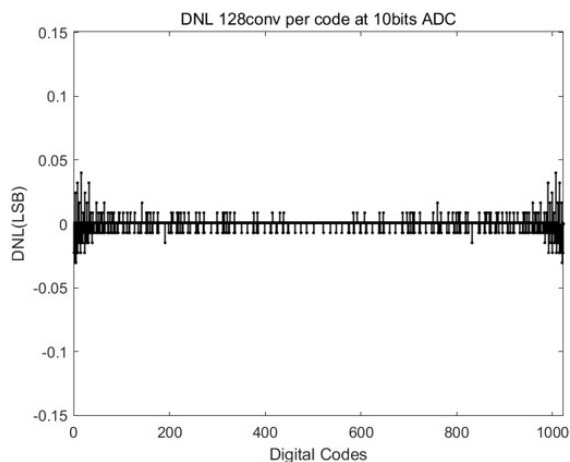


그림 7. DNL 시뮬레이션 결과
Fig. 7. Simulation results of DNL.

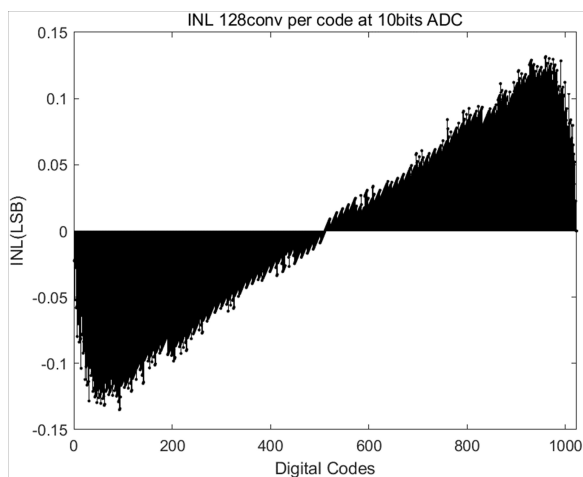


그림 8. INL 시뮬레이션 결과
Fig. 8. Simulation results of INL.

을 확인했다. 18번째와 1008번째 디지털 코드에서 DNL은 0.04LSB를 최대값을 보여주었고, 95번째 디지털 코드에서 INL은 -0.135LSB인 최대값을 결과로 얻을 수 있었다.

IV. 결 론

본 논문은 참고 문헌의 논문과는 달리, 기준 전압을 0 부터 V_{ref} 까지 $V_{ref}/2^M$ 단위로 세분화하여, 커패시터의 전압변화량을 줄일 수 있었고, 단위 커패시터의 전압을 조

정하여 불필요한 전압변화를 최소화시켜, 스위칭 에너지 소모량을 최소화할 수 있었다. 또한 동일한 해상도에서 기준 전압을 세분화하면, CDAC에 사용되는 단위 커패시터 개수를 줄일 수 있기 때문에, 추가적인 면적을 감소시키는 효과를 얻을 수 있었다.

이를 바탕으로 일정한 패턴을 가지는 스위칭 알고리즘을 통해 해상도가 $N+M+1$ 비트인 평균 스위칭 에너지 식을 일반화시켰다.

제안된 10-bit hybrid SAR ADC를 설계할 때, M이 1인 경우, 에너지는 98.05 %, 단위 커패시터의 개수는 75 % 절약되었다. M이 3인 경우, 에너지는 99.97 %, 단위 커패시터의 개수는 93.75% 절약되었다. 다중 기준 전압을 사용함으로써 스위칭 에너지와 면적을 효과적으로 줄일 수 있었고, 결론적으로 스위칭 에너지와 면적은 N에 비례하고 M에 반비례하는 것을 알 수 있었다.

References

- [1] B. P. Ginsburg, A. P. Chandrakasan, "An energy-efficient charge recycling approach for a SAR converter with capacitive DAC," *IEEE International Symposium on Circuits and Systems*, Kobe, May 2005, vol. 1, pp. 184-187.
- [2] C. Liu, S. Chang, G. Huang, and Y. Lin, "A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure," in *Proceedings of the IEEE Journal of Solid-State Circuits*, vol. 45, no. 4, pp. 731-740, Apr. 2010.
- [3] H. Zhang, H. Zhang, and R. Zhang, "Energy-efficient higher-side-reset-and-set switching scheme for SAR ADC," *Electronics Letters*, vol. 53, no. 18, pp. 1238-1240, Aug. 2017.
- [4] J. Zhao, H. Mei, Z. Zhang, and L. Meng, " V_{AQ} -based tri-level switching scheme for SAR ADC," *Electronics Letters*, vol. 54, no. 2, pp. 66-68, Jan. 2018.
- [5] L. Xie, G. Wen, J. Liu, and Y. Wang, "Energy-efficient hybrid capacitor switching scheme for SAR ADC," *Electronics Letters*, vol. 50, no. 1, pp. 22-23, Jan. 2014.
- [6] Y. Zhu, C. H. Chan, U. F. Chio, S. W. Sin, U.

Seng-Pan, and R. P. Martins, "A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS," *IEEE*

Journal of Solid-State Circuits, vol. 45, no. 6, pp. 1111-1121, Jun. 2010.

이 동 훈 [한국항공대학교/학부생]

<https://orcid.org/0000-0002-0727-7104>



2018년 3월~현재: 한국항공대학교 항공
전자정보공학부 재학 중
[주 관심분야] RF, Analog Circuit

이 현 엽 [한국항공대학교/석사과정]

<https://orcid.org/0000-0002-2653-0478>



2021년 한국항공대학교 항공전자정보공
학부 (공학사)
2021년 3월~현재: 한국항공대학교 항공
전자정보공학부 석사과정
[주 관심분야] RF, Analog Circuit

김 성 준 [한국항공대학교/학부생]

<https://orcid.org/0000-0002-2770-6308>



2019년 3월~현재: 한국항공대학교 항공
전자정보공학부 재학 중
[주 관심분야] RF, Analog Circuit

김 영 진 [한국항공대학교/교수]

<https://orcid.org/0000-0001-9207-9403>



1997년 한국과학기술원 전기 및 전자공학
과 (공학석사)
2002년 한국과학기술원 전기 및 전자공학
과 (공학박사)
2002년~2006년 삼성전자 선임연구원
2006년~현재 한국항공대학교 항공전자
및 정보공학부 교수
[주 관심분야] RF System, RF and Analog Circuit

조 규 언 [한국항공대학교/학부생]

<https://orcid.org/0000-0002-8230-0861>



2016년 3월~현재: 한국항공대학교 항공
전자정보공학부 재학 중
[주 관심분야] RF, Analog Circuit