

# 매칭된 캐스코드 전력 셀 기반 K-/Ka-대역 CMOS 전력 증폭기

## A K-/Ka-Band CMOS Power Amplifier with a Matched Cascode Power Cell

김 창 민<sup>1</sup> · 김 기 철<sup>2\*</sup> · 오 준 택<sup>3</sup>

Changmin Kim<sup>1</sup> · Kichul Kim<sup>2\*</sup> · Juntaek Oh<sup>3</sup>

### 요 약

본 논문은 매칭된 캐스코드 전력 셀 기반 K-/Ka-대역 광대역 CMOS 전력 증폭기 설계에 관한 내용이다. 캐스코드 전력 셀의 공통 소스 단과 공통 게이트 단 사이에 직렬 인덕터를 연결하여 전력 셀의 역 격리도와 효율을 높였다. 전력 셀에서 cold-FET을 직렬 인덕터 사이에 연결하여 캐스코드단의 위상 왜곡 현상을 감소시켜 전력 증폭기가 높은 선형성을 만족하도록 설계하였다. 입력 및 출력 매칭단은 밀리미터파 대역에서 높은 유도 계수 및 낮은 삽입손실을 갖는 브로드사이드 결합 트랜스포머로 구성하였다. 제안한 전력 증폭기는 65-nm RF CMOS 공정을 사용하여 설계하였고, 0.99 mm × 0.57 mm의 칩 면적을 가진다. 제작된 전력증폭기는 설계결과, 24~28 GHz 대역에서 동작 범위에서 19~21 dBm의 최대 포화 전력, 6.7~7.7 dB의 전력 이득, 32~37 %의 PAE를 가진다. 2-tone 시뮬레이션 결과에서 -30 dBc 이하의 IMD3를 만족하는 선형 전력 값은 24~28 GHz 대역에서 12.5~15.2 dBm의 광대역 특성을 확인하였다.

### Abstract

This study proposes a K-/Ka-band CMOS power amplifier (PA) with a matched cascode power cell. Interstage inductors are introduced between the common source (CS) and common gate (CG) transistors to achieve high power gain and high reverse isolation of the PA. Cold FETs are configured with interstage inductors to reduce the phase distortion of the PA. The input and output matching networks of the PA are designed as broadside-coupled transformers to obtain a high coupling coefficient and low insertion loss. The proposed PA is fabricated using a 65 nm RF CMOS process, whose chip dimensions are 0.99 mm × 0.57 mm. The device achieves a saturated output power of 19~21 dBm, power-added efficiency of 32~37 %, and power gain of 6.7~7.7 dB in a frequency range of 24~28 GHz. The linear power values for the IMD < -30 dBc are in the range of 12.5~15 dBm in a frequency range of 24~28 GHz.

Key words: 5G Mobile Communication, CMOS, Ka-Band, Power Amplifier (PA), Transformer.

### I. 서 론

최근 무선 네트워크의 용량 증대 기술이 요구됨에 따라, 밀리미터파 대역을 사용하는 광대역 5G 시스템에

「이 연구는 국방과학연구소가 지원하는 사업의 일환으로 수행되었음(UD200019ED)」

「본 연구는 IDEC에서 MPW와 EDA Tool를 지원받아 수행하였습니다.」

송실대학교 전자정보공학부 (School of Electronic Engineering, Soongsil University)

\*국방과학연구소 국방우주기술센터(Aerospace Technology Research Institute, Agency for Defense Development)

1: 연구원(<https://orcid.org/0000-0002-8095-7579>), 2: 선임연구원(<https://orcid.org/0000-0003-1652-5576>), 3: 조교수(<https://orcid.org/0000-0003-4694-8545>)

· Manuscript received June 14, 2021 ; Revised July 12, 2021 ; Accepted July 19, 2021. (ID No. 20210614-062)

· Corresponding Author: Juntaek Oh(e-mail: kingojt@ssu.ac.kr).

대한 관심이 높아지고 있다. 기존 4G 시스템과 달리 5G 시스템은 빔포밍 기술이 기지국뿐만 아니라, 스마트폰에도 적용되기 때문에, 스마트폰 내부에서 5G 무선 시스템을 구현하기 위해서는 많은 수의 전력 증폭기가 필요하게 된다. 이에 따라서 높은 집적도와 함께 낮은 가격 경쟁력을 갖는 CMOS 기반 광대역 전력 증폭기에 대한 연구가 활발히 진행되고 있다<sup>[1]~[4]</sup>.

본 논문에서는 CMOS 기반으로 광대역 및 고효율 특성을 갖는 K-/Ka-대역 전력증폭기를 설계한 결과를 제시한다. 캐스코드 전력 셀을 기반으로 공통 소스단과 공통 게이트단에 직렬 인덕터를 적용하여 높은 안정도와 전력 이득을 가졌으며, 직렬 인덕터 사이에 cold-FET을 연결하여 캐스코드 전력 셀의 입력전력 변화에 따라서 기생 커패시턴스의 크기 변화에 따른 위상 왜곡 현상을 줄일 수 있도록 설계하여 광대역 선형 증폭기 특성을 얻었다.

본 논문의 구성은 다음과 같다. II 장에서는 전력 증폭기의 전력 셀 및 입/출력 매칭단의 설계 내용에 대해서 설명하고, III 장은 설계결과를, 마지막으로 IV 장에서는 결론을 맺는다.

## II. 회로 설계

그림 1은 제안된 전력 증폭기 회로의 도식도를 나타낸 것이다. 전력 증폭기의 중심부인 전력 셀은 높은 이득과 역 격리도를 가지기 위해서 캐스코드 형태로 구성하였다. 전력 셀의 단위 트랜지스터의 크기를 결정하기 위해서

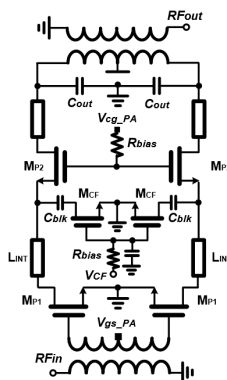


그림 1. 제안된 전력 증폭기 회로 도식도  
Fig. 1. Proposed power amplifier schematic.

목표 성능 최대 주파수인 28 GHz 대역에서 4 GHz의 주파수 여유를 두어 32 GHz 주파수에서의 게이트 넓이와 finger 개수에 따른 단위 트랜지스터의 최대가능 이득을 비교하였으며, 최대가능이득이 16 dB인  $1.5 \mu\text{m} \times 24 \text{ finger}$ 의 단위 트랜지스터로 결정하였다. 전력 증폭기가 이상적인 최대출력 24 dBm을 만족하도록 8개의 단위 트랜지스터를 묶어서 288  $\mu\text{m}$ 의 크기를 갖는 전력 셀을 구성하였다.

캐스코드 전력 셀의 높은 역 격리도와 함께 높은 효율을 갖기 위해서, 공통 소스와 공통 게이트단 사이에 직렬 인덕터를 연결하고, 이를 최적화 하였다<sup>[5]</sup>. 그림 2와 같이 직렬 인덕터 크기에 따른 24~30 GHz 대역의 드레인 임피던스와 28 GHz에서의 최적 전력 매칭 임피던스를 비교하였으며, 25 pH의 인덕터를 달았을 때 전력 매칭 임피던스와 드레인 임피던스가 비슷한 값을 가져 출력 반사 손실 또한 낮게 가지도록 하였다. 그림 3은 직렬 인덕터 크

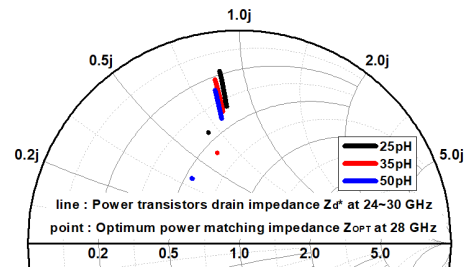


그림 2. 직렬 인덕터 크기에 따른 전력 셀의 드레인 임피던스 및 최적 전력 매칭 임피던스 변화

Fig. 2. Conjugate matching contours and optimum power matching impedance of the power cell with  $L_{int}$ .

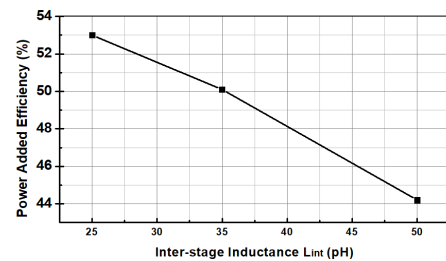


그림 3. 직렬 인덕터 크기에 따른 전력 셀의 전력부과 효율 (PAE) 시뮬레이션 결과

Fig. 3. Simulated PAE of the cascode power cell with respect to  $L_{int}$ .

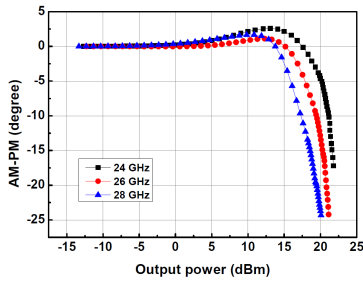


그림 4. AM-PM 왜곡 특성 시뮬레이션 결과  
Fig. 4. Simulated AM-PM distortion.

기에 따른 전력 셀의 이상적인 최대 전력 부과 효율을 나타낸 그래프이며, 25 pH의 직렬 인덕터가 연결될 때 최대 효율을 확인하였다.

매칭된 캐스코드 전력 셀 내부에서는 입력 전력에 따른 기생 커패시턴스의 변화에 의한 위상 왜곡 현상을 감소하기 위해 공통 소스단과 공통 게이트 단 사이에 병렬로 연결하는 cold-FET을 적용하였다.  $1.5 \mu\text{m} \times 12 \text{ finger}$ 의 크기의 cold-FET을 선택하였으며, 동작을 위해서 옴믹(ohmic)영역에 위치하는 0.4 V의 게이트 바이어스를 선택하여 cold-FET을 입력 전력에 따른 가변 저항으로 사용하도록 설정하였다<sup>[6]</sup>. 그림 4는 제안된 cold-FET을 적용한 전력 증폭기의 AM-PM 왜곡도 특성을 나타낸 시뮬레이션 결과를 나타낸 것이다. 그림과 같이 24, 26, 28 GHz의 주파수에서 13.1, 12.3, 9.8 dBm의 전력을 출력할 때 각각 최대 2.6, 1.1, 1.7 도의 낮은 AM-PM 왜곡 특성을 갖는 것을 확인하였다.

### III. 설계 결과

K-/Ka-대역 전력 증폭기의 레이아웃은 그림 5와 같으며, 칩 면적은  $0.99 \times 0.57 \text{ mm}^2$ 이다. 제안된 회로는 2 V의

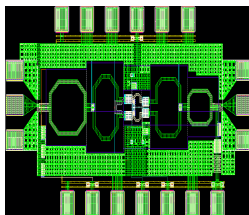


그림 5. 개발된 전력증폭기의 layout  
Fig. 5. Layout of implemented power amplifier.

공급전압을 사용하였으며, 게이트전압과 공동 게이트 전압은 0.33 V와 1.33 V를 인가하였다. 그림 6은 제안된 전력 증폭기의 소신호 결과를 나타낸 것이며, 24~28 GHz 대역에서 소신호 이득  $S_{21}$ 은 7.3~8.7 dB를 가졌다. 그림 7은 대신호 특성을 나타낸 것이며, 24, 26, 28 GHz의 광대역 범위에서 각각 37, 35.4, 32 %의 높은 전력 부과 효율(PAE)을 가지며, 각각 21, 20, 19 dBm의 높은 최대 포화 전력을 출력하는 것을 확인하였다. 그림 8은 선형 특성을 나타낸 것이며,  $-30 \text{ dBc}$  이하의 IMD3를 만족하는 선형 전력은 24, 26, 28 GHz의 주파수에서 각각 15.2, 14, 12.5 dBm의 값을 갖는 것을 확인하였으며, 선형 PAE는 27, 25, 20 %를 가졌다.

표 1은 밀리미터파 대역의 전력 증폭기 간의 성능을 비교한 표이며, 참고문헌 [2]~[4]과 비교하여 넓은 대역폭에서 최대 포화전력, 최대 및 선형 PAE, 선형 출력 전력 특성이 모두 우수한 것을 확인할 수 있다.

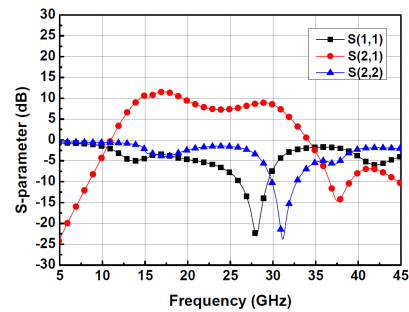


그림 6. 제안한 PA의 S-parameter 시뮬레이션 결과  
Fig. 6. Simulated S-parameter of the proposed PA.

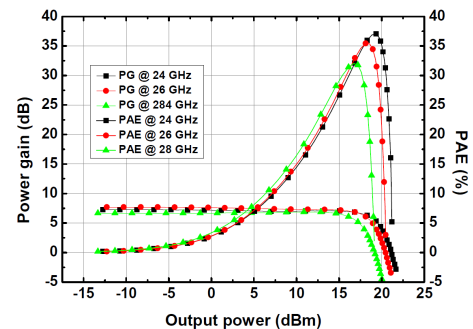


그림 7. 제안한 PA의 이득 및 PAE 시뮬레이션 결과  
Fig. 7. Simulated power gain and PAE of the proposed PA.

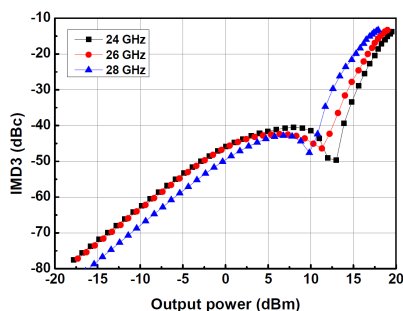


그림 8. 100-MHz tone spacing의 2-tone 신호를 이용한 IMD3 시뮬레이션 결과

Fig. 8. Simulated IMD3 with 100-MHz tone spacing.

표 1. 밀리미터파 CMOS 전력 증폭기 성능 비교

Table 1. Comparison of mm-wave CMOS power amplifier.

	[2]	[3]	[4]	This work (simulation)
Technology	65-nm CMOS	40-nm CMOS	65-nm CMOS	65-nm CMOS
Frequency [GHz]	28	26~28	24~27	24~28
$P_{sat}$ [dBm]	18.5	> 20.2	> 17.1	> 19
$P_{1dB}$ [dBm]	N/A	> 18.3	> 15.2	> 16.7
$PAE_{max}$ [%]	27.3	> 25	> 31	> 32
Gain [dB]	18	20.1	25~29.1	6.7~7.7
Linear $P_{out}$ [dBm] (IMD3 < -30 dBc)	12 (80-MHz spacing)	> 15.8 (80-MHz spacing)	> 11 (20-MHz spacing)	> 12.5 (100-MHz spacing)
Linear PAE [%]	6.2*	25**	6.8-8*	20~27**
Core area [mm <sup>2</sup> ]	0.14	0.214	0.313	0.255

\* EVM 측정 결과 기준

\*\* IMD3 결과 기준 (IMD < -30 dBc)

#### IV. 결 론

본 논문에서는 매칭된 캐스코드 전력 셀 기반 K-/Ka-대역 CMOS 전력 증폭기를 설계한 결과를 제시한다. 제안된 전력 증폭기는 전력 셀의 공통 게이트 단 및 공통 소스 단 사이의 직렬 인덕터를 삽입하여 높은 전력 부과 효

율과 함께 회로 안정도를 높였다. 전력 셀에 cold-FET을 가변 저항으로 사용하여 입력 전력에 따른 위상 왜곡 특성을 낮춰 높은 선형성을 가지도록 설계되었다. 제안된 전력 증폭기는 24~28 GHz의 초광대역 범위에서 19~21 dBm의 최대 포화 전력과 함께 32~37 %의 높은 PAE를 가지며, 12.5~15.3 dBm의 30 dBc 이하의 IMD3를 만족하는 높은 선형 전력 출력 특성을 확인하였다.

#### References

- [1] W. Huang, H. Wang, "An inductive-neutralized 26-dBm K-/Ka-band power amplifier with 34% PAE in 90-nm CMOS," *IEEE Transactions on Microwave Theory and Techniques*, vol. 67, no. 11, pp. 4427-4440, Nov. 2019.
- [2] S. Lee, S. Kang, and S. Hong, "A 28-GHz CMOS linear power amplifier with low output phase variation over dual power modes," *IEEE Microwave and Wireless Components Letters*, vol. 29, no. 8, pp. 551-553, Aug. 2019.
- [3] G. Cho, G. Jeong, and S. Hong, "28-GHz CMOS power amplifier linearized with resistive drain-body connection," *IEEE Microwave and Wireless Components Letters*, vol. 30, no. 9, pp. 876-879, Sep. 2020.
- [4] H. W. Choi, S. Choi, and C. Y. Kim, "A 25-GHz power amplifier using three-stage antiphase linearization in bulk 65-nm CMOS technology," *IEEE Microwave and Wireless Components Letters*, vol. 30, no. 5, pp. 489-491, May. 2020.
- [5] J. Oh, B. Ku, and S. Hong, "A 77-GHz CMOS power amplifier with a parallel power combiner based on transmission-line transformer," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 7, pp. 2662-2669, Jul. 2013.
- [6] J. Park, S. Lee, D. Lee, and S. Hong, "A 28 GHz 20.3%-transmitter-efficiency 1.5°-phase-error beamforming front-end IC with embedded switches and dual-vector variable-gain phase shifters," in *2019 IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, Feb. 2019, pp. 176-178.