

확장된 백오프 출력에서 고효율 동작을 위한 최적화된 대칭 이단 도허티 전력 증폭기 설계

Optimized Symmetric Two-Stage Doherty Amplifier Design for High Efficiency at Large Power Back-Off

고길웅* · 최우진 · 강현욱** · 최영찬 · 양영구

Gilwoong Ko* · Woojin Choi · Hyunuk Kang** · Youngchan Choi · Youngoo Yang

요 약

본 논문에서는 3.5 GHz 대역에서 캐리어와 피킹 대칭 구조로 백오프 출력을 확장시킨 이단 도허티 전력 증폭기를 제시하였다. 피킹 전력 증폭기 출력단의 오프셋라인을 없애고, 보이는 임피던스가 인덕티브하게 되도록 하여 회로의 사이즈를 줄임과 동시에 백오프 출력을 크게 확장시켰다. 피킹 증폭기의 출력 매칭 네트워크는 ABCD 파라미터 계산을 통해 간단한 전송선로를 이용해 매칭 네트워크를 구성하였고, 이를 그대로 캐리어 증폭기의 출력에 적용하여 설계 복잡도를 줄였다. C급으로 동작하는 피킹 증폭기로 인해 최대 출력 전력이 줄어드는 이슈는 이단 도허티 구조를 적용하여 극복하였다. 제작된 전력 증폭기로 측정된 결과, 3.5 GHz의 펄스 CW신호를 이용하여 7.5 dB 백오프 출력에서 DE 63.5 %, PAE 50.6 %의 성능을 얻었고, PAPR 7.5 dB의 LTE 20 MHz 신호에 대해서는 평균 전력 41 dBm에서 DE 53.3 %, PAE 43.2 %와 전력이득 18 dB의 성능을 얻었다.

Abstract

This article presents a symmetric two-stage Doherty power amplifier (DPA) for the extended output power back-off level, which can be attained even with a reduced circuit size by changing the output impedance of the peaking amplifier to be inductive without the offset line. The ABCD matrix is employed to design the output matching network of the peaking amplifier with a simple transmission line. Consequently, we can reduce the design complexity by applying the same circuit to the carrier amplifier as the DPA is symmetric. To deal with reduced output power of the class-C peaking amplifier, a two-stage DPA structure was applied. The power amplifier exhibited a drain efficiency (DE) of 63.5 %, and a power added efficiency (PAE) of 50.6 % at 7.5 dB output backoff was obtained using the 3.5 GHz pulsed continuous wave (CW) signal. Furthermore, a DE of 53.3 %, a PAE of 43.2 % and a power gain of 18 dB were obtained at the power level of 41 dBm using a 20 MHz LTE signal with a peak-to-average power ratio of 7.5 dB.

Key words: Power Amplifier, Two-Stage Doherty, Offset-Line-Less Peaking Amplifier

†이 성과는 2019년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(2018R1A2B3005479).

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

*성균관대학교 DMC공학과(Department of Digital Media Communication Engineering, Sungkyunkwan University)

** (주)삼성전자(Samsung Electronics Co., Ltd.)

· Manuscript received April 22, 2021 ; Revised May 27, 2021 ; Accepted May 31, 2021. (ID No. 20210422-045)

· Corresponding Author: Youngoo Yang (e-mail: yang09@skku.edu)

I. 서 론

전 세계적으로 이동통신을 이용한 정보량이 기하급수적으로 증가하고 있다. 이에 따라 4G 이동통신을 넘어 5G 이동통신의 개발 및 상용화가 꾸준히 진행되고 있다.

5G 이동통신에서는 기존 이동통신과 비교하여 몇 가지 차이가 있다. 첫 번째, 기지국과 단말간의 스루풋(throughput)을 높이기 위해 빔포밍(beamforming) 기술이 이용되는데, 이를 위해서는 다수의 안테나와 다수의 전력 증폭기를 사용해야 한다. 따라서 기지국 송신단의 크기와 비용을 줄이기 위해 우선적으로 전력 증폭기의 전력소모와 회로의 크기를 줄여야 한다. 두 번째, 제한된 주파수 대역에서 급증한 데이터를 전송하기 위해서 시스템은 효율적인 변조신호를 사용하게 되었다. 이러한 변조 신호들의 포락선(envelope)은 급격히 변하고, 이는 곧 최대전력 대 평균 전력비(peak-to-average power ratio: PAPR)를 증가시키게 된다. 따라서 변조 신호를 왜곡 없이 전송하기 위해서 전력 증폭기는 백오프(back-off)된 영역에서 높은 효율로 동작되어야 한다.

이와 같은 요구사항을 충족시키기 위해서 전력 증폭기는 크기도 줄이면서 높은 백오프 전력에서 효율 및 선형성을 향상시키는 것이 중요한데, 이를 위해 도허티(Doherty) 전력 증폭기 구조가 널리 사용되고 있다. 그림 1은 일반적인 도허티 전력 증폭기의 부하 네트워크를 나타내었다. 일반적인 도허티 전력 증폭기는 몇 가지 단점이 존재하는데, 이상적으로 최대 6 dB로 백오프 출력이

제한된다는 것과 백오프 출력에서 높은 효율을 위해 피킹 전력 증폭기는 C급으로 동작하기 때문에 최대 전류가 줄어들어 결국 최대 출력 전력이 줄어든다는 점이다^{[1][2]}. 기존 연구에서는 이를 보완하기 위해 주로 캐리어(carrier) 전력 증폭기보다 피킹(peaking) 전력 증폭기의 크기를 키우는 비대칭(asymmetric) 도허티 전력 증폭기를 사용하여, 백오프 효율의 향상과 C급으로 동작하는 피킹 전력 증폭기의 부족한 전류를 향상시켰다. 하지만 이 경우, 캐리어와 피킹에 적절한 비율로 입력 전력을 분배하기 위한 비대칭 전력 분배기의 설계가 필요하고, 전력 증폭기의 매칭 네트워크 설계가 복잡해질 수 있다^[3~7].

본 연구에서는 대칭(symmetric) 도허티 전력 증폭기 구조를 사용하여 설계의 복잡도를 줄이고, 피킹 증폭기의 오프셋라인을 추가하지 않고 임피던스 트랜스포머의 길이도 줄이는 기법을 통해 회로의 사이즈를 줄이면서 백오프 출력을 크게 확장시켰다. 또한 이단(two-stage) 도허티 구조를 도입하여 바이어스 최적화를 이용해 백오프 효율과 피킹 증폭기의 부족한 전류를 극복하고, 간단한 인터스테이지(inter-stage)매칭 네트워크와 높은 전력 이득을 얻을 수 있었다. 최종적으로 3.5 GHz 대역의 5G 이동통신에 적합한 질화갈륨(GaN, gallium-nitride)전력 증폭기를 설계하였다.

II. 전력 증폭기 설계

앞서 말한 바와 같이 일반적인 도허티 전력 증폭기 구조에서는 이상적으로 백오프 출력을 6 dB까지 확보할 수 있는데, 5G NR 통신을 지원하기 위해 최소 7.5 dB 이상의 백오프 출력에서 높은 효율 특성을 얻어야 한다. 본 논문에서는 대칭 도허티 구조에서 백오프 출력을 확장하는 동시에 회로의 사이즈를 줄이기 위해 피킹 전력 증폭기 출력 매칭 네트워크 이후에 오프셋라인을 추가하지 않고, 피킹 전력 증폭기 쪽을 바라본 임피던스를 그대로 활용하여 출력 매칭 네트워크를 설계하였다.

그림 2는 본 논문에서 제안하는 피킹 전력 증폭기의 출력단 오프셋라인이 없는 도허티 전력 증폭기 구조를 간략하게 도식화하였다. 백오프 출력 7.5 dB를 확보하기 위해서는 이상적으로 그림 2의 캐리어 전력 증폭기의 오프

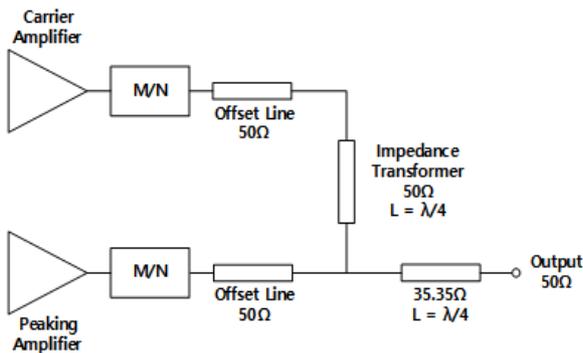


그림 1. 일반적인 도허티 구조의 부하 네트워크
Fig. 1. A block diagram of the load network for the conventional Doherty PA.

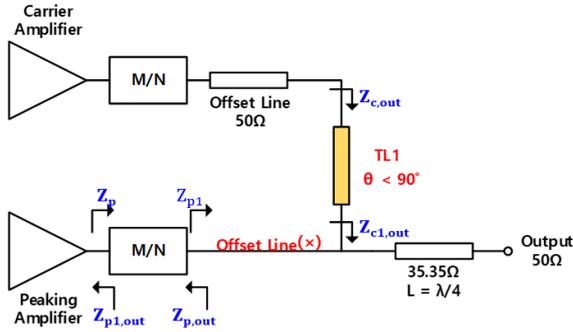


그림 2. 피킹 오프셋라인을 삭제한 도허티 구조의 부하 네트워크

Fig. 2. A block diagram of the load network for the Doherty PA with an offset-line-less peaking amplifier.

셋라인 뒷단에서 바라본 임피던스 $Z_{c,out}$ 가 140 Ω을 만족하면 되지만, 무릎전압효과(knee voltage effect)로 인하여 210 Ω까지 증가해야 한다¹⁸⁾. 일반적인 도허티 구조에서는 오프셋라인을 추가하여 피킹 전력 증폭기를 바라본 임피던스가 무한대가 되도록 만들어 주기 때문에 $Z_{c1,out}$ 은 25 Ω이 되고, $\lambda/4$ 트랜스포머로 인해 $Z_{c,out}$ 은 100 Ω이 된다. 본 논문에서는 $Z_{c,out}$ 이 210 Ω을 만족하도록 하기 위해 피킹 전력 증폭기를 바라본 임피던스가 인덕티브(inductive)한 값을 갖도록 설계하였다. 50 Ω의 특성 임피던스를 갖는 전송선로를 통해 임피던스 반전이 이루어므로 $Z_{c1,out}$ 은 스미스차트상에서 210 Ω을 지나는 VSWR 원 안에 존재하여야 한다. 따라서 스미스 차트상에서 210 Ω 지점을 지나가는 VSWR 원과 $R_0(25 \Omega)$ 지점을 지나는 admittance 원이 교차되는 지점이 $Z_{c1,out}$ 이 된다. 이에 따라 피킹 전력 증폭기가 동작하지 않을 때, 피킹 출력 매칭단에서 피킹 전력 증폭기를 들여다본 임피던스 $Z_{p,out}$ 도 찾을 수 있다. 각 지점에서의 임피던스 변화는 그림 3의 스미스차트상에 나타내었다.

그림 2의 네 가지 파라미터 $Z_p, Z_{p1}, Z_{p,out}, Z_{p1,out}$ 를 이용하여 피킹 전력 증폭기의 출력 매칭 네트워크를 설계할 수 있다. Z_p 와 Z_{p1} 은 각각 최대출력 전력 상태에서 피킹 전력 증폭기의 출력 매칭 네트워크 전/후의 부하 임피던스를 나타낸다. 최대 출력 전력에서 원하는 특성을 얻기 위한 Z_p 는 ADS 로드 풀(load pull) 시뮬레이션을 통해 얻을 수 있다. 본 논문에서는 메인 전력 증폭기로 Cree사

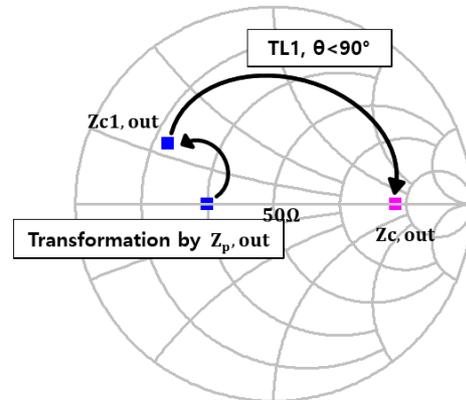


그림 3. 낮은 출력 전력에서의 출력단 임피던스 변화
Fig. 3. Transformation trace of the output impedance at the low power level.

의 CG2H40025F GaN HEMT 소자를 사용하여 3.5 GHz 대역, 최대 출력 전력에서 최적의 효율과 원하는 출력 전력을 얻을 수 있는 Z_p 값을 결정하였다. 그림 4는 $Z_p, Z_{p1,out}$ 을 포함한 네 가지 임피던스 파라미터를 4단자 회로망(two-port network)의 ABCD 행렬로 도식화하였다. 출력 매칭 네트워크가 무손실 상호성(lossless reciprocal) 4단자 회로망일 경우, S파라미터 행렬은 두 가지 변수인 S_{22} 와 S_{21} 의 위상으로 표현할 수 있고, 이를 통해 ABCD parameter를 계산할 수 있다¹⁹⁾.

네 가지 임피던스 파라미터들로 식 (1)~식 (7)을 통해 S_{22} 와 θ_{21} 을 구할 수 있으므로 이에 피킹 전력 증폭기의 최적 출력 매칭 네트워크를 설계하였다. 본 논문에서는 간단한 전송선로를 이용해 매칭 네트워크를 구성하였고, 최종적으로 설계한 각 파라미터들을 표 1에 나타내었다.

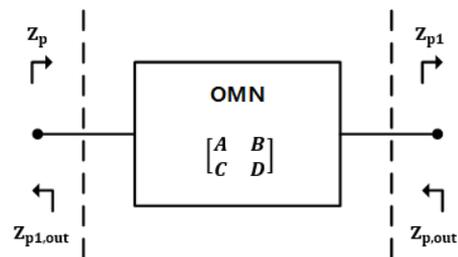


그림 4. ABCD 행렬로 도식화한 피킹 출력 매칭 네트워크
Fig. 4. Output matching network of the peaking amplifier using an ABCD matrix.

표 1. 피킹 전력 증폭기 출력 매칭 네트워크의 설계 파라미터

Table 1. Design parameters of the peaking OMN.

Z_p	Z_{p1}	$Z_{p,out}$	$Z_{p1,out}$	θ_{21}
$5-j6.5 \Omega$	50Ω	$0.2+j2.4 \Omega$	$0+j25.4 \Omega$	-60°

캐리어와 피킹 전력 증폭기를 대칭 구조로 설계하였기 때문에, 설계한 매칭 네트워크를 캐리어의 출력 매칭 네트워크에도 그대로 적용하여 설계의 복잡도를 크게 줄였다.

$$S = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} = \begin{pmatrix} -S_{22}^* e^{j2\theta_{21}} & \sqrt{1 - |S_{22}|^2} e^{j\theta_{21}} \\ \sqrt{1 - |S_{22}|^2} e^{j\theta_{21}} & S_{22} \end{pmatrix}, \quad (1)$$

$$A = \frac{(1 - S_{22}^* e^{j2\theta_{21}})(1 - S_{22}) + (1 - |S_{22}|^2) e^{j2\theta_{21}}}{2\sqrt{1 - |S_{22}|^2} e^{j\theta_{21}}}, \quad (2)$$

$$B = Z_0 \frac{(1 - S_{22}^* e^{j2\theta_{21}})(1 + S_{22}) - (1 - |S_{22}|^2) e^{j2\theta_{21}}}{2\sqrt{1 - |S_{22}|^2} e^{j\theta_{21}}}, \quad (3)$$

$$C = \frac{1}{Z_0} \frac{(1 + S_{22}^* e^{j2\theta_{21}})(1 - S_{22}) - (1 - |S_{22}|^2) e^{j2\theta_{21}}}{2\sqrt{1 - |S_{22}|^2} e^{j\theta_{21}}}, \quad (4)$$

$$D = \frac{(1 + S_{22}^* e^{j2\theta_{21}})(1 + S_{22}) + (1 - |S_{22}|^2) e^{j2\theta_{21}}}{2\sqrt{1 - |S_{22}|^2} e^{j\theta_{21}}}, \quad (5)$$

$$Z_{p1,out} = \frac{Z_{p,out} A + B}{Z_{p,out} C + D}, \quad (6)$$

$$Z_p^* = \frac{Z_p^* A + B}{Z_p^* C + D}. \quad (7)$$

일반적인 도허티 구조에서는 백오프 출력에서 높은 효율을 얻기 위해서 피킹 증폭기는 동작하지 않은 상태로 캐리어 증폭기만 포화되어야 한다. 이를 위해 피킹 증폭기는 동작점을 낮게 설정하여 C급으로 동작하게 되는데, 결국 낮은 동작점으로 인해 최대 전류가 낮아지게 되고, 원하는 최대 출력 전력을 얻을 수 없게 된다. 본 논문에서는 이를 보완하기 위해 이단 도허티 전력 증폭기 구조를 적용하여 설계하였다. 피킹 구동 증폭기와 메인 증폭기의 출력 전류는 식 (8)~식 (9)로 나타낼 수 있다.

$$I_{p,1} = gm_{p,1} \times V_{in,1}, \quad (8)$$

$$\begin{aligned} I_{p,2} &= gm_{p,2} \times I_{p,1} \times Z_{in,p,2} \\ &= gm_{p,2} \times gm_{p,1} \times V_{in,1} \times Z_{in,p,2} \end{aligned} \quad (9)$$

전체적인 피킹 전력 증폭기의 동작점은 구동 증폭기의 게이트 전압을 조절하여 원하는 목표 백오프 출력 지점에서 도허티 증폭기가 최대 효율로 동작하도록 하고, 메인 증폭기의 게이트 전압을 조절하여 메인 증폭기 트랜스컨덕턴스를 높게 되면 일반적인 도허티 구조와 비교하였을 때 I_p 를 급격하게 상승시켜 원하는 최대 출력 전력을 얻을 수 있게 된다^[10].

그림 5는 앞서 설계한 메인 증폭기의 출력 매칭 네트워크를 포함하여 이단 도허티 구조를 적용한 전체 회로도 를 나타낸다. 구동 전력 증폭기로는 Cree사의 CGH40006P GaN HEMT 소자를 메인 증폭기와 마찬가지로 대칭 구조로 사용하였다. 이단 도허티 구조의 또 다른 장점으로, 일반적인 도허티 구조에서는 구동 증폭기의 부하 임피던스와 메인 증폭기의 전원 임피던스(source impedance)가 각각 50 Ω으로 매칭이 되어야 하지만, 구동 증폭기의 부하 임피던스가 메인 증폭기의 전원 임피던스로 변하도록 인터스테이지 매칭 네트워크를 설계하여 회로를 더욱 단순화하였다. 입력 전력 분배기로는 3 dB 90°하이브리드 커플러(hybrid coupler)를 사용하였고, 10 pF 직렬 커패시터를 각 매칭단에 DC 블록(DC blocking)을 위해 추가하였다. 앞서 언급했던 것처럼 피킹 증폭기 출력단에 오프셋 라인은 없고, 캐리어 증폭기의 임피던스 반전을 위한 전송선로의 길이는 90°보다 짧은 74.8°의 전기적 길이로 설계되었다.

III. 제작 및 측정 결과

그림 6은 최종 제작된 3.5 GHz 이단 도허티 전력증폭기 회로를 나타낸다. PCB 기판은 Rogers의 RO4350B를 사용했으며, 유전율 3.78, 두께 20 mil, 회로의 크기는 120×160 mm²이다. 캐리어 구동 전력 증폭기의 게이트 전압은 -2.7 V, 대기전류(quiescent current)는 35 mA로 설정하였고, 캐리어 메인 전력 증폭기의 게이트 전압은 -2.6 V, 대기전류는 46 mA로 설정하였다. 피킹 전력 증폭기의 경우에는 구동 증폭기의 게이트 전압은 -5.7 V, 메인 증

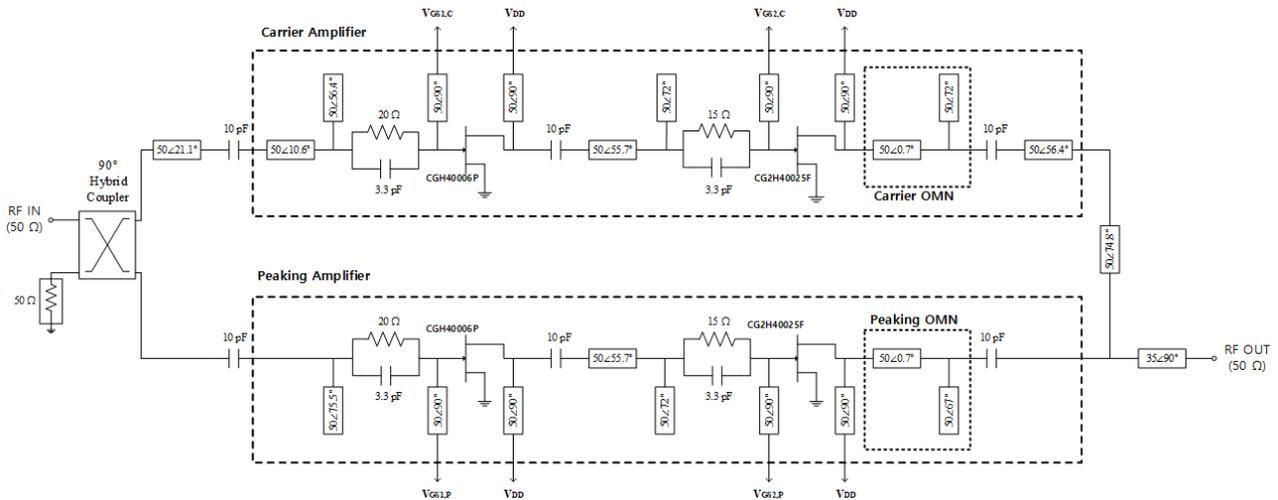


그림 5. 제안하는 Doherty PA의 회로도
Fig. 5. Schematic of the proposed DPA.

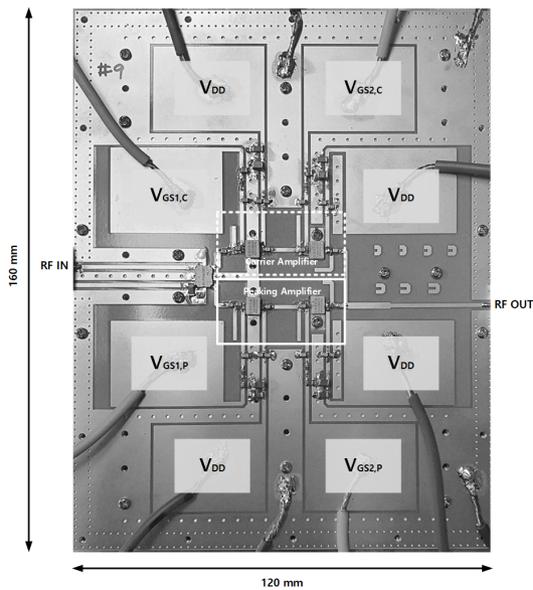


그림 6. 제작된 이단 도허티 전력 증폭기 회로
Fig. 6. Implemented two-stage Doherty PA.

폭기의 게이트 전압은 -5.0 V로 설정하였다. 모든 전력 증폭기의 드레인 전압은 28 V로 설정하였다.

그림 7은 3.5 GHz 중심주파수에서 10% duty cycle의 CW 신호로 측정된 DE(drain efficiency), PAE(power added efficiency), 전력 이득의 결과와 시뮬레이션 결과를 비교하여 나타내었다. 추가로 일반적인 1단 도허티 구조와의

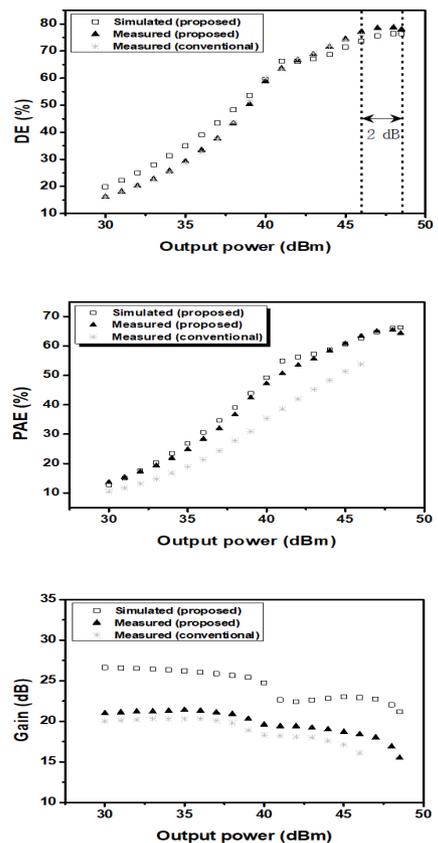


그림 7. CW 신호에 대한 시뮬레이션/측정 결과
Fig. 7. Simulated and measured DE, PAE, and gain using the CW signal.

성능비교를 위해 피킹 구동 증폭기의 게이트 전압을 캐리어 구동 증폭기와 동일하게 설정하고, 본 논문에서 제시한 조건과 동일한 출력 전력에서 피킹 메인 증폭기가 동작하도록 메인 게이트 전압을 설정하여 대조군을 측정하였다. 이 때 각 케이스의 출력전력에 따른 피킹 전류 시뮬레이션 결과를 그림 8에 나타내었다. 그림 8에서는 본 논문에서 제안된 구조의 전력 증폭기의 최대 피킹 전류가 일반적인 1단 도허티 구조대비 약 0.5 A 증가한 것을 확인할 수 있고, 이에 따라 실제 측정 결과에서도 최대 출력 전력이 약 2 dB 증가한 것을 그림 7에서 확인할 수 있다. 최대 출력전력은 48.5 dBm으로 해당 출력에서 DE는 77.9%, PAE는 64.3%, 백오프 7.5 dB가 된 41 dBm의 출력 전력에서의 DE는 63.5%, PAE는 50.6%의 성능을 보여준다. 전력 이득은 시뮬레이션과 비교하여 약 3 dB 감소하였으나 41 dBm의 출력전력에서 19.4 dB의 전력이득을 확보하였다. 그림 9는 중심주파수 3.46 GHz부터 10 MHz 간격으로 3.54 GHz까지 변조신호를 이용해 측정한 DE,

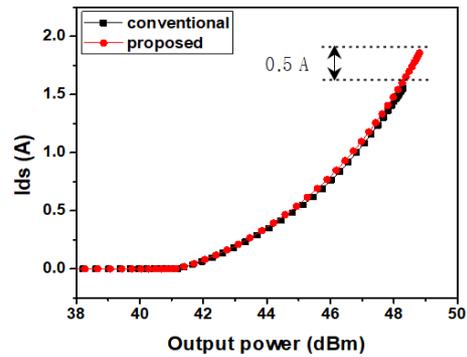


그림 8. 본 논문에서 제시된 구조와 일반적인 도허티 구조에서의 출력 전력에 따른 피킹 전류 값 비교
Fig. 8. Comparison of the currents of the conventional and proposed peaking amplifiers according to the output power level.

PAE, 전력 이득, ACLR 결과를 나타낸다. 측정에 사용된 변조신호는 PAPR 7.5 dB, 대역폭 20 MHz의 LTE신호를 사용하였다. 해당 LTE 신호로 측정하였을 때 41 dBm의

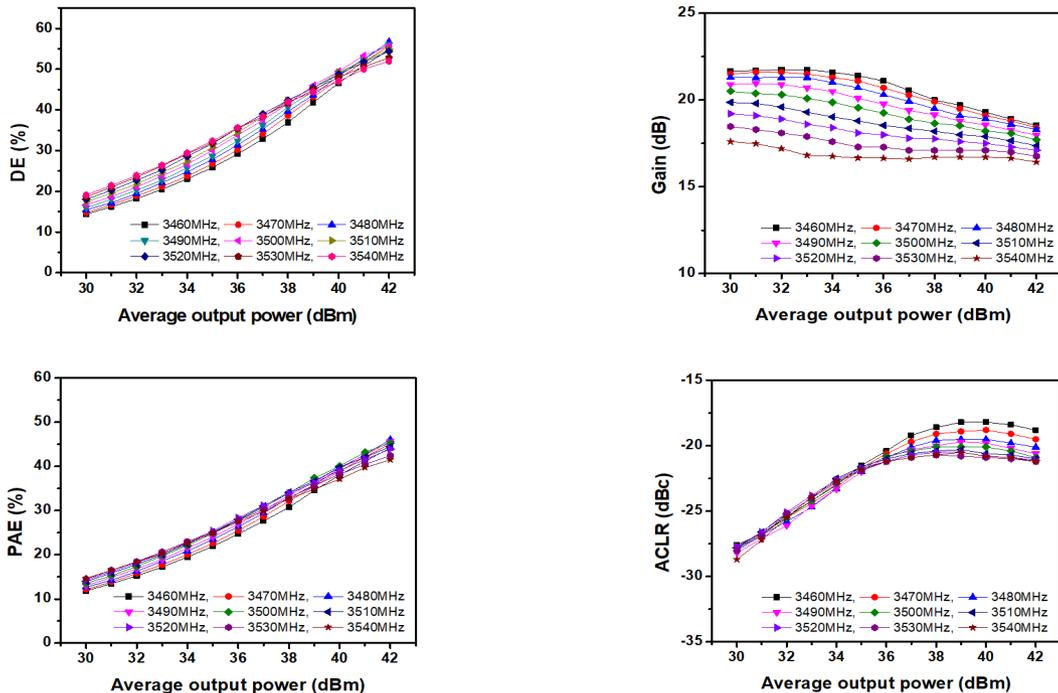


그림 9. Modulation 신호 (LTE 20 MHz 1FA)에 대한 주파수별 측정 결과
Fig. 9. Measured DE, PAE, gain, ACLR of the implemented DPA using the LTE 20 MHz signal for the frequency band of from 3.46 to 3.54 GHz.

평균 전력에서 DE는 50~53.3 %, PAE는 39.7~43.2 %, 전력 이득은 16.6~18.9 dB, ACLR은 -18.4~-21 dBc의 결과를 얻었다. 그림 10은 중심주파수 3.5 GHz, 41 dBm의 평균전력에서 앞서 측정된 LTE신호로 디지털 전치 왜곡(digital pre-distortion) 기법을 이용하여 전력 스펙트럼 밀도(power spectrum density)를 측정된 결과이다. 디지털 전치 왜곡 기법 적용 후 ACLR은 -45 dBc를 확보하였다. 표 2에 이번 연구와 관련된 이전 연구 결과들과의 성능비교를 정리하였다. 전력 이득과 DE 측면에서 보았을 때, 제작된 전력 증폭기가 이전의 연구결과들과 비교하여 좋은 성능을 나타내는 것을 확인할 수 있다.

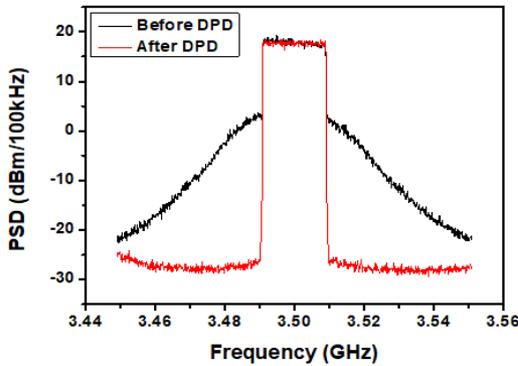


그림 10. LTE 20 MHz 신호를 사용하여 중심주파수 3.5 GHz에서 측정된 PSDs

Fig. 10. Measured PSDs of the implemented DPA at 3.5 GHz.

표 2. 이전 관련 연구 결과들과 성능 비교

Table 2. Performance comparison to the previous works.

Ref.	Freq. (GHz)	Gain (dB)	P_{sat} (dBm)	DE_{sat} (%)	P_{avg} (dBm)	DE at P_{avg} (%)	OBO* (dB)	ACLR** (dBC)	PAPR (dB)	Signal BW (MHz)
[10]	2.655	25	54.2	71	47.8	53	6.4	-30 / N/A	6.5	10
[11]	3.5	N/A	46	63	37.8	51	8.2	-43 / -50	8.5	10
[12]	3.5	7	45	52	N/A	N/A	N/A	N/A	N/A	N/A
[13]	3.5	9	49.5	63	40.4	42.5	9.1	-29 / -48	8.5	100
[14]	3.45	N/A	46.8	64	39.4	49.5	7.4	-31 / -46	6.9	60
[15]	3.5	12.6	43	78.8	N/A	N/A	N/A	N/A	N/A	N/A
[16]	3.5	8	48.5	59.5	39.5	42	9	-25 / -47	8.5	100
This work	3.5	19.4	48.5	77.9	41	53.3	7.5	-19 / -45	7.5	20

* Output power Back-Off, ** Before DPD/After DPD.

IV. 결 론

본 논문에서는 3.5 GHz 대역에서 캐리어와 피킹 대칭 구조로 백오프 출력을 확장시킨 이단 도허티 전력 증폭기를 제시하였다. 피킹 증폭기의 오프셋라인을 없애고, 피킹 증폭기를 들여다본 임피던스를 출력 매칭 네트워크 설계에 활용하여 회로의 사이즈를 줄이고, 백오프 출력을 확장시켰다. 로드풀 시뮬레이션을 통해 얻은 R_{opt} 값을 포함하여 ABCD 파라미터를 계산을 통해 피킹 증폭기의 출력 매칭 네트워크를 설계하였고, 이를 그대로 캐리어 증폭기의 출력 매칭 네트워크에 적용하여 설계 복잡도를 줄일 수 있었다. 또한 일반적인 1단 도허티 구조의 게이트 전압 조건에서 피킹 증폭기 전류가 감소하여 출력 전력이 2 dB 줄어드는 것을 극복하기 위해 2단 도허티 구조를 적용하였다.

제작된 이단 도허티 전력 증폭기는 3.5 GHz에서 10 % duty cycle을 가진 펄스 CW신호를 이용하여 48.5 dBm의 출력전력에서 DE 77.9%, PAE 64.3 %, 7.5 dB 백오프 된 41 dBm에서는 DE 63.5 %, PAE 50.6 %의 성능을 확보하였다. 또한 41 dBm의 출력전력에서 19.4 dB의 전력 이득을 나타냈다. PAPR 7.5 dB의 LTE 20 MHz 신호에 대해 평균 전력 41 dBm에서 DE 53.3 %, PAE 43.2 %와 전력 이득 18 dB의 성능을 얻었다. ACLR은 DPD 동작 전 -19.1 dBc, 동작 후에는 -45.2 dBc를 확보하였다.

References

- [1] A. Grebennikov, S. Bulja, "High-efficiency Doherty power amplifiers: Historical aspect and modern trends," in *Proceedings of the IEEE*, vol. 100, no. 12, pp. 3190-3219, Dec. 2012.
- [2] B. Kim, J. Kim, I. Kim, and J. Cha, "The Doherty power amplifier," *IEEE Microwave Magazine*, vol. 7, no. 5, pp. 42-50, Oct. 2006.
- [3] J. Xia, M. Yang, and X. Zhu, "Linearized asymmetrical GaN Doherty power amplifier with 100 MHz instantaneous bandwidth at 3.5 GHz," in *2013 IEEE MTT-S International Microwave Workshop Series on RF and Wireless Technologies for Biomedical and Healthcare Applications(IMWS-BIO)*, Singapore, 2013, pp. 1-3.
- [4] J. Kim, J. Cha, I. Kim, and B. Kim, "Optimum operation of asymmetrical-cells-based linear Doherty power amplifiers-uneven power drive and power matching," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 5, pp. 1802-1809, May. 2005.
- [5] J. Son, I. Kim, J. Moon, J. Lee, and B. Kim, "A highly efficient asymmetric Doherty power amplifier with a new output combining circuit," in *2011 IEEE International Conference on Microwaves, Communications, Antennas and Electronic Systems(COMCAS 2011)*, Tel Aviv, 2011, pp. 1-4.
- [6] V. Grams, A. Seidel, P. Stärke, J. Wagner, and F. Ellinger, "Analysis and design of an asymmetric Doherty power amplifier at 2.6 GHz using GaAs pHEMTs," in *2019 IEEE International Conference on Microwaves, Antennas, Communications and Electronic Systems(COMCAS)*, Tel-Aviv, 2019, pp. 1-3.
- [7] J. Kim, J. Moon, D. Kang, S. Jee, Y. Y. Woo, and B. Kim, "Doherty power amplifier design employing direct input power dividing for base station applications," in *40th European Microwave Conference*, Paris, Sep. 2010, pp. 866-869.
- [8] J. Moon, J. Kim, J. Kim, I. Kim and B. Kim, "Efficiency enhancement of Doherty amplifier through mitigation of the knee voltage effect," *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, no. 1, pp. 143-152, Jan. 2011.
- [9] J. Xia, M. Yang, Y. Guo, and A. Zhu, "A broadband high-efficiency Doherty power amplifier with integrated compensating reactance," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 7, pp. 2014-2024, Jul. 2016.
- [10] H. Lee, J. Kwon, W. Lim, W. Lee, H. Kang, and K. C. Hwang, et al., "Optimized current of the peaking amplifier for two-stage Doherty power amplifier," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 1, pp. 209-217, Jan. 2017.
- [11] S. Honda, S. Sakata, Y. Komatsuzaki, and S. Shinjo, "Efficiency enhancement of GaN Doherty power amplifier at large power back-off with virtual short stub technique," in *2019 IEEE Asia-Pacific Microwave Conference(APMC)*, Singapore, 2019, pp. 294-296.
- [12] J. R. Lopera, J. Mayock, Q. Sun, M. Gadringer, W. Bösch, and E. Leitgeb, "A 3.5 GHz high power GaN hybrid Doherty power amplifier with dynamic input power splitting for enhanced power added efficiency at backoff," in *2021 IEEE Topical Conference on RF/Microwave Power Amplifiers for Radio and Wireless Applications(PAWR)*, San Diego, CA, 2021, pp. 1-4.
- [13] J. Xia, X. Zhu, L. Zhang, J. Zhai, and Y. Sun, "High-efficiency GaN Doherty power amplifier for 100-MHz LTE-advanced application based on modified load modulation network," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 8, pp. 2911-2921, Aug. 2013.
- [14] C. Fan, X. Zhu, J. Xia, and L. Zhang, "Efficiency enhanced class-F Doherty power amplifier at 3.5 GHz for LTE-advanced application," in *2013 Asia-Pacific Microwave Conference Proceedings(APMC)*, Seoul, 2013, pp. 707-709.
- [15] Q. Liu, S. He, and W. Shi, "Design of 3.5 GHz linear

high-efficiency Doherty power amplifier with pre-matching," in *2015 Asia-Pacific Microwave Conference(APMC)*, Nanjing, 2015, pp. 1-3.

[16] J. Xia, M. Yang, and X. Zhu, "Linearized asymmetrical GaN Doherty power amplifier with 100 MHz instan-

taneous bandwidth at 3.5 GHz," in *2013 IEEE MTT-S International Microwave Workshop Series on RF and Wireless Technologies for Biomedical and Healthcare Applications(IMWS-BIO)*, Singapore, 2013, pp. 1-3.

고 길 응 [성균관대학교/석사과정]

<https://orcid.org/0000-0001-6632-1876>



2014년 2월: 한양대학교 융합전자공학부 (공학사)
2014년 1월~현재: 삼성전자 책임연구원
2020년 3월~현재: 성균관대학교 DMC공학과 석사과정
[주 관심분야] RF Power Amplifier, Digital Predistortion (DPD) Techniques

최 영 찬 [성균관대학교/석사과정]

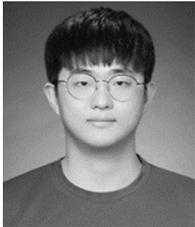
<https://orcid.org/0000-0002-4510-4685>



2020년 2월: 성균관대학교 전자전기공학부 (공학사)
2020년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
[주 관심분야] Design of RF Power Amplifiers for Basestations, Broadband Techniques, and MMICs.

최 우 진 [성균관대학교/박사과정]

<https://orcid.org/0000-0003-4365-1519>



2018년 2월: 성균관대학교 전자전기공학부 (공학사)
2018년 3월~현재 : 성균관대학교 전자전기컴퓨터공학과 박사과정
[주 관심분야] Design of RF Power Amplifiers for Basestations, Broadband Techniques, and MMICs.

양 영 구 [성균관대학교/교수]

<https://orcid.org/0000-0003-3463-0687>



1997년 2월: 한양대학교 전자공학과 (공학사)
2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)
2020년 3월~2020년 7월: 포항공과대학교 전자전기공학과 박사후 연구원
2002년 8월~2005년 2월 : Skyworks Solutions Inc., Senior Electronic Engineer
2005년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 교수
[주 관심분야] RF/mm-Wave Power Amplifiers and RF Transmitters.

강 현 욱 [삼성전자/책임연구원]

<https://orcid.org/0000-0003-4938-890X>



2014년 2월: 목포해양대학교 전자공학과 (공학사)
2020년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학박사)
2020년 3월~현재: 삼성전자 책임연구원
[주 관심분야] RF Power Amplifier Design and Linearity and Efficiency Improvement

Techniques.