THE JOURNAL OF KOREAN INSTITUTE OF ELECTROMAGNETIC ENGINEERING AND SCIENCE. 2021 April.; 32(4), 407～410.

http://dx.doi.org/10.5515/KJKIEES.2021.32.4.407
ISSN 1226-3133 (Print) · ISSN 2288-226X (Online)

CMOS 28 nm 직렬-병렬 변환기 설계

CMOS 28 nm Serial-to-Parallel Converter Design

김 민 수[1]

Min-Su Kim[1]

요 약

본 논문은 28 nm CMOS 공정을 이용하여 설계된 직-병렬 변환기(serial-to-parallel converter, S^2P)를 제작하고 검증한 결과를 나타내었다. 많은 정적 제어를 포함한 5G 시스템의 제어를 위해서 설계된 직-병렬 변환기는 160 bit의 출력을 포함하고 있으며, 검증을 위해서 NI-FPGA를 사용하여 측정되었다. 일반적인 직-병렬 변환기와 비교하면, 출력 8 bit를 바이트 단위 할당하여 원하는 출력 bit가 포함된 출력만을 빠르게 변환할 수 있게 된다. 설계된 칩은 입출력 패드, 버퍼 증폭기를 제외하고, 53 μm×53 μm의 크기로 제작되었다. 이때 소비 전류는 0.9 V 공급 전압에 0.21 μA이며, 40 MHz 클록 주파수에서 직-병렬 데이터 변환 결과를 나타내었다.

Abstract

In this study, a serial-to-parallel converter was designed and implemented using 28 nm CMOS processes. For the control of 5G systems with several static controls, the designed serial-to-parallel converter contains an output of 160 bits and was measured using NI-FPGA for verification. Compared to a general serial-to-parallel converter, it is feasible to quickly convert only the output containing the desired output bit by allocating the output 8 bits in bytes. The designed converter was manufactured in the size 53 μm×53 μm excluding input/output pads and buffer amplifiers. The current consumption for it was 0.21 μA at 0.9 V supply voltage. The result of serial-to-parallel data conversion at 40 MHz clock frequency is demonstrated herein.

Key words: Serial-to-Parallel Converter, Digital Controller, 5G System, Low Power, Static Control

Ⅰ. 서 론

최근 통신을 위한 시스템들은 많은 데이터의 송수신을 위해 더 복잡한 제어 회로들과 더 빠른 동작의 인터페이스 설계를 요구받고 있다[1],[2]. 특히 여러 개의 능동 위상 배열 안테나들이 동시에 동작해야 하는 28 GHz 대역 5 G 통신 시스템의 경우, 외부 조건에 따라 달라질 수 있는 시스템성능을 일정하게 유지하기 위해 다양한 조절 회로들을 도입하여 전기적 특성을 보상하고 있다[2]. 이러한 기술은 수동 위상 배열을 사용했던 기존 시스템과 비교하면 더 작은 면적과 높은 송수신 데이터 전송 효율을 가지게 된다. 이렇듯 5G 무선통신 시스템에서 외부 환경 변화에 따라 안테나 빔 조향 방향의 변화와 송수신 효율을 일정하게 유지하기 위한 다양한 제어기법이 필요하다. 안테

「본 연구는 IDEC에서 EDA Tool를 지원받아 수행하였습니다.」

대림대학교 디지털전자과(Department of Digital Electronics, Dealim University College)

1: 조교수 (https://orcid.org/0000-0002-7566-5408)

· Manuscript received January 21, 2021 ; Revised February 6, 2021 ; Accepted February 8, 2021. (ID No.20210121-008)

· Corresponding Author: Min-Su Kim (e-mail: msmy970@gmail.com)

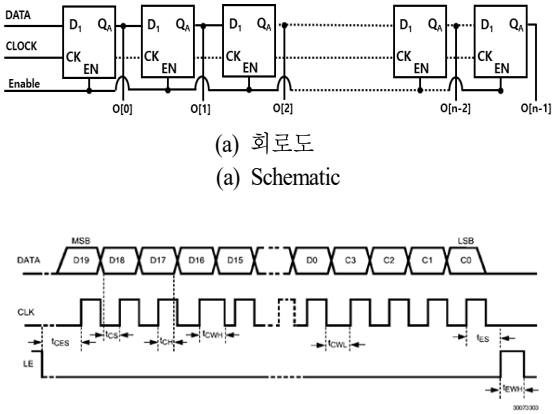
ⓒ Copyright The Korean Institute of Electromagnetic Engineering and Science. All Rights Reserved.

나 위상 조절을 위한 위상천이기 제어, 송신기의 전력 증폭기 제어, 그리고 수신기의 저잡음 증폭기 등의 여러 블록을 제어하는 방법은 대표적인 사례들로 볼 수 있다[2]. 일반적으로 제어회로는 실시간 제어기법을 적용해야 할 동적 제어회로와 실험적인 데이터를 기반으로 확보된 일정한 보상 값을 통해 제어되는 정적 제어 회로들로 구분된다. 동적 제어를 위한 회로의 경우, 사용하는 클록 주파수가 비교적 높아서, 기본적으로 제어회로가 고속 동작이 가능하도록 설계되어야 한다. 결국, 시스템의 복잡도가 상승하고, 이에 따른 소비 전력도 증가하는 단점을 갖는다. 따라서 이러한 문제점을 보완하는 목적으로, 동적 제어를 해야 하는 블록과 정적 제어를 필요로 하는 블록을 적절하게 분리하고, 이들을 각기 효율적으로 제어하는 방식들이 연구되면서, 궁극적으로 시스템의 복잡도와 소비 전력이 향상되고 있다[3].

본 논문에서는 5G 통신 시스템에서 정적 제어를 위한 직-병렬 변환기를 28 nm 최신 CMOS 공정을 활용하여 설계하였고, 그 동작은 측정을 통해 처음으로 실증하였다. 제안된 회로는 범용적으로 사용되는 시프트 레지스터 방식에서 벗어나, 원하는 출력만을 지정하여 데이터 변환이 가능하므로, 데이터 변환 시에 요구되는 시간을 줄일 수 있도록 설계되었다. 회로구조에 대한 보다 자세한 설명은 시뮬레이션 결과와 측정 결과와 함께 다음 장에서 기술할 예정이다.

Ⅱ. 본 론

그림 1(a)은 일반적인 직렬입력-병렬출력 레지스터를 가지는 구조의 직-병렬 변환기이다[3]~[7]. 데이터의 저장을 위해서 D-FF(D-flip flop) 로직 회로는 직렬로 구성되며, Date, Clock, 그리고 병렬출력을 위한 Enable의 입력 포트를 가지게 된다. 이때 출력 bit의 수는 원하는 수만큼의 D-FF 직렬연결로 설계할 수 있다. 그림 1(b)는 일반적인 직-병렬 변환기의 타이밍을 나타내고 있다. 데이터는 클록의 상승 또는 하향 에지를 기준으로 D-FF에 데이터가 이동되며, 마지막 D-FF에 데이터 이동이 완료되면, Enable 신호를 이용하여 병렬 출력하게 된다. 하지만 많은 제어가 필요할 경우, 출력의 bit 수만큼 데이터를 이동시켜야 하므로, 데이터 변환을 위해서 많은 시간이 필요



(a) 회로도
(a) Schematic

(b) 타이밍
(b) Timing diagram

그림 1. 일반적인 직-병렬 변환기
Fig. 1. The general serial-to-parallel converter.

하게 된다. 그래서 일반적인 직-병렬 변환 회로는 많은 제어가 필요한 시스템에 활용이 어려운 구조로 되어 있다. 하지만 많은 정적 제어가 필요한 최근 시스템들의 경우, 최적의 성능을 위해 많은 제어 bit가 포함된 회로가 설계되고 있으며, 원하는 출력 bit의 데이터만을 빠르게 변환해야 한다. 이를 위해서 일반적인 데이터 시프트의 직-병렬 회로에 원하는 출력을 지정하여 변환할 수 있는 구조 제안을 통해서 불필요한 시간과 소비 전력을 줄일 수 있는 구조가 필요하게 된다.

그림 2는 제안된 160 bit 출력을 가진 직-병렬 변환기 회로를 나타내고 있다. 이 제안된 회로는 일반적인 데이터 시프트 방식의 직-병렬 변환기 구조에 출력 8 bit를 하나의 그룹(byte)으로 묶어 원하는 그룹을 지정할 수 있는 주소를 가진 직-병렬 변환기로 설계되었다. 제안된 변환기는 원하는 출력 bit가 포함된 그룹을 지정하고, 선택적

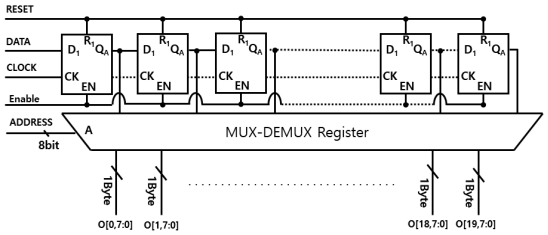


그림 2. 제안된 직-병렬 변환기의 회로도
Fig. 2. The proposed serial-to-parallel converter.

으로 데이터를 변환하여 일반적인 직-병렬 변환기보다 빠르게 데이터를 업데이트할 수 있는 장점이 있게 된다. 또한, 직-병렬 변환기는 디지털 로직으로 작은 면적과 간단한 코딩 설계로 가능하며, 5G 시스템을 위해 많이 사용되고 있는 나노 공정의 CMOS를 이용하여 추후 많은 정적 제어가 필요한 최신 시스템과 함께 집적할 수 있게 제작되었다.

그림 3은 제안된 회로의 데이터 변환 타이밍 post layout 시뮬레이션 결과를 나타내고 있다. 지정된 1번 byte의 출력 중 1번 bit에 해당하는 데이터 변환을 위해서 제안된 회로는 출력 O[1,1]에 필요한 데이터를 일반적인 직-병렬 변환기와 같이 8 bit 클록 주파수에 맞춰 이동시키게 된다. 이후 Enable 신호와 원하는 출력의 지정주소를 입력하여 변환하게 된다. 이때 원하는 bit의 출력 변환을 위해서는 단지 10 bit의 클록 시간만이 필요하게 된다. 이것은 일반적인 직-병렬 회로 구조의 경우, 160 bit의 클록 데이터와 1 bit의 Enable 신호가 필요하게 되어 161 bit 클록이 필요한 시간을 약 16분의 1을 줄일 수 있는 결과를 나타내었다. 이는 줄어든 불필요한 클록 시간과 해당하는 만큼의 소비 전력을 줄일 수 있게 된다.

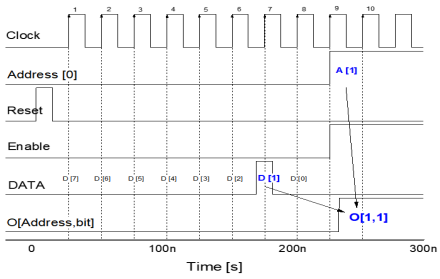


그림 3. 제안된 직-병렬 변환기의 타이밍도
Fig. 3. The timing diagram of proposed converter.

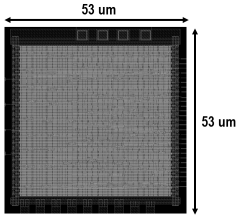


그림 4. 제안된 직-병렬 변환기의 레이아웃 및 사이즈
Fig. 4. The proposed layout and die size.

그림 4는 제안된 직-병렬 변환기의 레이아웃을 나타내고 있다. 칩은 28 nm CMOS 공정을 이용하여 설계되었으며, 0.9 V의 전원으로 동작한다. 직-병렬 변환기 칩은 53 μm×53 μm의 면적으로 제작되었다.

Ⅲ. 제작 및 측정 결과

그림 5는 제안된 직-병렬 변환기의 측정을 위한 테스트 벤치이다. 클록에 따른 성능 검증을 위해서 신호의 생성은 NI사의 USB-7845R FPGA를 사용하였다. 이외에 원하는 출력 확인을 위해 텍트로닉스 TDS-2024B의 오실로스코프와 전원공급장치로 검증되었다.

그림 6은 클록 주파수에 따른 첫 번째 주소에 할당된

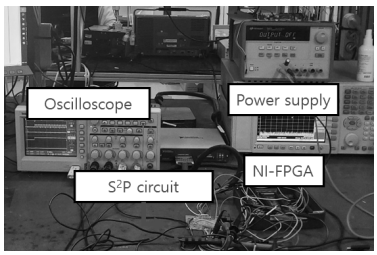
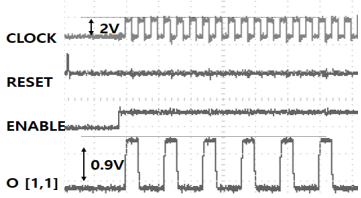
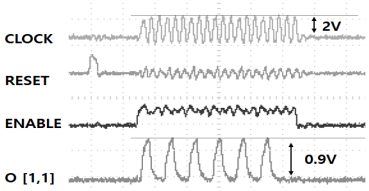


그림 5. 측정을 위한 벤치
Fig. 5. Test-bench for measurement.



(a) 10 MHz 클럭 결과
(a) 10 MHz clock frequency



(b) 40 MHz 클럭 결과
(b) 40 MHz clock frequency

그림 6. 클럭에 따른 출력 O[1,1] 측정 결과
Fig. 6. The measured output O[1,1].

표 1. 직-병렬 변환기 성능 비교
Table. 1. Performance comparison.

	Ref. [5]	Ref. [6]	Ref. [7]	This work
Process	0.2 μm pHEMT	0.5 μm pHEMT	0.5 μm pHEMT	28 nm CMOS
Supply vol.	5 V/2.5 V/ −5 V	0 V/5 V	0 V/−5 V	0 V/0.9 V
Output bits	16	6	12	160
Clk. [MHz]	20	10	20-50	40
Size [mm^2]	0.74	1.42*	2.64	0.0029
Power [W]	less 70 m	-	354 m	18.09 m#
* Estimated from photo, #exclude buffer power.				

1번째 bit의 출력 O[1,1]의 측정 결과를 나타내고 있다. 클록 주파수에 따른 데이터 변환 검증을 위해서 입력 데이터는 그림 출력과 같이 '100'의 데이터를 반복적으로 입력하였다. 그림 6(a)는 10 MHz의 클록을 이용한 결과이며, 그림 6(b)는 40 MHz 클록으로 측정된 결과이다. 이때 직-병렬 변환기를 위한 전원은 0.9 V가 공급되었으며, 이때 전류는 20.1 μA로 나타났다. Clock, reset, 그리고 enable 신호를 위해서 오실로스코프는 x축 해상도는 100 ns이고, y축은 2 V의 레벨로 세트업되었고, 출력 O[1,1]는 0.9V의 전압 레벨로 측정되었다. 표 1은 성능을 비교한 테이블이다.

결과에서처럼 정적 제어가 필요한 많은 출력 bit를 포함하는 시스템을 위해서 간단한 구성의 회로를 이용하여, 원하는 출력 bit를 빠르게 변환할 수 있는 직-병렬 변환기가 설계되었다.

Ⅳ. 결 론

본 연구에서는 정적데이터 제어가 필요한 시스템에서 다수의 출력을 그룹(byte)으로 묶어 고속의 데이터 변환이 가능하도록 28 nm 범용 CMOS 공정을 활용하여 직-병렬 변환기를 설계하였다. 160 bit의 출력 포트는 20개의 그룹으로 묶어 원하는 출력 bit가 포함된 그룹을 지정하여 데이터를 변환할 수 있다. 따라서 본 연구는 일반적으로 정적데이터 제어상황에서 발생해 온 불필요한 추가 데이터 변환 시간을 최적화하고, 이에 상응하는 소비 전력을 감소시킴으로써 고속 및 저전력 특성을 갖는 새로운 직-병렬 데이터 변환 회로를 제안하였다. 제안된 회로는 0.9 V의 공급 전원에서 0.21 μA의 전력만을 소비하였다.

References

[1] S. Anthony Salazar, E. René Játiva, "Performance evaluation of a communication system simulated at the 28 GHz 5G-mmWave band," in *2020 IEEE ANDESCON*, Quito, Oct. 2020, pp. 1-6.

[2] H. C. Park, D. Kang, S. Lee, B. Park, K. Kim, and J. Lee, et al., "4.1 A 39 GHz-band CMOS 16-channel phased-array transceiver IC with a companion dual-stream IF transceiver IC for 5G NR base-station applications," in *the Proceeding of IEEE International Solid-State Circuits Conference(ISSCC)*, San Francisco, CA, Feb. 2020, pp. 76-78.

[3] G. Stesev, D. Budanov, and E. Balashov, "Serial-to-parallel converter using GaSa D-mode transistors," in *2020 IEEE International Conference on Electrical Engineering and Photonics(EExPolytech)*, St. Petersburg, 2020, pp. 67-70.

[4] Y. Yamasaki, T. Nakamichi, Y. Kaihori, G. Cincotti, and T. Konishi, "100-GHz FrOFDM-based serial-to-parallel converter and QPSK modulation format applicability," *IEEE Journal of Selected Topics in Quantum Electronics*, vol. 27, no. 2, Mar.-Apr. 2020.

[5] A. de Boer, K. Mouthaan, "GaAs mixed signal multi-function X-band MMIC with 7 bit phase and amplitude control and integrated serial to parallel converter," in *2000 30th European Microwave Conference*, Paris, Oct. 2000, pp. 1-4.

[6] K. Wang, Z. Wang, G. Wang, H. Chen, Q. Zheng, and F. Yu, "Design of a low-insertion-phase-shift MMIC attenuator integrated with a serial-to-parallel converter," *IEICE Electronics Express*, vol. 14, no. 20, pp. 1-7. Oct. 2017.

[7] M. Harris, P. Gui, "A 12-bit serial-to-parallel converter using depletion-mode-only devices," in *2017 Texas Symposium on Wireless and Microwave Circuits and Systems (WMCS)*, Waco, TX, 2017, pp. 1-4.