

부분 해석 결합 모델을 이용한 커넥터의 효율적 해석 방법

Assembled Electromagnetic Simulation Method for Efficient Analysis of Connector Design

한준희 · 우기룡* · 최재우* · 나완수

Junhee Han · Giryoung Woo* · Jaewoo Choi* · Wansoo Nah

요 약

본 논문에서는 커넥터의 설계를 효율적으로 수행하기 위한 EM 시뮬레이션 및 분석 방법을 제안한다. 높은 동작 주파수를 갖는 시스템에서 사용되는 커넥터는 다양한 매질로 구성되며, 내부 선로 또한 복잡한 구조를 가지고 있기 때문에 선로의 불연속 부분의 각각을 임피던스 정합하기가 매우 어렵다. 따라서 설계 단계에서 이러한 임피던스 불연속을 예측 및 수정하는 과정은 필수이다. 또한 전체 시스템에 장착된 커넥터의 성능 저하 및 기판 사이의 전자기적 결합 현상을 사전에 파악하기 위해 EM 시뮬레이션을 통해서 특성을 예측하는 과정을 필수적으로 수행하게 되며, 따라서 시뮬레이션의 정확도 및 소요시간은 커넥터의 설계단계에서 중요하게 고려되어야 할 문제이다. 본 논문은 효율적인 시뮬레이션을 위하여 부분 해석 결합 모델을 제안하며, 해당 방법을 통해서 구한 S -파라미터를 이용해서 과도상태 시뮬레이션을 수행하고, TDR 임피던스를 추출하였다. 부분 해석은 특히 PCB 사이의 EM 커플링을 고려하여 커넥터와 주변 시스템으로 나누었으며, 각각 8×8 S -파라미터와 16×16 S -파라미터를 추출하였고, 측정을 위한 SMA 커넥터부의 2×2 S -파라미터를 포함한다. 끝으로 전체 전자기장 해석 모델, 부분 해석 결합 모델, 그리고 실측 데이터 사이의 결과, 비교를 통해서 본 논문에서 제시한 부분 해석 결합 모델이 유효함을 보였다.

Abstract

This paper presents a method for the efficient simulation and analysis of connector designs. Connectors used in a high-frequency system comprise various materials. Matching the impedance of the discontinuous part of the internal lines is difficult, owing to their complex structures. Therefore, it is essential to predict and modify the impedance discontinuity at the design stage. Moreover, the process of predicting the characteristics through electromagnetic (EM) simulations is essential to detect the deterioration in the performance of the connector installed in the system and the electromagnetic coupling between the boards. Therefore, the accuracy and time required for the simulations are important factors to be considered at the design stage of the connector. This paper proposes an assembled EM simulation method, which observes the scattering (S) parameter and time domain reflectometer impedance by performing transient analysis. To reduce the difference from the full EM simulation, the number of parts to be analyzed should be minimized. Thus, the full model is divided into connectors and peripheral systems to extract 8×8 , 16×16 , and 2×2 S -parameters of the Sub-Miniature version A connector, which is used for measurement. By comparing the results of the full EM simulation, the assembled EM simulation, and the measurement, the assembled EM simulation method proposed in this paper is validated.

Key words: Board to Board Connector, Full EM Simulation, Assembled EM Simulation, Transient Analysis, TDR Impedance

성균관대학교 전자전기컴퓨터공학과(Department of Electronic and Computer Engineering, Sungkyunkwan University)

*삼성전자 반도체사업부(Test & System Package (TSP), Samsung Electronics Co., Ltd)

· Manuscript received July 14, 2020 ; Revised August 3, 2020 ; Accepted March 12, 2021. (ID No. 20200714-058)

· Corresponding Author: Wansoo Nah (e-mail: wsnah@skku.edu)

I. 서 론

전통적으로 하드웨어 기술의 발전은 반도체 공정의 개선을 통한 회로의 집적도 향상을 지표로 삼아왔다. 그 결과, 나노단위의 공정까지 수행되면서 집적도 향상의 물리적 한계가 도래함에 따라 최근에는 소자 자체의 집적도 향상에 더해서 패키징 기반 시스템 설계에 중점을 두는 전략을 바탕으로 발전을 도모하고 있다. 특히 최근에 추세인 고속화, 저전력화를 위해 데이터 전송 속도가 수십 Gbps 단위 이상으로 증가하며, 저전력 설계의 요구 조건에 따라 전기적 결합과 임피던스 부정합이 신호 열화에 더더욱 영향을 미치게 된다. 이에 따라 패키징 기반 시스템통합 및 PCB(printed circuit board) 레벨에서의 설계의 중요성이 커지고 있다^[1].

이와 같이 고속화된 반도체 소자가 작동하거나 DUT로서 성능을 테스트하기 위해서는 고성능의 테스트 보드 및 고속 입출력 인터페이스 커넥터가 요구된다. 직렬 입출력 인터페이스(serial I/O interface)는 유선 통신 분야에 널리 적용되고 있는 기술로서 표 1과 같이 시스템의 동작 주파수가 증가함에 따라 10 Gbps 이상의 데이터 전송률까지 요구되고 있으며, 이에 따라 고속 디지털 시스템의 상호 연결(interconnection)방법에 대한 연구가 활발히 진행되고 있다^{[2],[3]}. 이 중 커넥터(connector)는 보드와 보드 또는 보드와 케이블을 연결하는 입출력 수동소자로 모든 전자회로에서 광범위하게 사용되고, 높은 신호 전달 특성이 요구된다^[4]. PCB 보드 레벨에서의 높은 신호 전달 특성을 확보하기 위한 신호 무결성(signal integrity) 연구는 많은 연구가 진행된 반면, 커넥터(connector)에서의 고주파 전달 특성에 대한 연구는 상대적으로 많이 진행되어 있지 않다.

신호 무결성 확보를 위해서는 커넥터 설계 시 임

피던스 불연속(impedance discontinuity)을 최소화하여 임피던스 정합(impedance matching)이 되도록 커넥터를 설계해야 한다^{[5]~[7]}. 그러나 실제작을 통해 측정 후 재설계를 하는 방법은 소요 시간과 금액을 고려했을 때 거의 불가능하므로, EM 시뮬레이션을 이용한 설계를 진행하게 되는 것이 필요하며, 이때 정확성과 소요 시간의 균형을 맞추는 것이 효율적인 설계에 중요한 요소를 차지하게 된다. 이때 커넥터 단품으로는 요구하는 신호 전달 특성을 만족시킬 수 있으나, 실제 제품에 적용되었을 경우, 양측(board to board, board to wire, wire to wire)간의 전자기적 결합 현상이 발생할 수 있으며, 미리 예측한 성능 이하로 성능 저하가 나타날 수 있다. 이 때문에 커넥터가 포함된 전체 시스템의 신호 전달 특성을 파악하기 위해서는 정확하고 안정적인 EM 시뮬레이션 모델이 필요하다. 그러나 3D 해석 시뮬레이션을 이용해 전체 시스템을 해석하기에는 시간이 과도하게 소요되기 때문에, 본 논문에서는 단일 종단 커넥터(single-ended connector)를 대상으로 분석을 진행하며, 소요시간 감소를 위해 부분 해석 결합 모델(assembled EM simulation)이라 명명한 효율적인 커넥터 시뮬레이션 방법을 제안한다. 삽입손실, 반사손실, TDR 임피던스 등 커넥터의 전기적 특성을 대상으로 하여 II장에서 전체 커넥터 시스템의 시뮬레이션을 수행하고, III장에서는 부분 해석 결합 모델을 통한 시뮬레이션을 수행한다. IV장에서는 실제 커넥터의 특성을 측정하여 전체 EM 시뮬레이션 및 부분 해석 결합 모델과의 결과를 비교, 분석하고 정합성을 판단하고자 한다.

II. 전체 커넥터 시스템의 전자기장 해석 (Full EM Simulation)

본 논문에서는 단일 종단 커넥터의 전기적 특성을 분석하기 위해 PCB 기판 사이를 연결하기 위한 Board to Board 커넥터 종류 중 삼텍(Samtec)사의 ERM5 & ERF5 커넥터를 선정하였다. 커넥터는 다양한 형태의 PCB 또는 주변 시스템을 연결해주는

표 1. 시스템 별 메인 동작 주파수

Table 1. Main operating frequency for each system.

PCI Express 4.0 (1 Lane)	SATA2	SATA3	USB 3.1
1.969 Gbps	3.0 Gbps	6.0 Gbps	10.0 Gbps

역할을 하기 위해서 180도, 90도, 또는 양면이 마주보는 형상으로 제작된다. 대상 커넥터는 PCB의 양면이 마주보는 형상의 커넥터로서 설계 단계에서 이를 고려하여 PCB를 제작하였다. 커넥터의 형상은 그림 1과 그림 2에 표현되어 있다. EM 시뮬레이션에 적용할 해석 주파수 대역은 최대 16 GHz이며, 이 해당 주파수 대역은 후에 분석할 TDR 임피던스에서 인가 신호의 전압 상승 시간(rising time)인 35 ps를 반영하기에 충분한 주파수이다. 그림에서 볼 수 있듯이, 커넥터의 양 측이 결합된 형태는 육면체

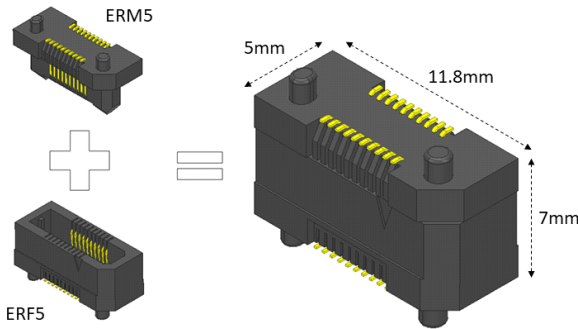


그림 1. 커넥터의 실제 형상 사진 (ERM5 (male), ERF5 (female))

Fig. 1. Picture of the actual shape of the connector (ERM5 (male), ERF5 (female)).

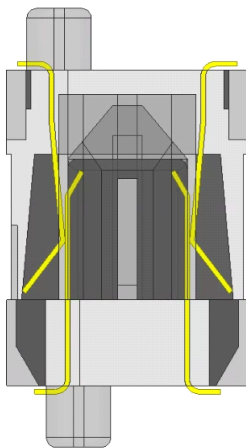


그림 2. 커넥터 핀의 체결 형상

Fig. 2. Pin mating in connector.

와 유사하며, 가로, 세로, 높이는 각각 5 mm, 11.8 mm, 7 mm이다. 상부 및 하부 커넥터가 체결되었을 시 신호가 전달되는 커넥터 핀의 길이는 점점에 따라 길이가 달라지나, 시뮬레이션 내에서는 7 mm로 설계하였다.

커넥터 제조사가 제공하는 정보로는 커넥터의 하우징은 LCP(liquid crystal polymer), 커넥터의 핀은 합금의 한 종류인 인청동(phosphor bronze)으로 제작되었다. 각 매질의 실제 전기적 특성 정보를 시뮬레이션 해석 시 사용하였으며, 표 2에 사용한 해당 매질을 나타내었다. LCP는 4.3의 유전율을 가지는 ‘LCP CEL i1’, 인청동은 1.56×10^7 siemens/m의 도전율을 가지는 ‘C2680’을 사용하였으며, $1.27 \mu\text{m}$, $0.1 \mu\text{m}$ 의 두께로 니켈과 금을 도금하였다.

본 논문에서 시뮬레이션 및 측정으로 얻어내고자 하는 커넥터의 특성은 신호의 전달 비율을 나타내는 삽입 손실(insertion loss), 신호의 반사율을 나타내는 반사 손실(return loss), 그리고 커넥터의 임피던스 매칭을 나타낼 수 있는 TDR 임피던스이다. 삽입 손실과 반사 손실은 각각 S-파라미터 요소 중 S_{21} 과 S_{11} 으로 나타낼 수 있다. 삽입 손실은 0 dB에 가까울수록 신호의 전달 특성이 좋으며, 반사 손실은 0 dB보다 낮은 값을 가질수록 시스템의 전달 특성이 좋음을 나타낸다. 이러한 특성을 얻어내기 위하여 유한 요소법(FEM: finite element method)을 기반으로 하는 ANSYS 사의 HFSS를 사용하여 커넥터 구조에 대한 3차원 전자장 시뮬레이션을 수행하였다. 본 논문에서 수행된 모든 전자장 시뮬레이션은 CPU AMD Ryzen Threadripper 2990WX 32-Core Processor 3.0 GHz, RAM 128 GB의 워크스테이션을 사용해 진행되었으며, 시뮬레이션 후 해석된 S-파라미터를 추출하여 커넥터의 삽입 손실과 반사 손실

표 2. 커넥터의 매질 및 도금

Table 2. Material of connector and plating.

Housing	LCP CEL i1
Pin	C2680
Plating	$0.1 \mu\text{m}$ gold over $1.27 \mu\text{m}$ nickel

을 분석하고 TDR 임피던스 분석을 위해 회로 시뮬레이터 내에서 과도상태(transient) 시뮬레이션을 진행하였다.

커넥터 단품의 특성은 EM 시뮬레이션이 가능하지만, 단품상태에서 특성을 실제로 측정하기는(프로빙) 대단히 어려우므로 커넥터와 측정기기를 연결해 주기 위한 추가적인 인터페이스가 필요하다. 대상 커넥터의 경우, PCB 보드와 보드를 이어주는 커넥터이므로 PCB 형태의 추가적인 test fixture를 사용하였다. 단일 종단 커넥터를 사용하는 대부분의 설비는 50 Ω 으로 종단되어 있으므로 PCB 선로는 이에 맞게 50 Ω 의 특성 임피던스를 갖도록 설계하였다. 그림 3은 설계한 PCB 기판의 구조를 보이고 있으며 각 선로는 폭 0.3 mm, SMA 커넥터부터 커넥터의 납땜부까지는 총 49 mm의 길이를 형성한다. 금속은 구리, 유전체는 유전율 4.2의 FR4를 적용하였으며, PCB 기판의 적층의 순서 및 높이는 표 3에 나타내었다. 해당 보드와 커넥터를 연결하여 실측을 진행할 시 SMA 커넥터를 사용하여 측정기기와 DUT를 연결하는 것을 고려하여 PCB의 형태는 양면이 같은 형태가 아닌 직사각형의 형태로 설계 및 제작하였다. 대상 커넥터 타입은 각 측면에 10개부터 75개까지의 핀을 포함하여 제작될 수 있으며, 본 논문에서 사용된 대상 커넥터는 한 측면에 10개의 핀, 즉 양측에 총 20개의 신호선로를 가진다. 다수의 신호를 전송할 시 각 선로는 신호전달 특성이 유사하게 형성되어야 한다. 이에 대한 평가를 위해 총 4개의 선로를 선택하였으며, 그림 3(d)에 선택된 선로를 나타내었다. 전체 시스템은 각 선로에 대해 2개의 포트가 발생하여 총 8개의 포트를 가지며, 선로 1(lane 1)은 포트 1에서 포트 5, 선로 2는 포트 3에서 포트 7, 선로 3은 포트 2에서 포트 6, 선로 4는 포트 4에서 포트 8에 해당한다. 이때 그림 3(d)에 빨간색으로 표시된 선로 1과 선로 3, 파란색으로 표시된 선로 2와 선로 4는 기하학적으로 서로 동일하며, 뒤에서 시뮬레이션 결과와 비교하여 동일성이 확인된다.

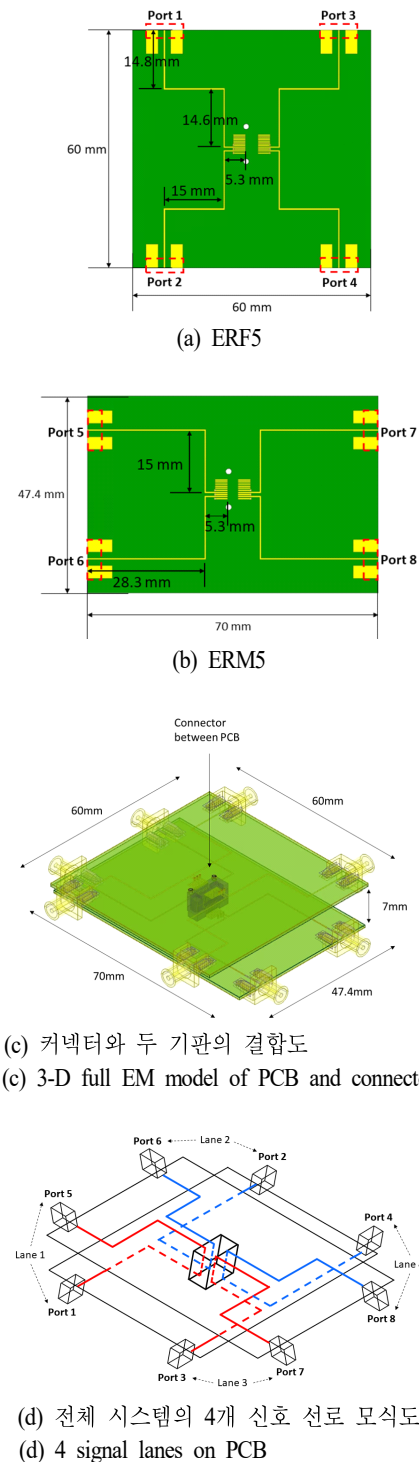


그림 3. Test fixture 기판 및 커넥터와의 결합 형태

Fig. 3. Test fixture PCBs', connector, and assembled structure of them.

표 3. PCB 기판의 적층 구조

Table 3. Information of PCB lamination.

Material of layer	Height of layer
1 st Layer (signal)	0.018 mm
FR4	0.18 mm
2 nd Layer (ground)	0.018 mm
FR4	0.6 mm
3 rd Layer (ground)	0.018 mm
FR4	0.18 mm
4 th Layer (ground)	0.018 mm

III. 커넥터의 부분 해석 결합 모델 (Assembled EM Simulation)

본 논문에서는 효율적인 커넥터의 성능 예측을 위한 시뮬레이션으로 부분 해석 결합 모델을 제안한다. 시뮬레이션의 특성상 정확도와 소요 시간 사이의 균형을 고려해야 하는데, 커넥터와 PCB 구조의 복잡성으로 인한 소요 시간의 증가는 선형적이지 않다. 따라서 효율적인 시뮬레이션을 위해 구조를 단순화하거나 분할 해석을 진행해야 한다. 또한 실측에 사용되는 SMA 커넥터의 영향이 고려되어야 하며, 이 때 SMA 커넥터 부분을 분리하여 해석을 진행하면 크게 소요 시간을 줄일 수 있다. 그림 4는 부분 해석 결합 모델의 개념도로서, 커넥터, PCB, 그리고 SMA를 개별적으로 해석한 뒤 회로적으로 각각의 S-파라미터를 결합하여 하나의 시스템으로 해석한다. 각 선로의 신호 흐름은 SMA, upper PCB, connector(female&male), lower PCB, SMA의 순서로 진행되며, upper PCB와 lower PCB는 따로 해석하지 않고 함께 해석하여 전자기적인 결합을 반영한다. 이때 전체 전자기장 해석과 부분 해석 결합 모델의 차이가 발생하는 원인을 최소한으로 줄이기 위해 해석을 진행할 부분의 수와 크기를 결정한다.

그림 5는 본 시뮬레이션에서 사용한 SMA부의 3D 모델을 나타내며, 구해진 신호 전달특성은 8개의 SMA에서 모두 사용되었다.

그림 6(a) 및 그림 6(b)는 부분 결합모델에서 사용된 upper/lower PCB를 보이며, 그림 5의 SMA에 포

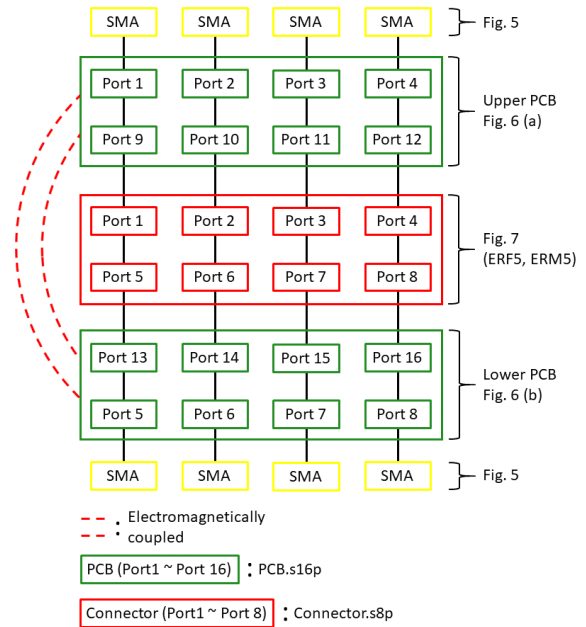


그림 4. 부분 해석 결합 모델의 개념도

Fig. 4. Schematic of assembled EM simulation.

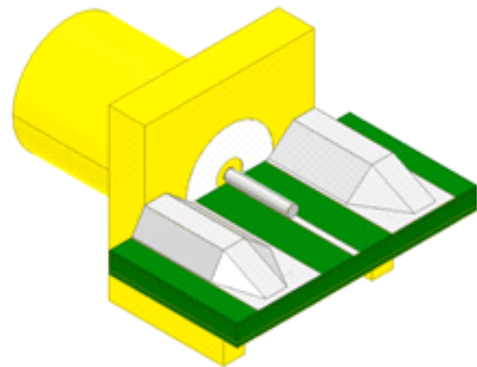


그림 5. SMA 커넥터의 3D 모델링

Fig. 5. 3D modeling of SMA connector.

함된 작은 PCB의 길이와 그림 7의 커넥터와 함께 해석된 작은 PCB의 길이를 제외하여 해석에 사용할 PCB 기판의 크기를 정의하였다. 그리고 upper PCB에서는 포트 1~포트 4의 신호가 포트 9~포트 12까지 전달이 되며, 그 이후는 ERF5 커넥터가 연결된다. Lower PCB에서는 ERM5 커넥터로부터 연결된 포트 13~포트 16의 신호가 포트 5~포트 8까

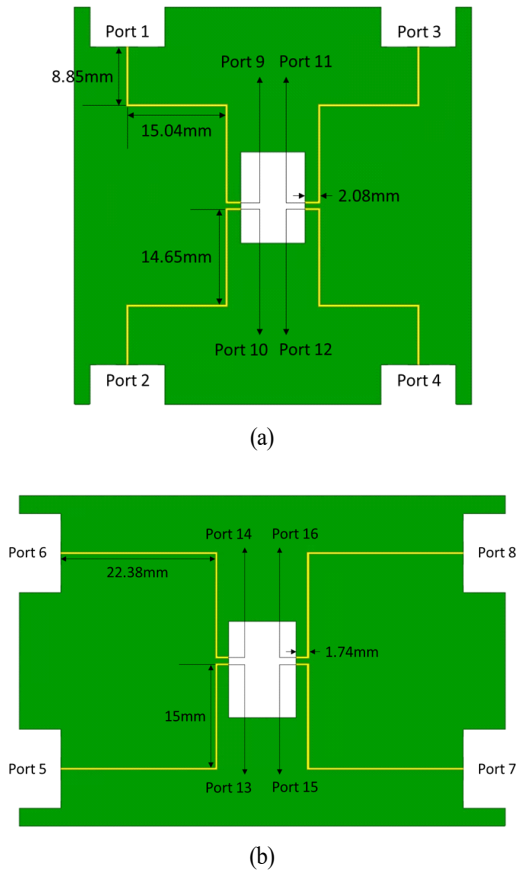


그림 6. 부분 해석 결합 모델의 test fixture PCB
Fig. 6. Test fixture PCB of assembled EM simulation.

지 전달이 되며, 그 이후에 각각 SMA에 연결이 되게 된다. 즉, PCB 시스템은 16개의 포트를 설정해서 해석을 진행하였다.

그림 7은 작은 PCB를 포함한 커넥터부의 EM 모델을 보이며, 위쪽에 4개의 포트, 아래쪽에 4개의 포트, 총 8개의 포트를 정의하여 시뮬레이션을 진행하였으며, 이 부분의 포트 정의는 그림 4의 빨간색 부분과 일치한다.

종합하면, 2×2의 SMA S-파라미터 8개, 8×8의 커넥터 S-파라미터, 그리고 16×16의 PCB(upper & lower) S-파라미터가 해석 결과로 얻어지게 된다. 전체적인 포트의 상호 연결 관계는 그림 4와 같으며, 윗면 PCB는 ERF5와, 아랫면 PCB는 ERM5와 연결되게 된다. 이때 그림 4에 표현되어 있는 Upper

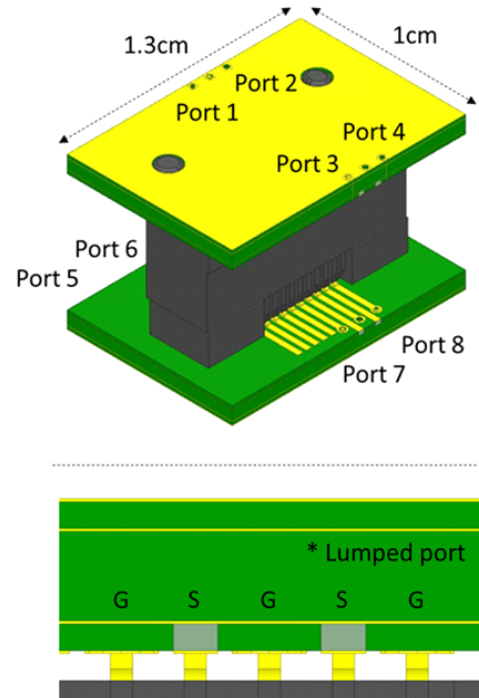
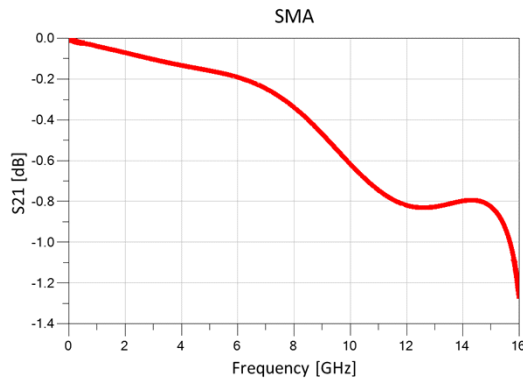


그림 7. 부분 해석 결합 모델에서의 커넥터 형상 및 포트 설정
Fig. 7. Connector 3D modeling and port setting in assembled EM simulation.

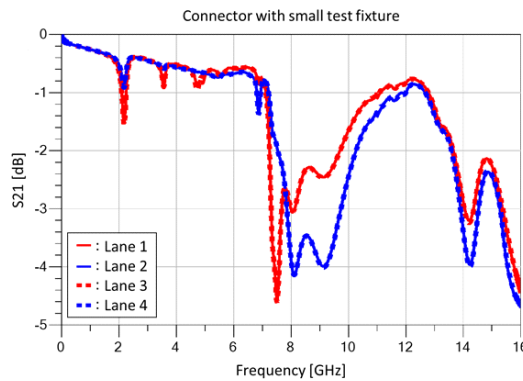
PCB와 Lower PCB는 서로 연결이 되어 있지 않고 전자기적으로만 결합되어 있어서 16 포트를 가지는 S-파라미터로 해석이 된다.

위와 같이 해석을 진행할 부분의 수를 정의한 이후 해석할 각 모델의 크기를 정의한다. 현재 전체 시스템에서 가장 큰 임피던스 불연속 지점과 전자기 결합 현상이 나타나는 곳은 커넥터와 PCB가 연결되는 부분이다. 해당 영향을 고려하기 위하여 그림 7에 표시된 것과 같이 커넥터와 작은 PCB를 함께 해석하였다. 그림 7의 아랫부분과 같이 PCB에 lumped port로 설정하여 표현하였다.

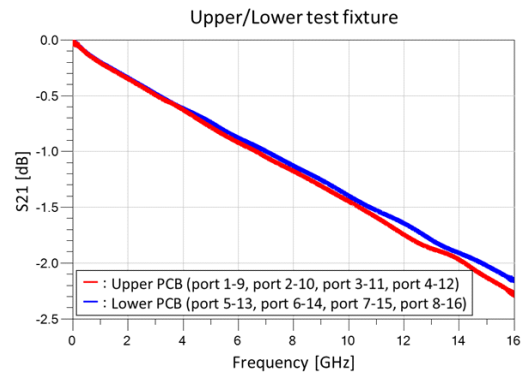
그림 8에 부분 해석 결합 방법에 사용된 각 부분별 전달 특성을 나타내었다. 그림 8(a)는 SMA의 전달특성을 나타내며, 커넥터에 작은 PCB를 포함한 경우의 전달특성을 그림 8(b)와 같이 나타내었다. 이 경우, 선로 1과 선로 3, 선로 2와 선로 4가 각각 동



(a) SMA
(a) SMA



(b) 작은 PCB를 포함한 커넥터
(b) Connector with small PCB



(c) 윗면/아랫면 test fixture의 신호 선로
(c) Upper/lower test fixture PCB's signal trace in ERF5, ERM5

그림 8. 해석을 실시한 부분 별 삽입손실
Fig. 8. Insertion loss for each part in assembled EM simulation.

일한 결과를 나타냈으며, 6~10 GHz에서의 공진이 포함되었음을 확인할 수 있다. 그림 8(c)는 위쪽 PCB 및 아래쪽 PCB 선로의 전달특성을 보이며, 위쪽과 아래쪽 각각 4개씩 정확하게 동일한 특성을 나타냄을 알 수 있다.

그림 9에 최종적으로 정해진 부분 해석 모델들의 형상과 전자기장 시뮬레이션 이후 회로를 통해 결합될 가상 결합도를 나타내었다. PCB에서 설정한 신호의 포트 위치가 표시되어 있으며, 포트 1~8의 위치는 그림 6의 Upper/Lower PCB에서의 포트 1~8과 동일하다. 즉, 포트 1~8은 전체 시뮬레이션에서 사용한 포트이며, 실제로 측정기기(VNA)에 연결되는 포트들이다. 전체적인 정합성의 비교는 뒤에 기술되며, 선로 1과 선로 3, 선로 2와 선로 4가 각각 동일한 결과를 나타내었다. 표 4는 각 시뮬레이션

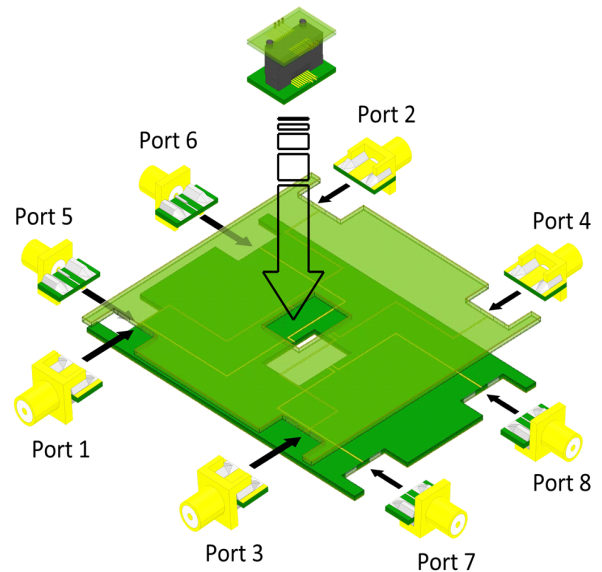


그림 9. 부분 해석 모델의 가상 결합도
Fig. 9. Assemble diagram for assembled EM simulation.

표 4. 시뮬레이션 방법 별 소요시간

Table 4. Time required for each simulation method.

Full EM simulation	over 170 hour
PCB EM simulation	08:14:28
Connector EM simulation	34:09:38
SMA EM simulation	00:07:04

방법이 해석을 완료하는 데 소요된 시간이다. 실제 해석에 소요되는 시간은 기기의 성능과 사용되는 CPU의 코어수에 따라 달라질 수 있지만, 전체 전자기장 해석에 비해 부분 해석의 소요시간이 대폭 감소하므로 커넥터의 설계 단계에서 매우 효율적인 방법으로 사용할 수 있다.

IV. 커넥터의 전달 특성 측정 및 분석

본 논문에서는 ERM5, ERF5 커넥터에 대하여 50 옴의 선로 임피던스를 가지는 PCB를 설계 및 제작하였다. 그림 10은 커넥터의 측정이 가능하도록 제작된 PCB와 커넥터, 그리고 SMA를 납땜한 사진을 보인다. 측정장비는 최대 26.5 GHz까지 측정 가능한 Agilent사의 N5222A를 사용하였다. 측정시에는 관심 주파수 대역인 16 GHz까지의 측정을 진행하였으며, 앞서 설정한 선로 중에서 선로 1과 대각선으로 가장 멀리 있는 선로 4를 대상으로 반사 손실을 의미하는 S_{11} , S_{22} 와 삽입 손실을 의미하는 S_{12} , S_{21} 을 측정하였다. 그림 9에 선로 1과 선로 4에 대한 SMA 커넥터가 표시되어 있다. VNA의 포트 1이 ERF5에 연결되며, VNA의 포트 2가 ERM5에 연결된다. 측정의 구성은 그림 11과 같이 VNA와 DUT로 구성되어 있다. 실제 신호가 전달되는 선로를 붉은색과 파란색으로 표현하였다. 그림과 같이 측정 기기의 포트 1에서 동축 케이블을 통해 윗면에 해

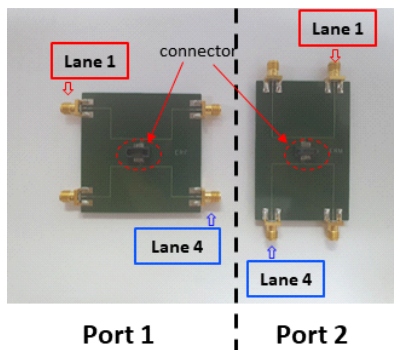


그림 10. 측정을 위해 커넥터와 PCB 보드를 납땜한 모습
(좌: ERF5, 우: ERM5)

Fig. 10. Connection between connector and PCB board for measurement (left: ERF5, right: ERM5).

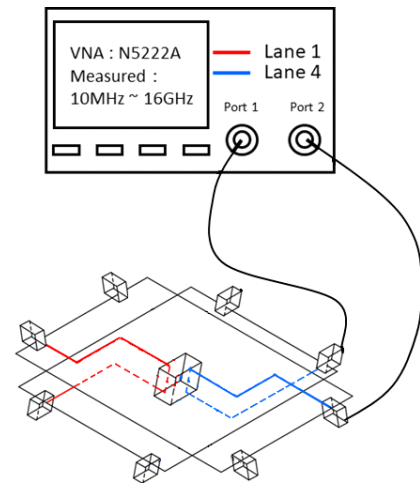
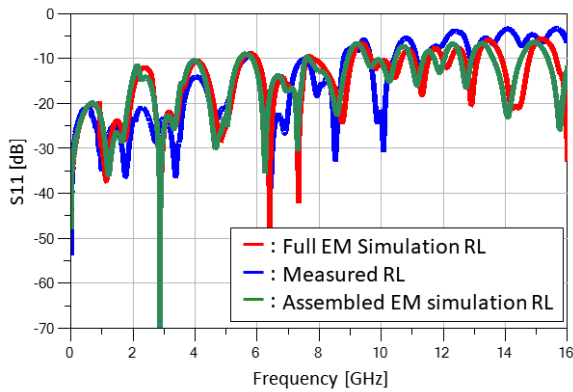


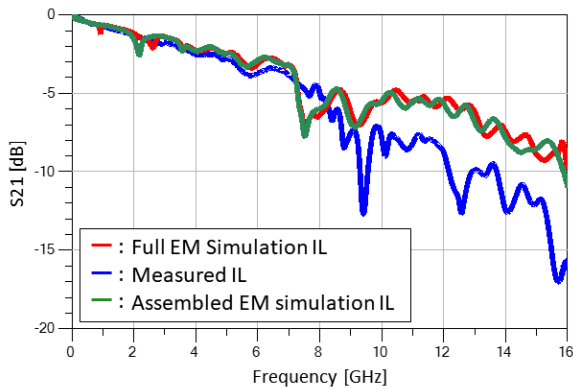
그림 11. 커넥터의 lane 1과 lane 4의 측정을 위한 셋업
Fig. 11. Set up for measuring lane 1 and lane 4 of connector.

당하는 ERF5의 SMA 커넥터로 연결되며, 중앙에 위치한 커넥터를 통해 아랫면에 해당하는 ERM5의 SMA 커넥터로 측정기기의 포트 2에 연결되게 된다.

그림 12 및 그림 13은 커넥터의 시뮬레이션 결과, 2종류(전체시스템의 Full EM simulation 및 그림 8의 부분 해석 결합 모델)와 실측의 결과를 비교한 삽입 및 반사 손실을 나타낸 그래프들이다. 그림 8(b)에서 확인하였듯 커넥터 자체의 해석결과에서 공진 현상이 관찰되었으며, 이를 사용한 부분 해석 결합 모델의 결과에서도 실측 결과와 마찬가지로 8~10 GHz에서의 공진이 반영되었다. 또한 전체 EM 시뮬레이션의 결과와 부분 해석 결합 모델의 결과는 매우 높은 일치성을 보였다. 또한 고주파에서 대다수의 손실이 발생하는 PCB 영역의 경우, 시뮬레이션 상에서 사용한 PCB의 매질은 주파수에 의존적인 물질 특성을 반영하지 못하였기 때문에 10 GHz 이상에서는 실제 측정 결과와의 차이가 발생하였으나 시뮬레이션 상에서 SMA를 고려하여 전체적인 정합도가 크게 향상하였음을 확인하였다. 본 연구는 커넥터에서의 부분 해석 결합 모델의 유용성을 보이고자 하는 것이며, 이러한 측면에서 그림 12와 그



(a)



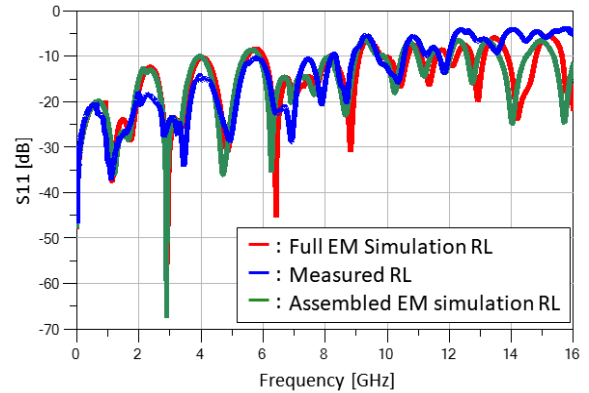
(b)

그림 12. 선로 1, 3의 시뮬레이션 방법 별 반사, 삽입 손실과 측정의 결과 비교

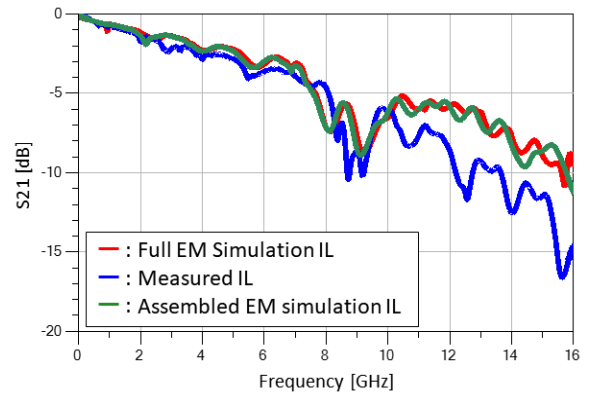
Fig. 12. Comparison between simulation result and measurement of S parameter of lane 1 and 3.

림 13은 제시한 부분 해석 결합 모델과 전체 시뮬레이션 해석 결과의 정합성을 전반적으로 만족한다고 할 수 있다.

그림 14(a)와 그림 14(b)는 커넥터 설계에서 가장 중요한 TDR 임피던스 파형을 나타낸다. 전압 상승 시간(rising time)은 35 ps이며, 영역 별 구간을 파악하기 위해 그림 14(a)에 입력단의 SMA와 출력단의 SMA에 손을 접촉시켜 TDR 파형의 변화를 표시하였다. 초록색 그래프는 입력단의 SMA에 손을 접촉시킨 그래프이며, 이를 통해 PCB의 시작 영역을 파악할 수 있다. 파란색 그래프는 출력단의 SMA에



(a)

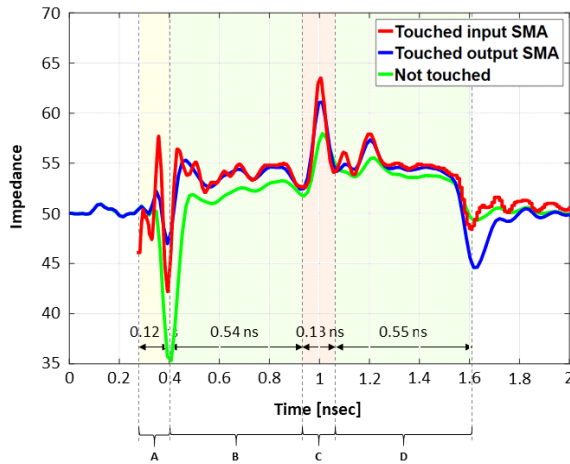


(b)

그림 13. 선로 2, 4의 시뮬레이션 방법 별 반사, 삽입 손실과 측정의 결과 비교

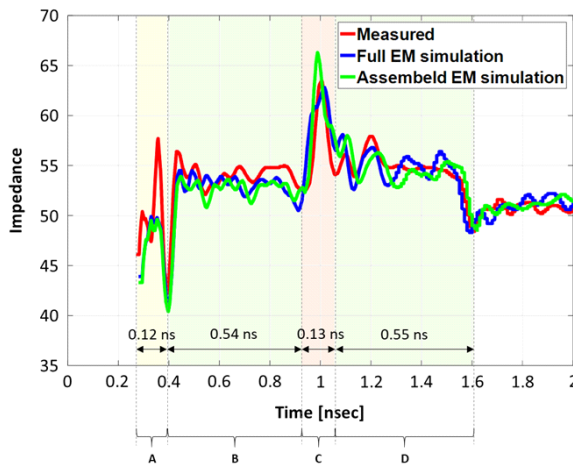
Fig. 13. Comparison between simulation result and measurement of S-parameter of lane 2 and 4.

손을 접촉시킨 그래프이며, 이를 통해 PCB 영역의 종단 지점을 파악할 수 있다. 빨간색 그래프는 아무런 외부의 간섭이 없는 그래프이다. 즉, 각 그래프의 차이가 발생하는 부분을 통해서 PCB의 시작 부분과 종단 부분을 파악할 수 있다. 이를 통해 각 구간들이 의미하는 부분들을 파악할 수 있고, A 구간은 SMA 커넥터 부분이며, 그 영향이 초반 0.12 ns 동안 나타나는 것을 확인할 수 있다. B 구간은 0.54 ns 동안 PCB에 의해 나타나는 구간이며, ERF5의 PCB에 해당한다. C 구간은 커넥터에 의한 구간이며, D 구간은 0.55 ns 동안 PCB와 종단의 SMA 영



(a) Input SMA 및 output SMA 에 접촉하였을 때와 접촉하지 않았을 때의 TDR 임피던스 실측 파형

(a) Measurement TDR impedance of not touched, touched input SMA, and touched output SMA



(b) 전체 전자기장 해석, 부분 해석 결합 모델, 그리고 실측의 TDR 임피던스

(b) TDR impedance of full EM simulation, assembled EM simulation, and measurement result

그림 14. TDR 임피던스

Fig. 14. TDR impedance.

향이 함께 포함된 구간이며, ERM5의 PCB에 해당한다. 그림 14(b)는 해당 실측결과의 TDR 임피던스와 full EM, assembled EM 시뮬레이션 결과의 TDR 임피던스를 비교하였다. 여기서 그림 14(b)의 “Measured” 파형은 그림 14(a)의 “Not touched” 파형과 동일하다. 반사되는 신호를 포트1에서 관측하여 결과를 얻

는 TDR의 특성상 A~D 각 구간들은 SMA, upper PCB, ERF5/ERM5, lower PCB와 SMA 특성들이 중첩되어 존재하게 된다. 신호의 전달 속도를 고려할 시, 실측과 두 종류의 시뮬레이션 방법의 각 영역별 시간 구간이 높은 정확도를 보이며, 전체 EM 시뮬레이션과 측정 결과의 최대 임피던스는 일치, 전체 EM 시뮬레이션과 분할 해석 결합 모델의 최대 임피던스 크기는 2옴의 차이를 보여 본 논문에서 제안한 부분 해석 결합 모델이 짧은 시간 안에 커넥터의 TDR 임피던스를 충분한 정확도로 예측할 수 있음을 확인하였다. 이와 같이 커넥터의 설계 단계에서 S -파라미터로는 확인할 수 없는 임피던스 불연속점을 과도 상태 시뮬레이션으로 관찰할 수 있었으며, 부분 해석 결합 모델을 통해 SMA의 영향을 빠른 시간 안에 해석에 적용해 함께 고려할 수 있음을 확인하였다.

V. 결 론

본 논문에서는 단일 중단 커넥터를 대상으로 효율적인 설계에 도움이 되는 시뮬레이션 방법을 제안한다. 시뮬레이션의 가장 기본적인 방법으로는 전체 구조를 모사하여 시뮬레이션 하는 전체 시스템의 전자기장 해석법(full EM simulation)이 있으며, 이것은 정확도가 높지만 전체 모델의 크기가 증가함에 따라서 계산 소요시간이 기하급수적으로 늘어난다. 이러한 단점을 효과적으로 보완하기 위해서 본 논문에서는 부분 해석 결합 모델(assembled EM simulation)의 방식을 제안하였다. DUT를 구성하는 부분(SMA, 커넥터 및 PCB 영역) 별 전자기장 해석을 진행한 후, 각 부분의 S -파라미터들을 회로적 연결하여 전체 시스템 해석을 수행하였다. 부분 해석 결합 모델의 경우, PCB들 사이의 전자기적 결합 현상을 고려하기 위하여 윗면과 아랫면의 PCB를 함께 해석하였다. 또한 가장 큰 전자기적 결합 현상 및 임피던스 불연속 지점인 PCB 및 커넥터 사이의 전자기적 커플링을 고려하기 위해서 커넥터에 작은 PCB를 포함시켜 해석을 진행하였다. 이후 SMA와

커넥터에 포함된 PCB의 선로를 제외한 길이를 test fixture PCB 선로의 길이로 할당하여 진행하였다. 두 시뮬레이션 방법을 통해 S -파라미터를 추출한 후 과도상태 시뮬레이션을 수행하여 TDR 임피던스를 관찰한 후 본 논문에서는 전체 전자기장 해석, 부분 해석 결합모델, 실측 사이의 S -파라미터와 TDR 임피던스를 비교하여 제안한 방법의 정합성을 확보하였으며, 시뮬레이션 소요시간이 대폭 감소하는 결과를 보였다. 따라서 실제 설계 단계에서 짧은 소요시간을 통해 정확한 결과를 얻을 수 있었으며, 커넥터의 설계뿐만 아니라, PCB를 포함한 전체 시스템의 설계 또한 효율적으로 가능해질 것으로 기대된다.

References

- [1] G. J. Han, "Optimal design of high-speed input/output interface packaging," *The Proceeding of the Korean Institute of Electromagnetic Engineering and Science*, vol. 27, no. 2, pp. 22-31, 2016.
- [2] J. G. Yook, W. S. Nah, "Trends of EMC technology

- research in PCB and IC circuits," *The Proceeding of the Korean Institute of Electromagnetic Engineering and Science*, vol. 23, no. 4, pp. 32-42, Jul. 2012.
- [3] H. D. Kang, H. Kim, and J. G. Yook, "PCB level EMC design technology," *The Proceeding of the Korean Institute of Electromagnetic Engineering and Science*, vol. 21, no. 1, pp. 61-72, Jan. 2010.
- [4] S. H. Hall, G. W. Hall, and J. A. McCall, *High-Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices*, New York, NY, John Wiley & Sons, pp. 102-127, 276-288, 2000.
- [5] F. P. Dola, S. Feldman, "Impedance matched electrical connector," US Patent 4,762,500, Aug. 1988.
- [6] H. N. Lin, Y. C. Huang, M. S. Lin, and T. W. Kung, "Measurement analysis and improvement technique of signal integrity for high-speed connectors," in *2012 Asia-Pacific Symposium on Electromagnetic Compatibility*, Singapore, May. 2012, pp. 609-612.
- [7] D. M. Pozar, *Microwave Engineering*, 4th ed. Hoboken, NJ, John Wiley & Sons, pp. 48-89, Nov. 2011.

한 준 희 [성균관대학교/석박사통합과정]

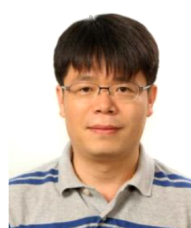
<https://orcid.org/0000-0002-7759-6717>



2018년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학사)
2018년 3월 ~ 현재: 성균관대학교 전자전기컴퓨터공학과 석박사 통합과정
[주 관심분야] SI/PI, EMI/EMC

우 기 룡 [삼성전자/수석연구원]

<https://orcid.org/0000-0002-2602-9691>



2004년 2월: 서울시립대학교 전자전기공학과 (공학사)
2004년 2월 ~ 현재: 삼성전자 반도체사업부
[주 관심분야] SI/PI, EMC, Memory TEST

최 재 우 [삼성전자/연구원]

<https://orcid.org/0000-0003-0889-0899>



2014년 2월: 서강대학교 전자공학과 (공학사)

2016년 2월: 서강대학교 전자공학과 (공학석사)

2016년 8월~현재: 삼성전자 반도체사업부 연구원

[주 관심분야] SI/PI, Memory TEST

나 완 수 [성균관대학교/교수]

<https://orcid.org/0000-0002-0315-3294>



1984년 2월: 서울대학교 전기공학과 (공학사)

1986년 2월: 서울대학교 전기공학과 (공학석사)

1991년 2월: 서울대학교 전기공학과 (공학박사)

1991년~1993년: SSCL Guest Collaborator

1993년~1995년: 한국전기연구원 선임연구원

1995년~현재: 성균관대학교 전자전기컴퓨터공학과 교수

[주 관심분야] SI/PI, EMI/EMC