THE JOURNAL OF KOREAN INSTITUTE OF ELECTROMAGNETIC ENGINEERING AND SCIENCE. 2021 March.; 32(3), 233～242.

http://dx.doi.org/10.5515/KJKIEES.2021.32.3.233
ISSN 1226-3133 (Print) · ISSN 2288-226X (Online)

인버터 논리소자를 이용한 100-MHz VCXO

A 100 MHz VCXO Using an Inverter Logic Gate

최 종 항 · 노 진 성 · 염 경 환

Jong-Hang Choi · Jin-Seong Roh · Kyung-Whan Yeom

요 약

본 논문에서는 100-MHz VCXO(voltage controlled crystal oscillator)의 설계 및 제작, 위상잡음 측정을 보였다. VCXO에 사용된 공진기는 100 MHz 공진 주파수를 갖는 3차 오버-톤 모드 수정공진기(crystal resonator)이며, VCXO는 두께 0.8 mm의 FR4 양면 기판을 이용하여 제작하였다. 제작된 VCXO는 중심주파수 100 MHz에서 약 +8 dBm의 출력전력을 가지며, 조정전압(tuning voltage) 0 V에서 99.992 MHz(중심주파수 100 MHz에서 약 8 kHz 편이), 5 V에서 100.003 MHz (100 MHz에서 약 3 kHz 편이)의 발진주파수를 보였다. 따라서 조정전압에 따른 주파수 조정범위는 약 11 kHz이다. 조정전압 0 V에서 측정된 위상잡음은 오프셋-주파수 10 Hz에서 −71.9 dBc/Hz를 보였다.

Abstract

In this paper, we present the design, fabrication, and phase noise measurement of a 100 MHz voltage-controlled crystal oscillator (VCXO). The resonator used for the VCXO is a third-order overtone-mode crystal resonator with a resonance frequency of 100 MHz. The VCXO was fabricated on a 0.8 mm thickness FR4 two-layer substrate. The fabricated VCXO has an output power of approximately +8 dBm and a frequency of 99.992 MHz (approximately 8 kHz deviation from the center frequency of 100 MHz) at 0 V and 100.003 MHz (approximately 3 kHz deviation from 100 MHz) at 5 V. As a result, it has a frequency-tuning range of approximately 11 kHz. The measured phase noise showed −71.9 dBc/Hz at offset-frequency of 10 Hz and tuning voltage of 0 V.

Key words: VCXO(Voltage Controlled Crystal Oscillator), Phase Noise, Crystal Resonator.

Ⅰ. 서 론

수정공진기(crystal resonator)를 이용한 주파수 생성 및 타이밍 장치는 실시간 추적, 디지털 데이터 전송을 위한 클럭 주파수 설정, RF 송 · 수신기의 주파수 상-하향 변환, 로직 회로의 클럭킹에 이르기까지 다양한 응용 분야에 사용된다[1],[2]. 수정공진기를 이용한 수정발진기는 일반적으로 성능과 주파수 정확도에 따라 분류된다.

일반적인 수정발진기(XO: crystal oscillator)는 20～50 ppm 정도의 주파수 변동을 가지며, 정확도는 떨어지지만 저렴한 디지털 타이밍 회로에 사용된다. XO의 두 번째 유형은 온도에 따른 주파수 변동을 줄인 온도-보상 수정발진기(TCXO: temperature compensated crystal oscillator)로서 온도로 인한 주파수 변화를 보상하기 위해 온도 센서가 장착되며, 온도-센서에서 발생한 전압은 튜닝-다이오드에 입력되어, 주파수 변화를 보정한다. 일반적인

「이 연구는 2019학년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(NRF-2019R1I1A3A0105686412).」

충남대학교 전파공학과(Department of Radio Science & Engineering, Chungnam National University)

· Manuscript received November 13, 2020 ; Revised December 15, 2020 ; Accepted December 19, 2020. (ID No. 20201113-098)

· Corresponding Author: Kyung-Whan Yeom (e-mail: khyeom@cnu.ac.kr)

ⓒ Copyright The Korean Institute of Electromagnetic Engineering and Science. All Rights Reserved.

TCXO는 주파수 에이징(aging)-속도는 0.5 ppm/년, 주파수에 대한 온도 안정성 0.5 ppm, 주파수 변동은 1 ppm 정도이다. 수정발진기의 다른 중요한 유형으로서 OCXO(oven controlled crystal oscillator)가 있다. OCXO는 오븐(oven) 온도를 동적으로 제어하여 주파수 대 온도 기울기를 0으로 유지한다. 일반적인 OCXO는 주파수 에이징-속도 0.005 ppm/년, 온도 안정성 0.001 ppm, 주파수 정확도는 0.01 ppm 정도이다. OCXO는 수정발진기 중 주파수 안정성이 가장 뛰어나 스펙트럼분석기나 신호발생기 등 계측기에 주파수-기준원으로 사용된다.

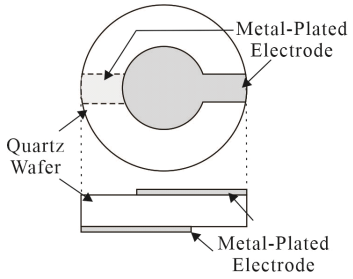
이상과 같은 수정발진기는 대부분 수정공진기의 기본-모드(fundamental mode)를 사용하며, 일반적인 발진주파수는 10 MHz 근처이다. 따라서 10 MHz보다 높은 주파수를 갖는 안정된 신호는 10 MHz 수정발진기를 기준발진기(reference oscillator)로 이용하고, PLL(phase locked loop)을 이용하여 얻게 된다. 그러나 직접적으로 10 MHz 수정발진기를 기준발진기로 이용한 PLL로 합성된 고주파 신호원은 주파수가 높아질수록 낮은 바탕 위상잡음을 갖는 것이 어렵게 된다. 일반적으로 체배-수가 증가할수록 체배된 수정발진기의 바탕 위상잡음이 커지기 때문에, 응용에 따라 낮은 바탕 위상잡음을 갖는 고주파 신호원은 합성이 어렵게 된다. VCXO(voltage controlled crystal oscillator)를 거친 복합 PLL을 활용할 경우, 이러한 문제를 효율적으로 해결할 수 있다. VCXO는 수정공진기의 3차 또는 5차의 기수 오버-톤 모드(odd overtone mode)를 활용한다. 이러한 VCXO의 중요한 성능지표로서, 주로 PLL 사용을 염두에 두기 때문에, 저-위상잡음, 넓은 가변 주파수 범위 및 높은 선형성의 특성을 요구한다.

본 논문에서는 공진주파수가 100 MHz인 3차 오버-톤 수정공진기를 사용하고, 증폭소자로는 논리소자인 인버터(inverter)를 사용한 저 위상잡음 VCXO의 설계를 보인다. 저 위상잡음 VCXO를 설계하기 위하여 능동소자에서 발생되는 잡음을 줄이기 위하여 종종 BJT (bipolar junction transistor)를 사용하기도 한다. 그러나 본 논문에서는 180° 위상반전 증폭기로 범용성을 고려하고, 다소 위상잡음을 희생하더라도 소자 선정이 용이한 인버터를 선정하였다. 인버터 역시 근사적으로 180° 위상반전 증폭기로 사용할 수 있어 이를 선정하였다. 이와 같이 선정된 소자에 대하여 본론에서는 100 MHz VCXO 설계 및 제작과정을 제시하였다.

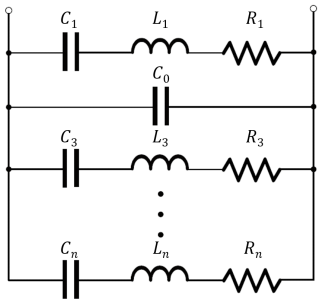
Ⅱ. 설계 및 제작

2-1 수정공진기

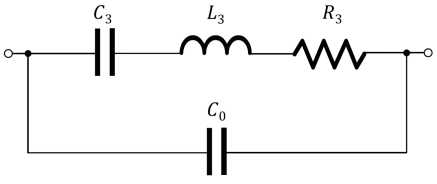
그림 1(a)는 수정공진기의 구조, 그리고 그림 1(b)는 수정공진기의 등가회로를 보였다. 수정공진기는 원판형 수



(a)



(b)



(c)

그림 1. (a) 수정공진기의 구조와 (b) 등가회로 (c) 3차-오버톤 모드 공진주파수 100 MHz 근처 등가회로. 그림 (b)에서 n은 $n-$차 오버-톤 모드를 나타낸다.

Fig. 1. (a) Crystal resonator structure, (b) its equivalent circuit, and (c) the approximate equivalent circuit at the third overtone mode. In (b), n represents n-th overtone mode.

정공진기에 금속 단자를 형성하여 구성된다. 발진기의 주파수를 결정하는 수정공진기의 공진 주파수는 quartz-웨이퍼의 유효 두께에 의해 결정된다. 원하는 quartz-웨이퍼를 두께(주파수$\propto$1/두께)는 쏘잉(sawing) 및 연마 등 기계적 가공을 통하여 얻어진다. 그러나 웨이퍼 두께를 특정 한계 이상으로 감소시키면 웨이퍼는 깨지기 쉽다. 또한, 웨이퍼가 얇아질수록 처리하는 과정이 어려워져서, 비용 및 신뢰성의 제약 내에서 얻을 수 있는 웨이퍼 두께는 한계가 있게 된다.

그림 1(b)은 수정공진기의 등가회로를 보였다. 이 등가회로는 오버-톤 모드까지 고려한 것이다. 그림 1(b)의 n은 1, 3, 5…으로 증가하게 되며, 오버-톤 모드의 L및 C를 나타낸다. 공진주파수 100 MHz를 갖는 수정공진기는 보통 공진기의 3차 오버-톤 모드가 된다. 그리고 3차 오버-톤 모드 근처에서 수정공진기의 등가회로는 그림 1(c)와 같다. 그림 1(c)에서 L_3및 C_3는 3차 오버톤-모드의 L및 C를 나타낸다. 그리고 C_o는 그림 1(a)의 금속 단자에 의한 overlap 커패시턴스를 나타낸다. 이 공진기가 패키지될 경우, 패키지 커패시턴스 효과는 C_o에 나타나게 된다.

그림 1(c)의 등가회로를 이용하여 100 MHz 공진주파수 근처에서 수정공진기 임피던스 $Z=jX$를 주파수에 따라 도시하면 그림 2와 같다. 그림 1(c)에 따르면 주파수가 낮을 때는$C_o \| C_3$로 근사할 수 있고, 이후 주파수가 증가하면 L_3-C_3에 의한 직렬공진이 나타나며, 이것이 그림 2에서 f_s로 나타난다. 다음 L_3-C_3와 C_o가 병렬공진하게 된다. 그림 2에 이 병렬공진주파수를 f_p로 나타내었다. 이러한

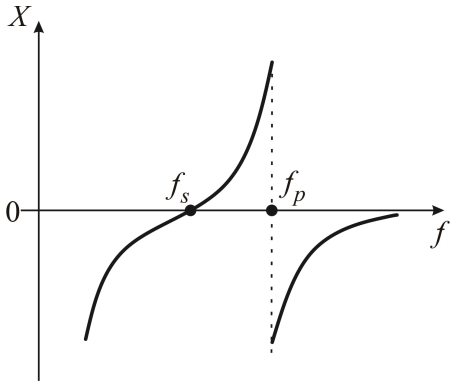


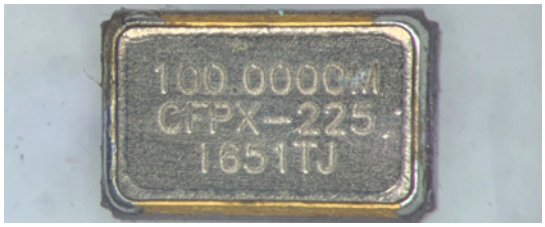
그림 2. 100 MHz 근처에서 수정공진기의 임피던스
Fig. 2. Crystal resonator impedance near 100 MHz.

수정공진기를 발진기에 이용할 경우, 발진주파수는 보통 수정공진기의 직렬공진주파수 f_s근처에서 형성된다.

본 논문에서는 100 MHz 수정공진기로 3차 오버톤 모드 공진하는 IQD사의 CFPX-225[3]를 이용하였다. 수정공진기 CFPX-225는 그림 3(a)에 보인 것과 같이 표면실장형으로 패키지 되어 있다. 그림 3(b)는 수정공진기의 임피던스 특성을 회로망분석기로 추출하기 위해 SMA 커넥터에 부착한 사진이다. 수정공진기의 임피던스는 문헌[4] 방법에 따라 측정하였다. ADS(advanced design system) 최적화(optimization)를 통하여, 그림 1(c) 수정공진기의 등가회로 값을 측정된 결과로부터 도출하였다. 표 1에 최적화로 얻어진 등가회로 값을 보였다. 3차 오버톤 모드의 커패시턴

표 1. 최적화 과정을 통해 추출된 수정공진기의 등가회로 값
Table 1. Equivalent circuit values of the crystal resonator extracted through optimization.

R_3	22.86 Ω
L_3	5.16 mH
C_3	0.491 fF
C_0	3.28 pF



(a)

(b)

그림 3. (a) 수정공진기 사진, (b) SMA에 부착된 수정공진기
Fig. 3. Photographs of (a) the crystal resonator and (b) crystal resonator attached at SMA.

스 C_3값은 fF 정도이며, 인덕턴스 L_3 mH 오더를 갖는 것을 알 수 있다.

2-2 인버터 기반 증폭기

인버터는 논리회로로서 입력전압이 로직 "1"일 경우, 출력은 "0"으로 로직 "0"일 경우 출력은 "1"로 된다. 인버터는 CMOS 공정을 통하여 용이하게 제작될 수 있다. 그러나 인버터에는 천이 영역이 존재하는데, 천이영역은 모호한 영역을 나타내므로 인버터로 작동할 때 선호하지지 않는다.

그러나 이 영역에서 VTC(voltage transfer characteristic)의 상대적으로 큰 기울기 때문에, 이 영역에 바이어스될 때 상대적으로 높은 이득을 가진 단일 종단 증폭기로 작동할 수 있다.

문제는 이 영역에 효율적으로 바이어스 시키는 방법인데, 그림 4와 같이 바이어스 궤환 저항 R_F를 이용하여 증폭기를 동작시킬 수 있다[5]. 일반적인 CMOS 인버터의 경우, 인버터 입력은 CMOS 인버터를 구성하는 PMOS 및 NMOS의 게이트 단자에 연결되고, 게이트 단자로 흐르는 DC 전류는 매우 작기 때문에 0으로 근사할 수 있다. 따라서 저항 R_F에 흐르는 DC 전류는 0이다. 저항 R_F에 흐르는 DC 전류가 0이기 때문에 R_F 양단의 전압이 0이 된다. 결과로 인버터의 입력과 출력 DC 전압은 같게 된다. 인버터의 입력과 출력 DC 전압이 같은 점은 인버터의 천이영역에 나타난다. 따라서 R_F로 인해 인버터는 자연스럽게 천이영역으로 바이어스되며, 반전증폭기(inverting amplifier)로 동작하게 된다.

인버터는 단일게이트를 갖는 Texas Instrument사의 SN74LVC1G04[6]를 선정하였다. 인버터의 입력과 출력사이에 R_F는 1 MΩ으로 선정하였다. 그러나 100 MHz의 높은 주파수에는 인버터는 내재한 커패시터로 인해 이상적인 반전 증폭기로 동작하지 않게 된다. 따라서 우선 이것의 이득과 위상을 측정하였다.

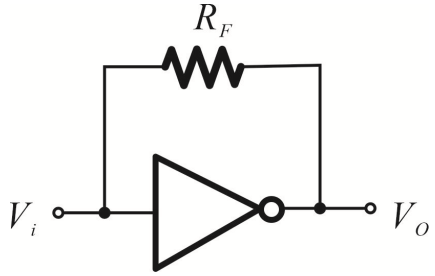
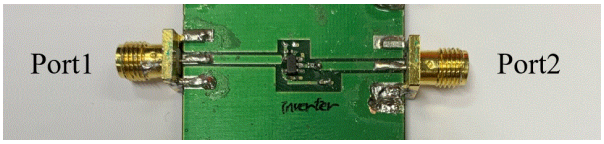
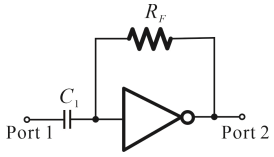


그림 4. 인버터를 이용한 증폭기
Fig. 4. An amplifier using an inverter.

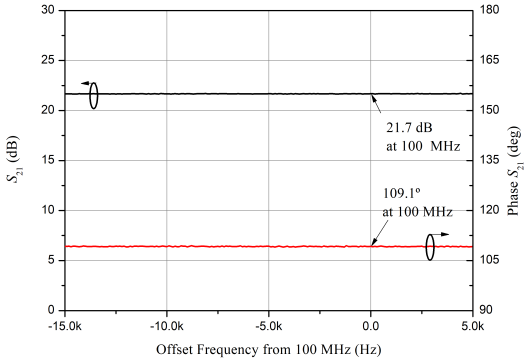
먼저 인버터의 이득과 위상을 측정하기 위한 회로 구성과 측정결과를 그림 5(a)에 보였다. 그림 5(b)는 그림 5(a)에 보인 측정지그의 회로도이다. 그림 5(b)의 C_1 =1 μF는 DC 블록 커패시터이며, 인버터로 DC 유입 방지를 위해 입력 단에 직렬로 삽입되었다. 인버터에 V_{dd}=5 V를 인가한 결과, 인버터 입·출력단에 예상한 바와 같이 1/2 V_{dd}의 전압이 측정되었다. 중심주파수 100 MHz에서 인버터 반전증폭단의 이득은 약 +22 dB로 측정되었고, 위상변환은 약 102°로 측정되었다.



(a)



(b)



(c)

그림 5. (a) 인버터 증폭기 사진, (b) 회로도 및 (c) 측정된 S_{21}
Fig. 5. (a) Photograph of the inverter amplifier, (b) its schematic, and (c) its measured S_{21}.

2-3 궤환회로 구성

그림 4에 보인 인버터 증폭기의 출력 V_O는 그림 6과 같은 수정공진기를 포함한 궤환회로 입력에 인가된다. 각-주파수 ω에서 그림 6의 회로의 이득 $T(j\omega)=V_r/V_O$로 정의하면, 발진조건을 만족하기 위해서는 그림 5에 보인 인버터 증폭기 이득 S_{21}과 $T(j\omega)$의 곱으로 정의되는 개루프-이득 $L(j\omega)$는 식 (1)과 식 (2)의 조건을 만족하여야 한다.

$$|L(j\omega)=|S_{21}T(j\omega)|>1 \tag{1}$$

$$\angle L(j\omega)=\angle S_{21}+\angle T(j\omega)=0 \tag{2}$$

그림 6에서 커패시터 C_B는 그림 6 궤환회로로 인해 인버터 출력의 DC 전압이 바뀌는 것을 막기 위한 DC 블록 커패시터이고, 저항 R_G는 그림 6의 궤환회로의 이득 $T(j\omega)$를 조정하는 역할을 한다. 커패시터 C_L 및 C_R은 보통 수십 pF 값을 가지며, 수정공진기와 병렬공진을 이루도록 하여 공진주파수 근처에서 큰 이득이 발생하도록 한다. 보통 $C_L=C_R$로 설정하나, C_L의 경우 인버터 입력의 커패시터를 고려하여 $C_R>C_L$이 되도록 한다. 본 논문에서는 $C_L=10$ pF, $C_R=22$ pF로 설정하였다. 그리고 $R_G=100$ Ω, $C_B=220$ pF로 설정하였다. 주파수에 따른 $T(j\omega)$는 그림 7에 보였다. 또한 그림 7에는 수정공진기의 직렬- 및 병렬-공진주파수 f_s, f_p도 보였다. 그림 7에서 알 수 있듯이 f_s, f_p 사이의 주파수 f_{osc}에서 발진 가능함을 알 수 있다. 여기서 사용된 수정공진기의 $f_p-f_s=5$ kHz 정도이다.

그림 8은 그림 6의 궤환회로를 변형하여, 버랙터 다이오드를 이용한 발진주파수 조정용 궤환회로를 보였다. 그

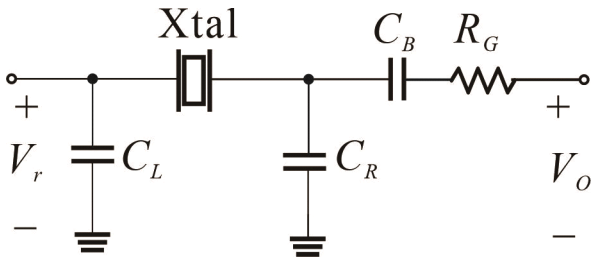


그림 6. 수정공진기를 포함한 궤환회로
Fig. 6. Feedback network including the crystal resonator.

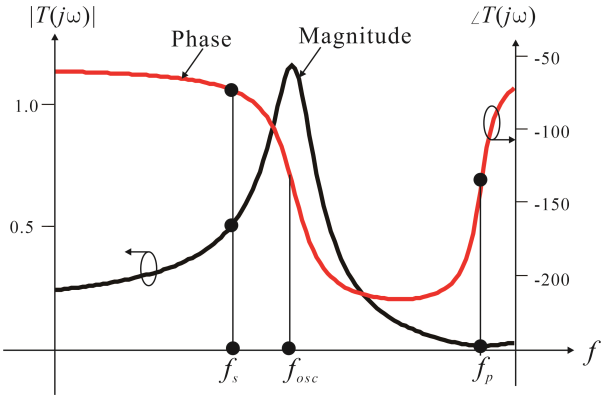


그림 7. 궤환회로 주파수 특성
Fig. 7. The frequency response of the feedback network.

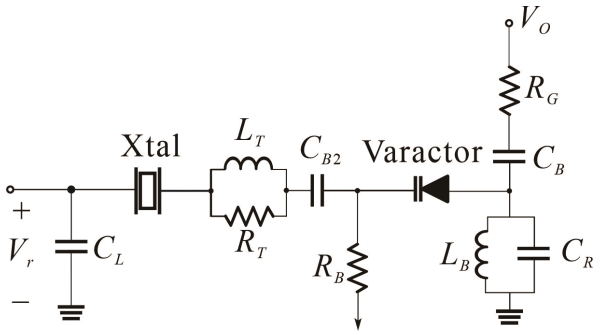


그림 8. 주파수 조정을 위해 변형된 궤환회로
Fig. 8. The modified feedback network for frequency tuning.

림 8에서 버랙터 다이오드로는 주파수 조정범위를 고려하여 전압 5 V에서 약 1 pF의 커패시턴스를 갖는 Skyworks 사의 SMV1248[7]을 사용하였다. 버랙터 다이오드의 조정전압은 $R_B=10$ kΩ 저항을 사용하였다.

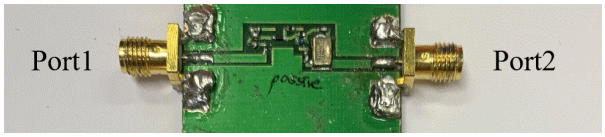
이 저항은 광대역 RFC (RF choke) 역할도 하게 된다. 또한 버랙터 다이오드의 양극은 DC적으로 접지되어야 하는데, 이는 인덕터 $L_B=220$ nH를 이용하여 달성하였다. 인덕터 L_B의 임피던스는 주파수 100 MHz에서 C_R 임피던스보다 충분히 큰 값을 갖는다. 그림 8의 L_T및 R_T는 버랙터 중심 조정전압에서 발진주파수를 맞추는 역할을 하며, 이 값은 $L_T=680$ nH, $R_T=4.7$ kΩ으로 설정하였다.

설정된 값을 이용하여 시뮬레이션을 수행하였다. 시뮬레이션 결과, 조정전압 0~5 V에서 위상 값이 −109°(인

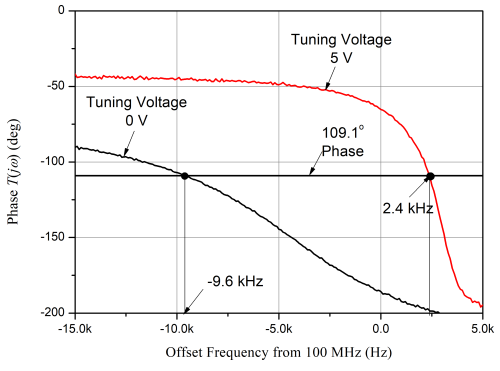
버터 증폭기 위상 값 109°)이면서, 손실이 21 dB (인버터 증폭기 이득 21 dB)를 넘지 않는 것이 확인되었다. 따라서 0~5 V 조정전압에서 발진 가능한 것으로 예상된다.

시뮬레이션된 궤환회로를 그림 9(a)와 같이 0.8 mm 두께를 갖는 FR4 양면기판에 제작하여 궤환회로의 $T(j\omega)$을 측정하였다. 측정된 결과는 그림 9(b)에 보였다. 조정전압 0 및 5 V에서 궤환회로가 위상 값 −109°인 주파수는 각각 약 100 MHz에서 −9.6 kHz (약 99.991 MHz) 및 2.4 kHz (약 100.002 MHz), 주파수 편이를 보였으며, 이때 $T(j\omega)$는 각각 약 −6.2 dB 및 −9.8 dB였다. 따라서 인버터 증폭기와 궤환회로를 cascade 연결할 경우, 각각 주파수 99.991 MHz 및 100.002 MHz에서 발진 가능할 것으로 예상된다. 따라서 약 12 kHz의 주파수 조정범위를 가질 것으로 예상한다. 주목할 것은 이와 같이 계산된 값은 개-루프 이득 계산시 연결되는 부하 값을 고려하지 않았기 때문에 근사적인 값이다.

다음 인버터 증폭기, 궤환회로를 cascade 연결하여 개-루프 이득(open loop gain)을 측정하였다. 제작된 개루프 이득 측정 지그는 그림 10(a)에 보였다. 그림 10(a)의 측정



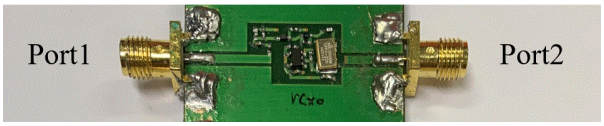
(a)



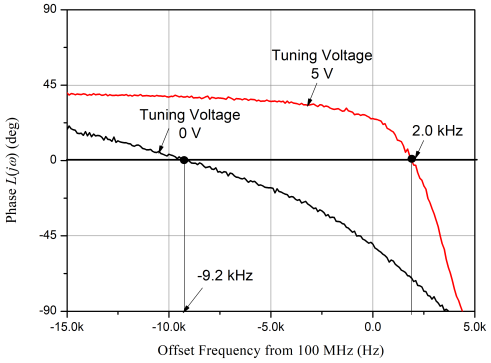
(b)

그림 9. (a) 궤환회로 전달함수 $T(j\omega)$ 측정지그 사진 및 (b) 측정된 $T(j\omega)$

Fig. 9. (a) The photograph of the the feedback network $T(j\omega)$ measurement jig and its measured $T(j\omega)$.



(a)



(b)

그림 10. (a) 개-루프 이득 $L(j\omega)$ 측정지그 및 (b) 측정된 $L(j\omega)$

Fig. 10. The open-loop gain $L(j\omega)$ measurement jig and (b) its measured $L(j\omega)$.

지그의 포트는 그림 11의 절단점(breaking point)을 기준으로 제작된 것이다.

진정한 개루프 이득 $L(j\omega)$는 그림 11의 포트로 정의되는 2-포트 *S*-파라미터에 출력저항 Z_L의 효과를 고려해 주어야 한다. 그림 10(b)는 출력저항 Z_L의 효과를 고려 후 계산된 $L(j\omega)$이다[4]. 그림 10(b) $L(j\omega)$로부터, 위상값이 0°인 주파수가 발진주파수가 된다. 그림 10(b)에서 조정전압 0 및 5 V때 위상 값 0°인 100 MHz에서 주파수 편이는 각각 약 -9.2 kHz (약 99.991 MHz) 및 2.0 kHz (약 100.002 MHz)이다. 이것은 그림 9(b)에 보인 궤환회로를 측정해서 얻은 결과와 거의 같은 결과이다. 이때 $L(j\omega)$의 이득은 각각 약 25.8 dB 및 21.8 dB로 충분한 이득을 보였다. 따라서 루프를 닫을 경우, 주파수 99.991 MHz 및 100.002 MHz에서 발진 가능할 것으로 예상된다. 따라서 약 12 kHz의 주파수 조정범위를 가질 것으로 예상한다.

2-4 VCXO 회로 구성

그림 11에 본 논문에서 설계된 100 MHz VCXO의 전체 회로도를 보였다. 앞서 설명한바와 같이 VCXO는 그림 4

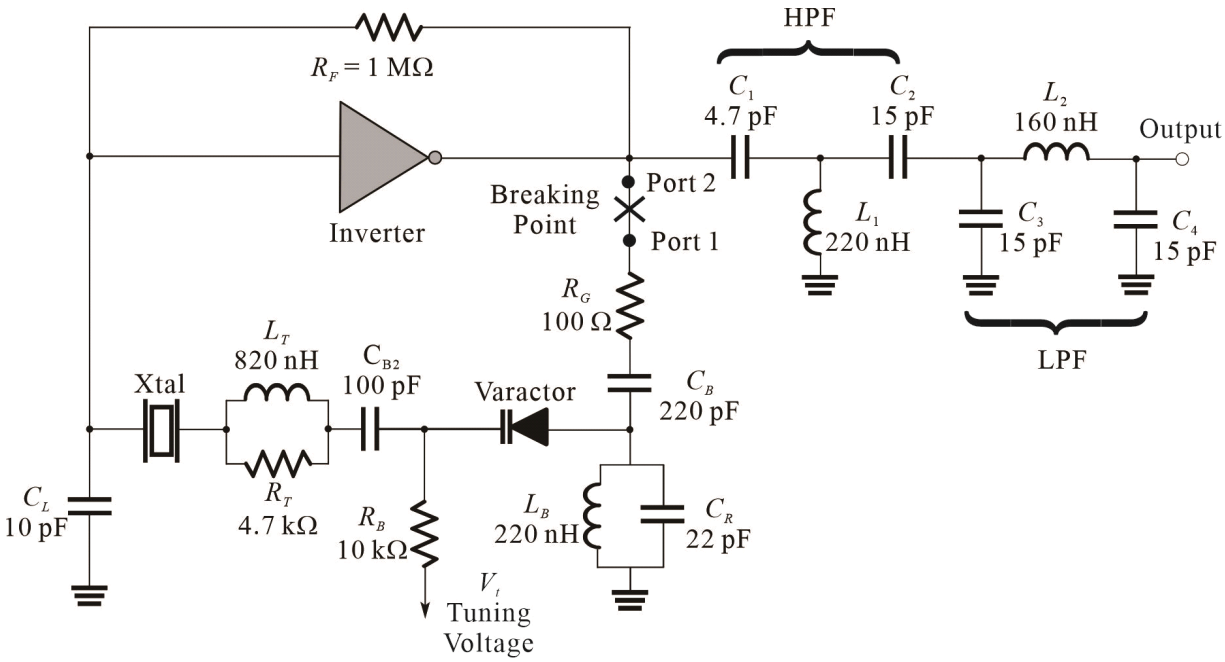


그림 11. VCXO 회로. 그림의 Breaking Point는 개루프-이득 측정시 절단점이고, Port 1 및 Port 2는 개루프-이득 포트이다.
Fig. 11. VCXO circuit. The open loop gain is measured at Ports 1 and 2 obtained after breaking the loop at the breaking point in the figure.

에 보인 인버터 증폭기와 그림 8에 보인 버랙터 다이오드로 주파수 조정이 가능한 궤환회로로 구성된다. 인버터 증폭기 출력단의 사다리-망 LC 연결은 대역여파기 역할을 하며, 출력의 고조파를 제거 정현파에 가까운 파형을 얻기 위해 삽입하였다.

대역여파기는 C_1, C_2 및 L_1으로 구성된 고역여파기(HPF)와 C_3, C_4 및 L_2로 구성된 저역여파기(LPF)를 cascade에 연결하여 구성하였다. 설계된 VCXO의 공급전압은 5 V이며, 버랙터 다이오드 조정전압은 0~5 V이다. R_B는 버랙터-다이오드 바이어스 저항이며, 돌발적인 순방향 바이어스 시 과전류를 방지하기도 한다.

앞서 설명한 바와 같이 $L_T \| R_T$의 연결은 주파수 조정 범위를 조정하며, L_T의 값이 증가할수록 발진은 더 낮은 주파수에서 발생한다. L_T의 값이 1 μH 이상의 값에서는 정상적인 발진이 일어나지 않았다.

그림 12에는 설계된 회로를 바탕으로 제작된 VCXO를 보였다. 제작된 VCXO는 두께 0.8 mm의 FR-4 양면기판을 이용하여 제작하였고, 크기는 14 mm × 9 mm이다.

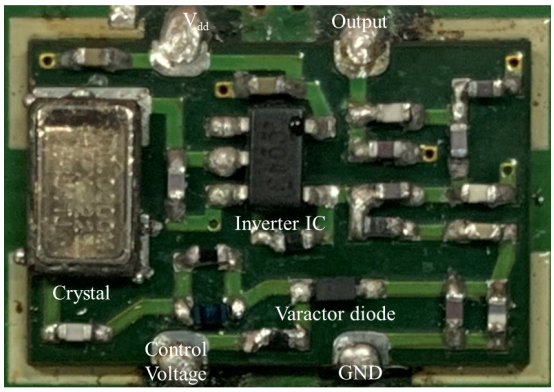


그림 12. 제작된 VCXO 사진
Fig. 12. The photograph of the fabricated VCXO.

Ⅲ. 측정 및 분석

그림 13은 Keysight사의 DSOX2012A[8] 오실로스코프로 측정한 파형을 보였다. 주파수는 약 100 MHz 이며, 측정된 파형은 정현파 형태의 출력을 갖는 것을 볼 수 있다. 또한 피크-피크 전압은 1.62 V로 계측되었다.

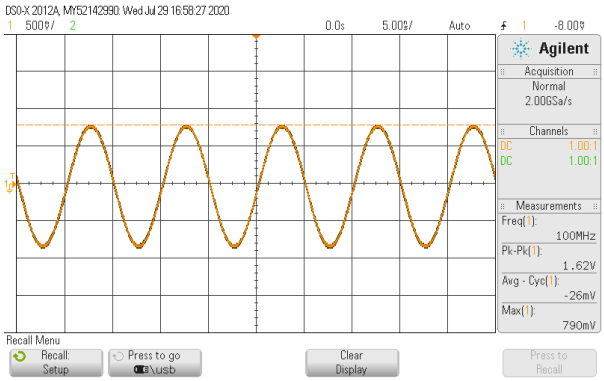


그림 13. VCXO의 출력파형
Fig. 13. The measured waveform of the VCXO.

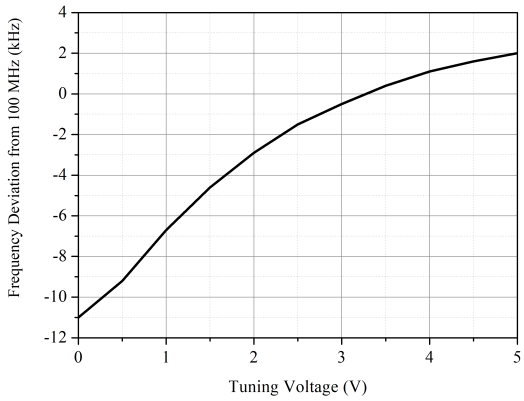


그림 14. 측정된 VCXO의 주파수 조정 특성
Fig. 14. The measured VCXO frequency tuning characteristic.

VCXO 스펙트럼은 Keysight사의 N9000A Spectrum analyzer[9]를 이용하였다. 측정한 결과를 표 2에 정리하였다. 출력전력은 약 +8 dBm이고, 조정전압 0 V에서 발진주파수는 약 99.989 MHz (약 11 kHz 편이)로 측정되었으며, 5 V에서 약 100.002 MHz (약 2 kHz 편이)로 측정되어 약 12 kHz의 주파수 조정범위를 가짐을 확인하였다. 그림 14에 이와 같이 측정된 VCXO의 주파수 조정 특성을 보였다.

다음으로 Keysight사의 E5052B Signal source analyzer[10]를 이용하여 위상잡음을 측정하였다. 이때 신호분석기의 상관회수(correlation number)=10으로 설정하였다. 측정결과, 조정전압 0 V에서 그림 15와 같이 위상잡음 특성을 보였다.

VCXO의 조정전압을 증가할수록 위상잡음이 감소하였다. 따라서 그림 15에 보인 위상잡음이 가장 나쁜 상태이다. 위상잡음은 조정전압 0 V, 오프셋-주파수 10 Hz에서 약 −71.9 dBc/Hz로 측정되었고, 이는 상용 VCXO인

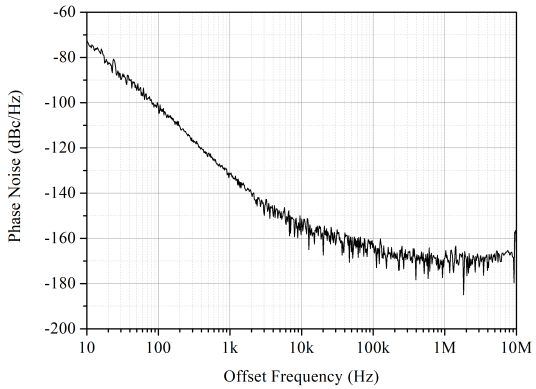


그림 15. 조정전압 V_t=0 V에서 VCXO의 위상잡음
Fig. 15. The VCXO phase noise at the tuning voltage of V_t=0 V.

표 2. 제작된 VCXO의 사양
Table 2. Specification of the fabricated VCXO.

Input voltage	5 V (25 mA)
Control voltage	0~5 V
Size	9.1 mm × 14.2 mm
Output power	+8 dBm
Frequency	100 MHz
Tuning range	13.0 kHz
Phase noise	< −71.9 dBc/Hz (10 Hz offset, 0 V)

Crystek사의 CVSS-945X[11]의 offset-주파수 10 Hz에서 약 7 dBc/Hz의 차이를 보였다.

Ⅳ. 결 론

본 논문에서는 100 MHz VCXO의 설계제작 및 위상잡음 측정에 대해 보였다. VCXO의 능동소자는 인버터 IC를 활용하였고, 수정공진기를 이용한 궤환회로의 특성을 해석하였다. 또한 발진주파수 조정범위를 조정하는 회로를 제안하였으며, 발진출력의 고조파를 제거하기 위한 대역여파기를 저역여파기와 고역여파기를 혼합한 형태로 제안하였다. 스펙트럼 측정결과, 약 +8 dBm의 출력전력

을 가지며, 약 12 kHz의 주파수 조정범위를 갖는다. 조정 전압 0 V에서 위상잡음 측정결과 offset-주파수 10 Hz에서 약 −71.9 dBc/Hz로 측정되었다.

References

[1] A. K. Poddar, U. L. Rohde, "Latest technology, technological challenges, and market trends for frequency generating and timing devices," *IEEE Microwave Magazine*, vol. 13, no. 6, pp. 120-134, Sep.-Oct. 2012.

[2] A. Apte, U. L. Rohde, A. Poddar, and M. Rudolph, "Low-phase-noise 100-MHz crystal oscillator: Optimizing phase-noise performance," *IEEE Microwave Magazine*, vol. 18, no. 4, pp. 108-123, Jun. 2017.

[3]IQD, "SMD quartz crystal," 2020, Available: https://www.iqdfrequencyproducts.com/search/?q=SMD+quartz+crystal

[4] K. W. Yeom, *Microwave Circuit Design: A Practical Approach Using ADS*, Upper Saddle River, NJ, Prentice-Hall, pp. 22-24, 2015.

[5] S. M. Sharroush, "Design of the CMOS inverter-based amplifier: A quantitative approach", *Theory and Applications*, vol. 47, no. 7, pp. 1006-1036, 2019.

[6] Texas Instruments, "SN74LVC1G04: Single 1.65-V to 5.5-V inverter," 2020, Available: https://www.ti.com/sitesearch/docs/universalsearch.tsp?searchTerm=SN74LVC1G04#q=SN74LVC1G04&t=everything&linkId=1

[7] Skyworks, "SMV-1248 series," 2020, Available: https://www.skyworksinc.com/en/Products/Diodes/SMV1248-Series

[8] Keysight Technologies, "DSOX2012A oscilloscope: 100 MHz 2 analog channels," 2020, Available: https://www.keysight.com/ko/pdx-x201831-pn-DSOX2012A?cc=KR&lc=kor&lsrch=true&searchT=DSOX2012A%20Oscilloscope

[9] Keysight Technologies, "N9000A CXA signal analyzer: 9 kHz to 26.5 GHz," 2020, Available: https://www.keysight.com/https://www.keysight.com/ko/pdx-x201774-pn-N9000A/cxa-signal-analyzer-9-khz-to-265-ghz?cc=KR&lc=kor&lsrch=true&searchT=N9000A%20CXA%20Signal%20Analyzer

[10] Keysight Technologies, "E5052B: Signal source analyzer, 10 MHz to 7, 26.5, or 110 GHz," 2020, Available: https://www.keysight.com/ko/pd-1081579-pn-E5052B/ssa-signal-source-analyzer-10-mhz-to-7-ghz-265-ghz-or-110-ghz?cc=KR&lc=kor&lsrch=true&searchT=E5052B

[11] Crystek, "CVSS-945X: Ultra-low phase noise sineWave VCXO," 2020. Available: https://www.crystek.com/home/oscillator/vcxodetail.aspx?pn=CVSS-945

최 종 항 [충남대학교/학사과정]

https://orcid.org/0000-0002-1701-5634

2014년 3월～현재: 충남대학교 전파공학과 학부생

[주 관심분야] 초고주파 능동회로 및 시스템

노 진 성 [충남대학교/석사과정]

https://orcid.org/0000-0002-3881-6385

2020년 8월: 충남대학교 전파공학과(공학사)

2020년 9월～현재: 충남대학교 전파정보통신공학과 석사과정

[주 관심분야] 초고주파 능동회로 및 시스템

염 경 환 [충남대학교/교수]

https://orcid.org/0000-0002-8557-4972

1976년～1980년: 서울대학교 전자공학과 (공학사)
1980년～1982년: 한국과학기술원 전기 및 전자과 (공학석사)
1982년～1988년: 한국과학기술원 전기 및 전자과 (공학박사)
1988년 3월: 금성전기(주) 소재부품연구소 선임연구원 (MIC팀 팀장)
1990년 3월: 금성전기(주) 소재부품연구소 책임연구원
1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원
1991년 8월: (주) LTI
1995년 10월～현재: 충남대학교 전파공학과 교수
[주 관심분야] 초고주파 능동회로 및 시스템, MMIC 설계