THE JOURNAL OF KOREAN INSTITUTE OF ELECTROMAGNETIC ENGINEERING AND SCIENCE. 2020 Jul.; 31(7), 588～598.

http://dx.doi.org/10.5515/KJKIEES.2020.31.7.598
ISSN 1226-3133 (Print) · ISSN 2288-226X (Online)

Scalable AESA 안테나를 위한 고효율 X대역 송수신블록 설계 및 제작

Design and Implementation of High-Efficiency X-Band Transmit/Receive Block for Scalable Active Electronically Scanned Array Antenna

황 인 수 · 이 유 리* · 장 성 훈

In-Su Hwang · Yu-ri Lee* · Sung-Hoon Jang

요 약

능동 위상배열(active electronically scanned array: AESA) 안테나에 사용되는 확장성이 용이한 X 대역 송수신블록의 제작 결과에 대해 기술하였다. 기존 브릭형 평면 구조의 소형화가 어려운 단점과, 타일형 적층 구조에서 복잡성의 단점을 개선하여, RF 회로는 평면형으로 구현이 용이하며, 제어 부분은 적층형으로 소형화의 장점을 가지는 quasi-tile 구조의 송수신블록을 구현하였다. 송수신블록을 이어 붙이면 원하는 사이즈의 AESA 안테나를 만들기가 용이하다. 송수신블록 내에는 수냉 냉각 구조를 포함하지 않고, 냉각판에 한면을 접촉하도록 하여 전도방식으로 냉각이 이루어진다. 이때, 송수신모듈의 HPA와 냉각판 접촉면 사이의 온도차는 약 15 % 개선된다. 송수신모듈은 GaN 소자를 활용하여 기존의 GaAs 소자에 비하여, 높은 항복전계를 가져서 전원 스위칭 회로에 사용시 고효율의 강점과 좋은 열전도도로 방열 효율개선의 강점을 가진다. 제작된 송수신 블록의 채널별 송신 출력은 10 W, 수신이득은 28.4 dB, 수신 잡음 지수는 3.4 dB의 특성을 가진다.

Abstract

This paper presents the fabrication results of a scalable X-band transmit/receive block used in an active electronically scanned array (AESA) antenna. Due to the disadvantages of the miniaturization of the existing brick-type planar structure and the complexity of the tile-type stacked structure, a quasi-tile structure-based transmit/receive block was developed. The developed antenna had a radio-frequency circuit that was easy to implement in a flat type, and the control part had the advantage of miniaturization in a stacked type. It is easy to develop an AESA antenna of a desirable size by connecting the transmit/receive blocks. An ethylene glycol water-cooling structure was not added inside the transmit/receive block, as it was designed to cool one side of the block. The temperature difference between the high power amplifier(HPA) and the contact surface of the cooling plate improved by approximately 15 %. Gallium nitride devices were used in the transmit/receive module and had a higher breakdown field than conventional gallium arsenide devices. Hence, the module exhibited high efficiency when used in power-switching circuits and showed good heat dissipation efficiency and thermal conductivity. The transmit power of each transmit/receive block channel was 10 W, the receive gain was 28.4 dB, and the noise figure value was 3.4 dB.

Key words: AESA, Transmit/Receive Block, Scalable Antenna

국방과학연구소(Agency for Defense Development)
*LIG넥스원(주)(LIG Nex1 Co., Ltd.)
· Manuscript received March 25, 2020 ; Revised May 8, 2020 ; Accepted June 12, 2020. (ID No. 20200325-026)
· Corresponding Author: In-Su Hwang (e-mail: hciinsu@add.re.kr)

ⓒ Copyright The Korean Institute of Electromagnetic Engineering and Science. All Rights Reserved.

Ⅰ. 서 론

레이다는 표적에 대한 탐지 및 추적을 위한 핵심 센서이다. X-대역의 레이다는 함정, 항공기, 지상체계 등 다양한 군사 분야에서 사용이 되고 있다[1]. 최근 무기체계에서의 레이다 개발은 AESA(active electronically scanned array) 능동 위상배열 형태를 중심으로 이루어지고 있다. 기존 기계식 레이다 또는 PESA(passive electronically scanned array) 수동 위상배열 레이다는 한 개의 고출력 송신기에서 복사소자로 신호 전달 과정에서 손실이 크고, 송신기의 고장시 시스템 전체의 운용이 제한된다. 그러나 AESA 레이다는 수백개에서 수천개에 이르는 송수신 모듈을 가지고 있어서 손실이 작고, 몇몇 모듈이 고장이 나도 시스템 전체로는 약간의 성능 저하(graceful degradation)를 가지는 장점이 있다[2],[3].

송수신 모듈은 송신 신호를 증폭하여 안테나 복사 소자에 전달하고, 복사소자에서 전달받은 수신 신호를 저잡음 증폭하는 기능을 가지고 있다. 기존 송수신 모듈은 GaAs(gallium arsenide) 기반의 소자를 많이 적용하였지만,[4],[5] 최근에는 높은 전력 밀도(power density)를 가지고, 높은 열전도도(thermal conductivity)를 가져서 방열에 유리한 GaN(gallium nitride) 소자가 많이 사용되고 있다[6]~[8].

일반적으로 송수신 모듈의 구조는 타일형(tile type) 또는 브릭형(brick type) 으로 나뉠 수 있다. 브릭형은 한 기판에 여러 소자를 장착하는 평면 구조이고, 타일형은 여러 모듈이 쌓이는 적층형 구조를 가진다. 브릭형 구조는 평면 구조로 구현이 쉽지만, 무게와 크기가 커진다는 단점이 있다. 타일형은 chip이 적층되는 MMIC로 구현되어서 소형화가 가능해지지만, 구조가 복잡해지고, 개발이 어렵다는 단점이 있다.

브릭형 구조의 송수신 모듈은 주로 plank 구조의 기판 위에 탑재된다. Plank 구조의 송수신 모듈 구조를 송수신 단위 모듈(transmit/receive unit)이라고 한다. 송수신 단위 모듈에서는 냉각수가 내부에서 순환하기 때문에 냉각 효율이 좋다는 장점을 가진다. 그러나 냉각수 공급 및 순환을 위해서는 송수신 단위 모듈 별로 냉각 구조를 포함해야 하므로, 평면 구조상 확장성을 가지는 것이 어렵다[9]. 또한 항공기 전방에 탑재되기 위하여 원형의 평면 배열

표 1. Brick vs tile vs quasi-tile 특성 비교
Table 1. The characteristics comparison between brick vs tile vs quasi-tile.

Structure	Brick	Tile	Quasi-tile
Size	-	++	+
Weight	-	++	+
Extensibility	-	++	+
Development difficulty	++	--	+
Structural complexity	++	--	+

AESA 안테나 제작시, 송수신 단위 모듈을 활용하면 중앙에 가장 긴 송수신 단위 모듈이 배치되고, 멀어질수록 작은 송수신 단위 모듈이 배치되어야 한다. 송수신 단위 모듈로 안테나를 구성시, 12종류의 10~36채널을 가지는 서로 다른 길이의 송수신 단위 모듈이 필요한데, 이는 표준화가 어렵고, 확장성이 떨어지는 문제를 만든다[10]. 능동배열안테나의 구현을 위해서는 구조상 확장성이 있고, 규격화가 가능한 송수신 단위 모듈 구조가 유리하다.

본 논문에서는 기존의 브릭형과 타일형 구조의 단점을 보완하기 위하여 quasi-tile 구조의 송수신블록을 제안하였다. Quasi-tile 구조는 RF회로 관련 송수신모듈은 평면 구조로 구현이 용이하고, 제어관련 모듈은 적층형으로 제작되어 브릭형과 타일형의 장점을 가질 수 있다. 표 1은 브릭형, 타일형과 제안한 quasi-tile 구조를 서로 비교한 것이다. Quasi-tile 구조는 타일형의 특성으로 크기, 무게, 확장성에서 강점을 가지며, 브릭형의 특성으로 개발 난이도와 구조 복잡성에서 강점을 가진다.

송수신블록은 단일 구조를 가지도록 설계되어, 규격화가 용이하다. 또한, 송수신블록 내부에는 냉각 구조를 넣지 않고, 블록의 한쪽 면으로 냉각판에 접촉되도록 방열을 하도록 하였다. 송수신모듈은 GaN 기반의 소자로 제작이 되어 방열과 경량화에도 유리하도록 설계하였다.

Ⅱ. Scalable AESA 안테나

기존 송수신 단위 모듈에서는 수냉 냉각 구조가 포함되면서, 길이가 긴 하나의 단위 모듈 형태로만 제작이 가능하다[10]. 원형에 가까운 AESA 안테나를 구성할 때, 중앙에 가장 긴 송수신 단위 모듈이 배치되고, 옆으로 가면

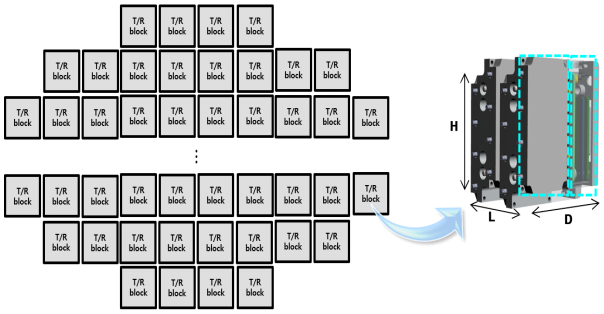

그림 1. 송수신블록을 이용한 scalable AESA 안테나 구성
Fig. 1. Scalable AESA antenna configuration using transmit /receive block.

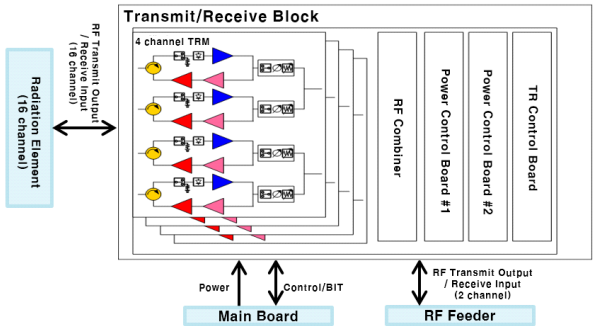

그림 2. 송수신블록 구성도 및 외부 인터페이스
Fig. 2. Transmit/receive block diagram and external interface.

서 작은 송수신 단위 모듈이 배치된다. 이와 같이 안테나를 구성하는 송수신 단위모듈의 크기(채널 수)가 제각각일 경우, 개발과정에서의 표준화가 용이하지 않고, 확장성 또한 떨어진다.

본 논문에서는 기존 plank 구조의 확장성이 떨어진다는 단점을 보완하기 위하여 송수신 블록을 제안하였다. 그림 1과 같이 quasi-tile 구조의 송수신블록을 서로 이어 붙임으로써, 원하는 플랫폼 사이즈에 맞춰 Scalable AESA 안테나의 개구면을 만들 수 있다. 제시한 송수신블록은 구조가 한가지로 동일하여 대량 생산이 용이하며, 경제성이 좋다. 송수신블록의 고장시에도 해당 블록만 교체하면 되므로 정비성이 좋다.

Ⅲ. 송수신블록 설계

제안한 quasi-tile 구조의 송수신블록 내부 구성도는 그림 2와 같다. 송수신블록은 송수신모듈 조립체, 송수신제어보드 조립체, 송수신블록 프레임으로 구성이 된다. 송수신제어보드 조립체는 RF결합보드, 전원제어보드, 송수신제어보드로 구성이 된다. 송수신제어보드는 빔조향 명령을 전달 받아서, 송수신모듈의 빔 조향각 및 송수신 타이밍을 제어하는 역할을 수행한다. 송수신블록 프레임은 송수신모듈 및 송수신 제어보드의 지지구조를 제공하고, 송수신 모듈을 위한 방열 경로를 제공하는 역할을 수행한다.

하나의 송수신블록에는 송수신모듈 조립체가 4개이고, 각 송수신모듈조립체 내에는 4채널의 송수신모듈이 들어간다. 4개의 송수신모듈조립체는 브릭형 구조로 수평으로 배치하였고, 송수신제어보드 조립체의 RF 결합보드, 전원 및 송수신 제어 보드는 타일형으로 배치하여 quasi-tile 구조를 구현하였다. 송수신모듈 조립체에서 송신출력/수신입력 커넥터는 2:1의 입출력 구조를 가져서, RF 결합기로 총 8개의 채널이 연결된다. RF 결합기에서는 8:1의 결합비를 가져서 송수신제어보드에서는 최종적으로 1개의 채널을 통해서 RF 급전기와 RF송신출력/수신입력을 전달한다. 안테나 복사 소자와 송수신블록은 16개의 채널을 통해서 RF송신출력/수신입력 신호를 전달한다.

송수신블록의 성능 요구 규격은 표 2와 같다.

3-1 송수신블록 RF 설계

그림 3은 1채널 송수신 경로의 RF 블록도이다. 송신시

표 2. 송수신 블록 성능 요구 규격
Table 2. The performance requirement of transmit/ receive block.

Main components	Value
Transmit efficiency [%]	> 18
Receive noise figure [dB]	< 3.5
Receive gain [dB]	> 26
Transmit output(1 channel) [dBm]	> 40
Maximum transmit duty [%]	13
Receive path phase error [°]	< ±15°
Transmit path phase error [°]	< ±20°
Consumption power [W]	< 116

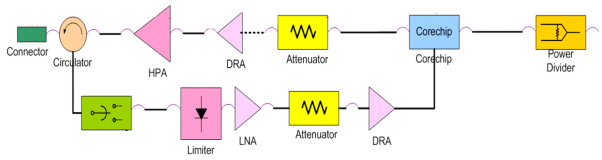

그림 3. 송수신경로(1채널) 블록도
Fig. 3. Block diagram of transmit/receive path(1 channel).

에는 신호가 Corechip, DRA(구동증폭기), HPA(고출력증폭기), Circulator를 거쳐서 복사 소자에 전달된다. 수신시에는 신호가 Circulator, Term Switch, Circulator, Limiter, LNA(저잡음증폭기), DRA, Corechip을 거쳐서 분배기로 입력된다. 이때 수신신호가 Circulator를 지나 곧바로 LNA로 들어가지 않고, Limiter를 통과하게 하여 impedance mismatching으로부터 HPA 보호를 해주었다. Limiter를 추가하게 되면서 수신 잡음 지수가 약간 저하된다.

수신경로에서의 주요 소자 항목, 특성 및 제조사 모델은 표 3과 같다. 수신경로에서 주요 소자인 LNA, Corechip의 이득 및 잡음 지수를 활용하여, Agilent 사의 ADS를 통해서 시뮬레이션을 수행하였다. 그림 4는 수신경로의 수신 잡음 지수 시뮬레이션 결과이다. 그림 4의 x축은 RX in/out을 제외하고 0~10까지 11개의 구성품 숫자를 의미한다. 수신 잡음 지수 시뮬레이션 결과 3.29 dB의 값을 확인하였다. 그림 5는 수신경로의 수신 이득 시뮬레이션 결과이다. 수신 이득 시뮬레이션 결과로 27.97 dB의 값을 확인하였다.

표 3. 수신경로 주요 소자 항목 및 특성
Table 3. Main devices & characteristics of receive path.

Main element	Gain [dB]	Noise figure [dB]	Manu-facturer	Model name
LNA	19	1.5	UMS	CHA2110-98F
Core chip	6	2	OMMIC	CGY2170YUH

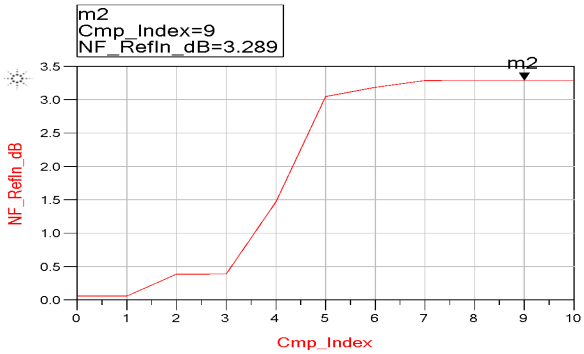

그림 4. 수신경로 잡음 지수 시뮬레이션 결과
Fig. 4. Simulation result of receive path noise figure.

송신경로에서의 주요 소자 항목, 특성 및 제조사 모델은 표 4와 같다. 송신경로에서 주요 소자인 HPA, DRA, Corechip의 이득 값을 활용하여, ADS 시뮬레이션을 수행하였다. 그림 6은 송신경로의 송신 출력 시뮬레이션 결과이다. 그림 6의 x축은 TX in/out을 제외하고 0~14까지 15개의 구성품 숫자를 의미한다. 송신 출력 레벨 시뮬레이션의 결과 40 dBm의 값을 확인하였다.

본 논문에서 적용된 GaN 소자의 경우, Pulse mode로 동작함으로 고효율 특성을 최대한 활용할 수 있도록 동작구간에서만 전류를 소모하도록 전원 스위칭 회로를 적용하였다. 본 논문에 적용된 GaN HPA의 경우, Bias Class 상 class AB에 속하기 때문에 RF가 인가되지 않는 구간에서도 전류를 소모한다. 이와 같이 전원 스위칭의 guard

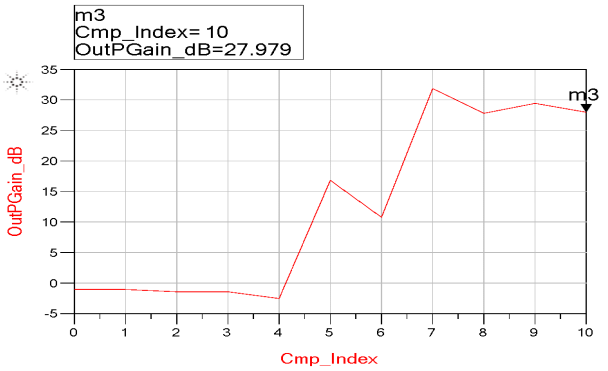

그림 5. 수신경로 이득 시뮬레이션 결과
Fig. 5. Simulation result of receive path gain.

표 4. 송신경로 주요 소자 항목 및 특성
Table 4. Main devices & characteristics of transmit path.

Main element	Gain [dB]	Manufacturer	Model name
Core chip	9	OMMIC	CGY2170YUH
DRA	20.5	UMS	CHA5014-99F
HPA	15.9	UMS	CHA8610-99F

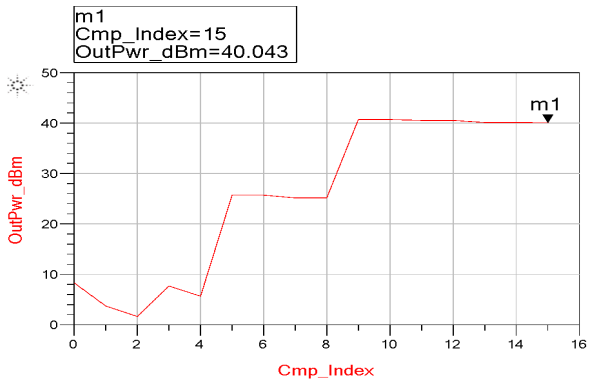

그림 6. 송신경로 출력 시뮬레이션 결과
Fig. 6. Simulation result of transmit path power.

time 구간에도 전류를 소모함에 따라 본 논문에서는 이를 최소화할 수 있도록 고속의 전원 스위칭 회로를 적용하였다. 그림 7은 HPA 전원 스위칭 블록도 및 타이밍도이다. 일반적으로 고속 스위칭 회로가 적용되지 못할 경우, Gurad time은 1 μs를 적용하는 반면, 본 논문에서는 0.1 μs의 Guard Time 설정이 가능한 고속 스위칭 회로를 적용하였다. Guard Time의 영향은 High PRF 적용 시 가장 크게 나타난다. High PRF 7 μs, Duty 13 %를 적용할 경우, Guard Time을 반영한 상대 듀티는 표 5와 같다. 고속 스위칭 회로를 적용할 경우, 상대 듀티가 적용하지 않은

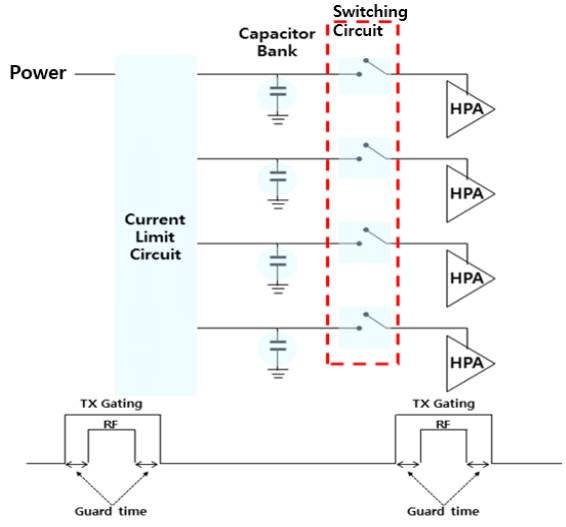

그림 7. HPA 전원 스위칭 블록도 및 타이밍도
Fig. 7. HPA power switching diagram and timing diagram.

표 5. 고속스위칭 회로 적용 여부에 따른 상대 duty
Table 5. Relative duty due to application of high-speed switching circuit.

	PRI	PW	TX-EN	Relative duty
Without high-speed switching circuit	7 μs	0.91 μs	2.91 μs	41.6 %
With high-speed switching circut			1.91 μs	27.3 %

경우에 비해 65 % 수준으로 개선됨을 확인할 수 있으며, 이는 소모전류로 직결된다.

3-2 송수신블록 제어 설계

송수신블록 제어의 주요 기능은 레이다 처리장치의 빔 조향 명령을 이용하여 빔 조향 제어 연산을 수행하는 것이다. 송수신블록 제어 기능의 동작 순서도는 그림 8과 같다. 레이다 처리장치에서는 원하는 조향각에 대한 빔조향 명령이 16 bit의 phase gradient $d\theta x$, $d\theta y$로 내려온다. 송수신블록 제어에서는 먼저 빔 조향 명령을 이용해서 이상적인 위상값을 계산한다. 이상적인 위상값은 식 (1)을 통해서 계산할 수 있다[10].

$$Phase_{ideal} = m*d\theta x + (n + [0.5* Y_{off}])*d\theta y \quad (1)$$

where Y_{off}: 1(*m: 짝수*), 0(*m: 홀수*)

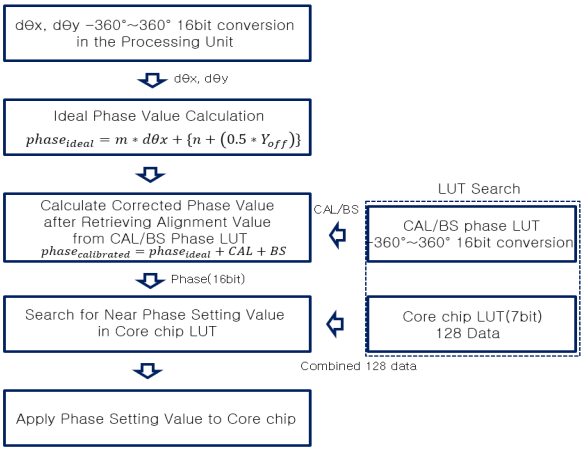

그림 8. 송수신블록 제어 기능 동작 순서도
Fig. 8. Operation flow diagram of transmit/receive block control unit.

식 (2)에서 m, n은 송수신 모듈의 소자의 위치이고, Y_{off}는 삼각형 배열 격자 구조에서 offset 값을 추가한 것이다. 계산된 이상적인 위상 값을 이용해서 CAL (Calibration) phase / BS (Beam Shape) phase LUT (Look Up Table)에서 배열소자간 위상 오차 감쇄를 위한 CAL, BS 정렬 보정값을 찾는다. 이때, CAL은 Calibration correction, BS는 beam shape가 Uniform/Taylor에 따른 보정값이다[10]. CAL 값은 송수신블록 내부의 LUT 값을 참고한다. 이때, CAL LUT 값은 송수신블록 별로 다르며, 송수신블록이 배치되는 위치에 상관없이 일정하다. CAL LUT 값은 주파수, 온도에 따라 다른데, 일정한 간격에 따른 측정값을 사용하며, 측정값이 없는 경우에는 보간법(interpolation)을 활용하여 얻는다. CAL LUT가 송수신블록 내부에 있기 때문에 scalable AESA 안테나 제작시 안테나 시스템 차원에서 보정 table을 가질 필요가 없다. 계산된 CAL값과 BS값을 이상적인 위상 값에 더해주면 식 (2)와 같은 보정 위상값을 계산할 수 있다.

$$Phase_{calibrate} = m*d\theta x + (n + [0.5*Y_{off}])*d\theta y + CAL + BS \quad (2)$$

계산된 보정 위상값으로 가변하기 위하여, 가장 근사치의 값을 Core chip LUT에서 찾는다. 찾은 위상 설정값은 Core chip에 적용한다.

3-3 송수신블록 방열 설계

제안한 송수신 블록은 그림 9와 같은 설계 형상을 가진다. Plank 구조의 송수신 단위 모듈에서는 내부에 수냉 냉각 구조를 포함하는데 비하여 quasi-tile 송수신 블록 내부에는 수냉 냉각 구조가 없다. 대신 열이 많이 발생하는 송수신모듈의 PA(power amplifier) 부분의 열을 송수신블록 quasi-tile 구조의 한쪽 접촉면으로 집중한다. 접촉면에 EGW(ethylene glycol water) 냉각수가 흐르는 냉각판을 맞닿게 하여 냉각을 할 수 있다. Plank 구조의 송수신 단위 모듈에서는 냉각수가 송수신모듈과 집적 접촉하여 냉각 효율이 좋다. 제안한 송수신블록은 효율이 우수한 GaN 소자를 활용하였기 때문에 상대적으로 열이 덜 발생하여 블록의 외부 접촉면에서 냉각을 하는 것으로도 충분한 성능을 낼 수 있다.

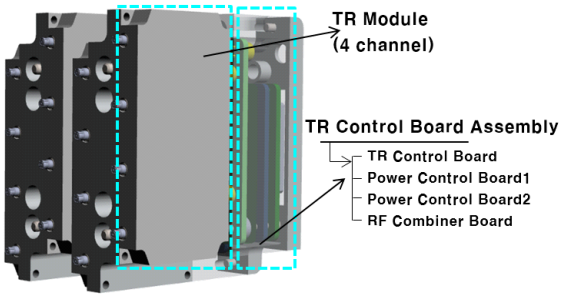

그림 9. 송수신블록 설계 형상
Fig. 9. Transmit/receive block design geometry.

그림 10은 본 논문에서 제안한 송수신블록의 수냉 냉각 방식이다. 안테나 전면부에 송수신블록들이 접촉되며, 접촉된 송수신블록은 수냉 방식의 냉각판으로 열을 배출하게 된다.

송수신블록 내부에서의 주요 발열 소자는 HPA, LNA, DRA, Corechip, Switch 등이 있다. 소자별 이론 발열량은 HPA: 2.85 W, Switch: 0.2 W, LNA: 0.27 W, Core chip: 0.3 W, DRA: 0.2 W와 같다. 따라서 1채널당 총합 3.82 W의 발열을 내고, 16개의 채널을 가지고 있는 송수신블록은 61.12 W의 발열원이 된다.

사용된 HPA가 70°C까지는 요구 성능을 만족하므로, 냉각 수행시 HPA의 온도 규격은 70°C 이하가 되어야 한다. 이때 냉각판 접촉부는 이보다 약 20% 정도 낮은 수준이 되도록 냉각 구조를 설계하였다. 송수신블록에서의 방열특성을 검증하기 위하여 ICEPAK 프로그램을 이용하여 접촉 열저항이 있는 조건으로 시뮬레이션을 진행하였다.

시뮬레이션을 수행할 때 주요 발열 소자인 HPA, LNA, DRA, Core chip, Switch를 사각형 패치 모양의 발열원으

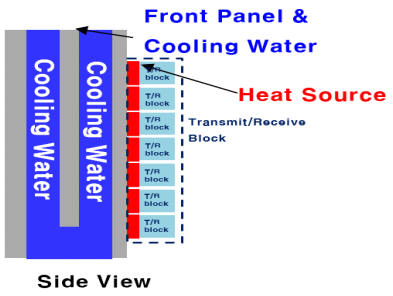

그림 10. 송수신블록의 수냉 냉각 방식
Fig. 10. Water cooling method of transmit/receive block.

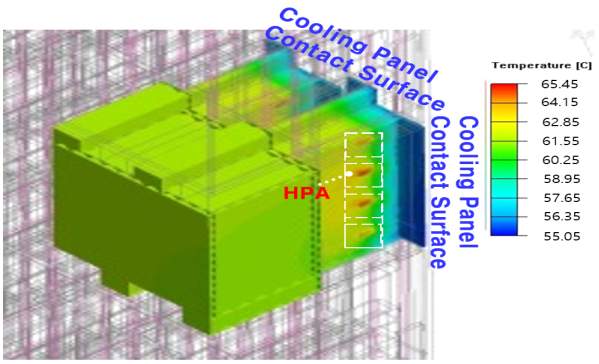

그림 11. 송수신블록에서 방열 시뮬레이션 결과
Fig. 11. Heat dissipation simulation result of transmit/ receive block.

로 가정하여 실제 소자 위치에 배치하였다. 그림 11이 시뮬레이션 결과이며, 시뮬레이션 상으로 빨간색으로 보이는 부분이 HPA가 있는 위치이다. HPA가 있는 곳은 최대 65.4°C까지 온도가 올라가는 것을 확인할 수 있어서 규격을 만족한다. 송수신블록 냉각판 접촉면의 온도가 HPA 온도 규격대비 20 % 이하로 설계하였으므로, 이때 ΔT(HPA-냉각판 접촉면) 온도는 약 15 % 정도 개선되는 특성을 가진다.

3-4 송수신블록 전원 설계

송수신블록의 전원 기능은 안테나로부터 전원/제어 신호를 입력받아서, 송수신모듈에 전력을 공급/제어 기능을 수행한다. 설계된 송수신블록의 전원 구성도는 그림 12와 같다. 송수신제어보드에서는 송수신모듈의 주요 부품 구동에 필요한 +28 V, +9 V, +5 V, +/−3 V, GND 전압을 공급해준다. 그중 고전압인 28 V, 9 V는 전원 제어부를 통해서 송수신모듈로 안정적인 전원 공급을 수행한다. 저전압인 +5 V, +/−3 V 는 곧바로 송수신 모듈로 전원 공급이 된다.

송수신블록 소모전력의 규격 목표 값은 116 W 이하를 만족하는 것이다. 표 6은 규격을 만족하기 위한 구성품별 필요 전압/전류 및 duty 13 %에서 소모전력 budget을 나타낸다. 각 소자별 소모전력은 전압과 평균 전류를 곱하여 얻을 수 있다. 송수신모듈의 1채널 내 소자들인 HPA, DRA, LNA, Corechip에서의 소모전력 합은 7.11 W가 된다. 송수신블록 내 16채널의 송수신 모듈이 있으므로 채널당 소모전력의 16배를 곱하면 113.76 W가 된다. 이외에 RF 결합보드 및 송수신제어보드의 소모전력 2.1 W을 합하면, 송수신블록은 도합 116 W 규격 목표를 만족한다.

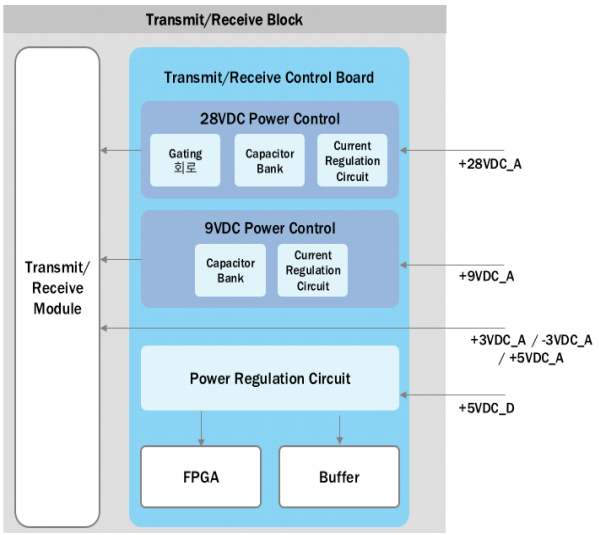

그림 12. 송수신블록 전원 구성도
Fig. 12. The power configuration of transmit/ receive block.

표 6. 송수신블록에서 소모전력 budget
Table 6. Power consumption budget of transmit/receive block.

Component			Voltage [Vdc]	Current [A]		Power [W]
				Max	Avg	
Transmit/ receive block	Transmit/ receive module (1 channel)	HPA	28	1.6	0.208	5.83
		DRA	9	0.3	0.039	0.36
		LNA	5	0.1	0.1	0.5
		Corechip	3	0.1	0.1	0.3
		Corechip	-3	0.04	0.04	0.12
	RF coupling board		5	0.17	0.17	0.85
	Transmit/receive control board		5(Analog)	0.05	0.05	0.25
			5(Digital)	0.2	0.2	1

Ⅳ. 송수신블록 제작 및 시험

4-1 송수신블록 제작

설계된 송수신모듈, 송수신제어보드 및 송수신블록하

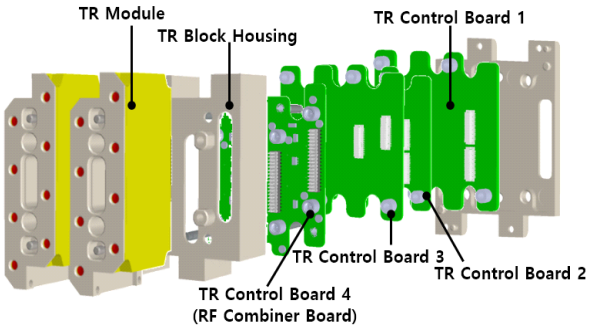

그림 13. 모델링된 송수신블록 분해도
Fig. 13. The modeled transmit/receive block disassembly view.

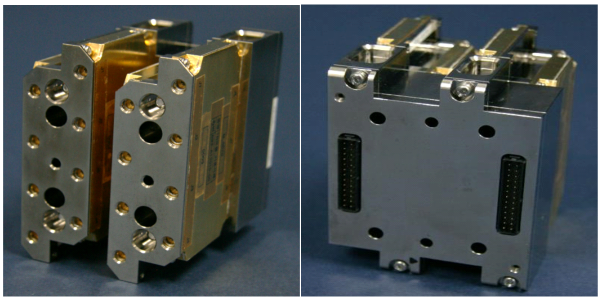

그림 14. 제작된 송수신블록 전면(좌), 후면(우) 사진
Fig. 14. The fabricated transmit/receive block front(left) back (right) view.

우징을 그림 13과 같은 순서로 결합하여 송수신블록을 제작하였다. 그림 14는 제작된 quasi-tile 구조의 송수신블록의 전면/후면 사진이다. 송수신블록의 무게 감소를 위해서 구조적으로 불필요한 부분은 제거하였다.

4-2 송수신블록 시험

4-2-1 송수신블록 RF 시험

제작된 송수신블록의 RF 성능 측정 결과는 표 7과 같다. 표 7에서는 설계값, 시뮬레이션, 측정값을 비교하였다. 그림 15는 송수신블록의 수신 잡음 지수 측정 결과이다. X-대역 내에서 최대 측정값이 3.4 dB로 3.5 dB의 설계값을 만족한다. 그림 16은 송수신블록의 수신 이득 측정 결과이다. X-대역 내에서 최저 측정값이 28.4 dB로 26 dB 이상의 설계 값을 만족한다.

표 7. 송수신 블록 RF 성능 측정 결과
Table 7. The measurement result of transmit/receive block RF performance.

Component		Design value	Simulation value	Measurement value
Receive	Noise figure [dB]	< 3.5	3.28	3.4
	Receive gain [dB]	> 26	27.98	28.4
Transmit	Transmit power (1 channel) [dBm]	> 40	40.04	40.7

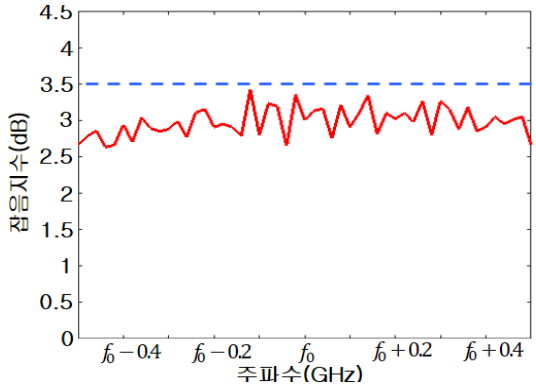

그림 15. 수신 잡음 지수 측정 결과
Fig. 15. Measurement result of noise figure.

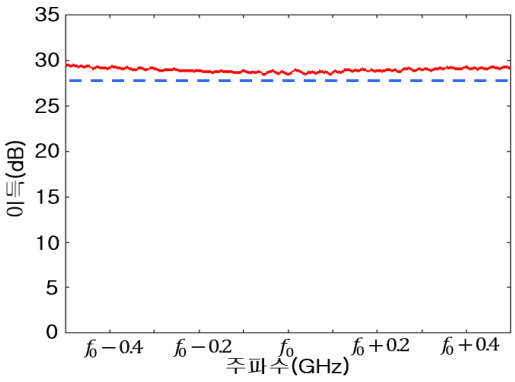

그림 16. 수신 이득 측정 결과
Fig. 16. Measurement result of receiver gain.

그림 17은 송수신블록 1채널의 송신 출력 측정 결과이다. 펄스폭 200 μs의 조건에서 시험을 수행하였고, 측정 결과는 40.7 dBm이 나와 40 dBm 이상의 설계값을 만족한다.

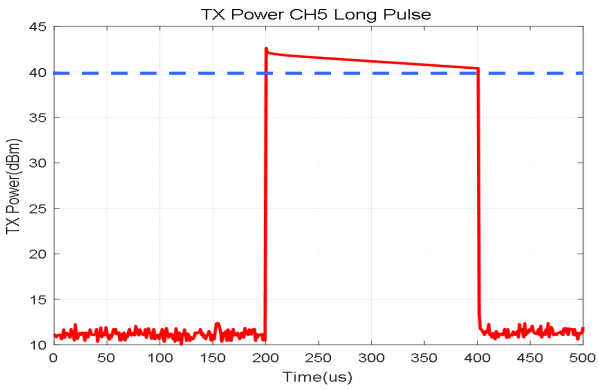

그림 17. 송신 출력(1 채널) 측정 결과
Fig. 17. Measurement result of transmit output power(1 channel).

4-2-2 송수신블록 온도 시험

고온 시험에서는 주변 온도를 71℃까지 상승시켜서 송수신블록의 성능을 측정하였다. 먼저 상온에서 Pre-test를 수행하고, 고온에서 3번의 During-test를 수행하였다. 그리고 다시 상온에서 Post-test를 수행하였다. 저온 시험에서는 주변 온도를 −40℃까지 내리고, 송수신블록의 성능을 측정하였다. 이때 상온에서 pre-test를 수행하고, 저온에서 during-test를 수행, 상온에서 post-test를 수행하였다.

표 8은 송수신블록 1채널의 송신출력에 대한 온도 환경시험 측정 결과이다. 고온 시험/저온 시험 중에 측정값이 40.4~40.8 dBm으로 모두 설계값 40 dBm을 만족한다.

표 8. 송수신 블록 송신출력 온도 환경시험 측정 결과
Table 8. The measurement result of transmit/receive block temperature environment test.

Test phase		Temperature [℃]	Design value [dBm]	Measurement value (1 channel) [dBm]
High temperature test	Pre-test	25	40	40.6
	During-test 1	71	40	40.5
	During-test 2	71	40	40.4
	During-test 3	71	40	40.4
	Post-test	25	40	40.8
Low temperature test	Pre-test	25	40	40.8
	During-test	-40	40	40.7
	Post-test	25	40	40.6

그림 18. 수신경로 위상 오차 측정치(40℃)
Fig. 18. Phase error measurement result of receive path (40℃).

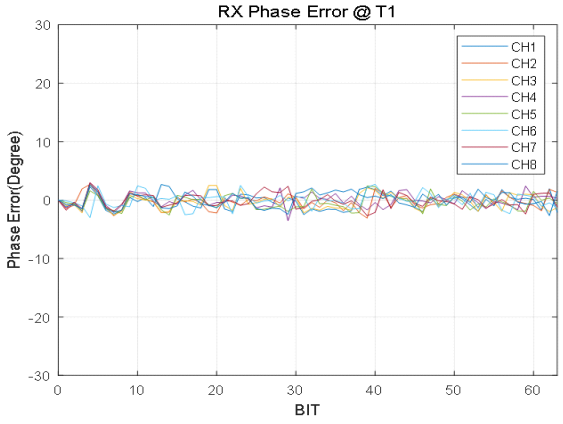

그림 19. 수신경로 위상 오차 측정치(60℃)
Fig. 19. phase error measurement result of receive path(60℃).

그림 18 및 그림 19는 송수신블록 내의 8개 채널에 대하여 주변 온도 40℃, 60℃에서 수신경로 위상 오차를 측정한 것이다. 송수신블록 주변 온도를 40℃에서 60℃까지 상승시켰지만, 각 채널별 수신경로 위상 오차는 거의 동일함을 확인할 수 있다.

4-2-3 송수신블록 전원 시험

전원 시험에서는 펄스폭 13 μs, Duty 13 %의 조건에서

표 9. 송수신블록 소모전력 측정 결과
Table 9. Power consumption measurement result of transmit /receive block.

Voltage [V]	Current [A]	Comsumption power [W]
28	3.42	95.76
9	0.511	4.599
3	0.439	1.317
−3	0.155	0.465
5 (Analog)	1.345	6.725
5 (Digital)	0.42	2.1
Total value		110.966
Design value		116

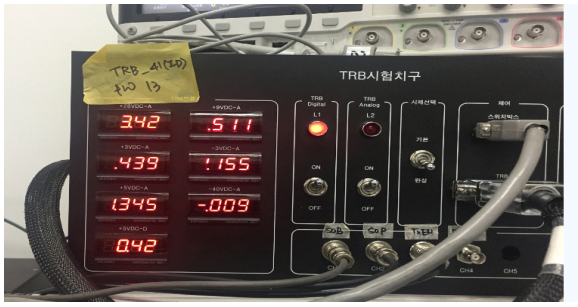

그림 20. 송수신블록 소모전류 측정 결과
Fig. 20. Current consumption measurement result of transmit /receive block.

송수신블록의 성능을 측정하였다. 표 9와 그림 20은 각각 1개의 송수신블록에서의 소모전력 및 소모전류 측정 결과이다. 송수신블록 하나에서 총 110 W 정도의 전력을 소모하여, 116 W의 설계값을 만족하는 것을 확인할 수 있다.

Ⅴ. 결 론

본 논문에서는 scalable AESA 안테나를 위한 X대역 송수신블록을 설계 및 제작하였다. 기존 plank 구조의 송수신 단위 모듈이 수냉 구조 포함으로 확장성이 떨어지는 단점을 극복한 송수신블록을 제안하였다. 제안된 송수신블록은 브릭형과 타일형 구조의 장점을 결합한 quasi-tile 구조이다. 송수신블록 내부에 수냉 냉각 구조를 포함하지 않고, 블록의 한쪽 면으로 냉각판을 접촉하여 방열을 한다. 송수신블록을 활용할 경우, 방열 구조를 통하여 HPA와 냉각판 접촉면의 온도차는 약 15 %정도 개선된다. 송수신모듈은 GaN 소자를 활용하였고, 높은 항복전계를 가지는 특성으로 전원 스위칭 회로 사용시 고효율이 가능해지고, 높은 열전도도로 방열에 장점이 있다. 원하는 플랫폼 사이즈에 맞춰서 quasi-tile 구조의 송수신블록을 이어붙이면 AESA 안테나를 만들기에도 용이하다.

제작된 송수신블록의 측정 결과, 수신 잡음 지수는 3.4 dB, 수신 이득 28.4 dB, 송신 출력은 40.7 dBm으로 설계값을 모두 만족하였다. 송수신블록은 온도 환경시험을 통해 −40∼71°C 환경에서도 설계값 이상의 송신출력을 만족하였다. 전원 시험에서도 소모전력의 설계값 116 W 이하임을 확인하였다.

본 논문에서 제안한 송수신블록을 이용하여 실제 AESA 안테나 장치를 제작하여 시험을 수행 중이다.

References

[1] B. A. Kopp, "S- and X-band radar transmit/receive module overview," in *2007 IEEE Radar Conference*, Boston, MA, Jun. 2007, pp. 948-953.

[2] D. Y. Kim, M. K. Chong, S. K. Kim, S. M. Chon, H. G. Na, and S. H. Baik, et al., "T/R module development for X-band active phased-array radar," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 20, no. 12, pp. 1243- 1249, Dec. 2009.

[3] J. H. Ha, J. Y. Moon, K. W. Lee, B. C. Nam, and S. W. Yun, "A design of X-band tile type active transmit/receive module," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 21, no. 12, pp. 1467-1474, Dec. 2010.

[4] S. H. Jang, B. C. Nam, J. P. Kim, and S. J. Kim, "X-band dual channel transmit/receive module using hetero-junction multilayer substrate," *Microwave and Optical Technology Letters*, vol. 56, no. 8, pp. 1850-1854, May 2014.

[5] A. D. McLachlan, M. Dunn, G. D. Morrison, J. Forbes, and R. Peall, et al., "T/R modules for airborne radar: The challenges ahead," in *2005 European Microwave Con-*

ference, Paris, Oct. 2005, p. 4.

[6] M. Oppermann, R. Rieger, "Multifuntional MMICs: Key enabler for future AESA panel arrays," in *2018 IMAPS Nordic Conference on Microelectronics Packaging (NordPac)*, Oulu, Jun. 2018, pp. 77-80.

[7] B. A. Kopp, M. Borkowski, and G. Jerinic, "Transmit/receive modules," *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 3, pp. 827-834, Mar. 2002.

[8] J. H. Lim, H. S. Jin, S. H. Ryu, J. S. Park, T. H. Kim, and D. H. Lim, "Design and fabrication of X-band GaN TRM for a radar," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 25, no. 2, pp. 172-182, Feb. 2014.

[9] C. H. Jung, W. H. Lee, S. W. Kang, and K. W. Kim, "Analysis of cooling performance of AESA(active electronically scanned array) radar antenna system," *The Korean Society of Mechanical Engineers*, Nov. 2011, pp. 1673- 1677.

[10] S. H. Jang, J. P. Kim, S. J. Kim, and C. Y. Cheon, "Implementation of electronic beam steering system using look-up table calibration method," *Microwave and Optical Technology Letters*, vol. 56, no. 12, pp. 2769-2773, Dec. 2014.

황 인 수 [국방과학연구소/연구원]

https://orcid.org/0000-0003-4080-2684

2014년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)

2016년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)

2016년 2월～현재: 국방과학연구소 연구원

[주 관심분야] 반도체 송수신 모듈 설계, 능동 위상배열 레이다 시스템 설계, 항공기 레이다

이 유 리 [LIG넥스원/수석연구원]

https://orcid.org/0000-0002-5741-9182

2005년 2월: 광운대학교 전파공학과 (공학사)

2007년 2월: 광운대학교 전파공학과 (공학석사)

2007년 2월～현재: LIG넥스원 수석연구원

[주 관심분야] 반도체 송수신 모듈, 능동 위상 배열 레이다

장 성 훈 [국방과학연구소/책임연구원]

https://orcid.org/0000-0002-3100-0834

1996년 2월: 서울시립대학교 전자공학과 (공학사)

1998년 2월: 서울시립대학교 전자공학과 (공학석사)

2015년 2월: 서울시립대학교 전자공학과 (공학박사)

1998년 2월～현재: 국방과학연구소 책임연구원

[주 관심분야] 반도체 송수신 모듈 설계, 능동 위상배열 레이다 시스템 설계, 항공기 레이다