THE JOURNAL OF KOREAN INSTITUTE OF ELECTROMAGNETIC ENGINEERING AND SCIENCE. 2020 Jun.; 31(6), 563～566.

http://dx.doi.org/10.5515/KJKIEES.2020.31.6.563
ISSN 1226-3133 (Print) · ISSN 2288-226X (Online)

듀플렉서를 통합한 65-nm CMOS 저잡음 증폭기

Low Noise Amplifier with a Merged Duplexer

임정택 · 최한웅 · 주태환* · 김철영

Jeong-Taek Lim · Han-Woong Choi · Taehwan Joo* · Choul-Young Kim

요 약

본 논문은 듀플렉서를 통합한 저잡음 증폭기 설계에 관한 내용이다. EBD(electrical balance duplexer)와 저잡음 증폭기의 입력 매칭 네트워크를 통합하여 수신단의 입력 손실을 최소화 하였으며, EBD와 저잡음 증폭기의 입력 매칭 네트워크를 통합하였기 때문에 차동구조로 설계되었다. 저잡음 증폭기의 첫 단은 잡음 특성을 고려하여 common-source 구조로 설계하였으며, 출력 발룬에서 발생하는 임피던스 부정합과 위상 부정합의 영향을 최소화하기 위하여 두 번째 단은 cascode 구조로 설계하였다. 또한 interstage 매칭 네트워크도 부정합을 고려하여, lumped 소자를 이용하여 대칭으로 설계하였다. 듀플렉서를 통합한 저잡음 증폭기는 크기가 0.85×0.33 mm^{2}이며, 설계 결과 14.3～15.9 GHz 대역에 대해 반사손실는 8.7 dB 이상, 송신 경로의 손실은 4.3 dB 이하, 수신 경로의 이득은 18.04 dB 이상, 수신경로의 잡음지수는 5.21～5.23 dB이며, 송신포트와 수신포트 사이의 격리도는 39.3 dB 이상이다.

Abstract

In this paper, we present a low noise amplifier with a merged duplexer. The input matching network of the electrical balance duplexer(EBD) and the low-noise amplifier were integrated to minimize input insertion loss in the RX path. The low noise amplifier was designed with a differential structure because its input matching network was integrated with the EBD. The first stage of the low-noise amplifier was designed with a common-source structure while considering noise characteristics. The second stage of the low-noise amplifier was designed with a cascode structure to minimize the effects of impedance mismatch and phase mismatch on the output balun. In addition, the interstage matching network was designed symmetrically using lumped elements while considering the mismatch. The low noise amplifier with a merged duplexer had a gain of over 18.04 dB at the RX path, a return loss of over 8.7 dB, an insertion loss of 4.3 dB at the TX path, a noise figure of 5.21 to 5.23 dB at the RX path in the frequency range of 14.3 to 15.9 GHz, and its chip size was 0.85×0.33 mm^2.

Key words: Electrical Balance Duplexer, LNA, CMOS, Circulator, Self-Interference Isoaltion

Ⅰ. 서 론

IoT나 자율주행과 같은 기술들이 발달하면서, 사람들은 점차 높은 전송속도와 데이터 전송률을 요구하게 되

「본 연구는 국방과학연구소가 지원하는 사업의 일환으로 수행되었음(UC180006ED)」

충남대학교 전자공학과(Department of Electronic Engineering, Chungnam National University)

*국방과학연구소 제2기술연구본부(The 2nd Research and Development Institute, Agency for Defense Development)

· Manuscript received April, 6, 2020 ; Revised May, 16, 2020 ; Accepted June, 2, 2020. (ID No. 20200406-029)

· Corresponding Author: Choul-Young Kim (e-mail: cykim@cnu.ac.kr)

ⓒ Copyright The Korean Institute of Electromagnetic Engineering and Science. All Rights Reserved.

었다. 따라서 고속 고용량 이동통신 기술의 구현을 위하여 다양한 기술적 접근이 이루어지고 있다. 또한 단말기와 기지국의 하드웨어 측면에서는 기존의 주파수 분할(frequency-division duplex) 송수신 시스템이나, 시분할(time-division duplex) 송수신 시스템과 다르게 송신 스펙트럼과 수신 스펙트럼을 공유하고 송수신을 동시에 하여 제한된 스펙트럼 자원에서 무선자원의 용량을 증대시킬 수 있는 동일대역(in-band) 전이중방식(full-duplex) 송수신 시스템 구현기술이 다양하게 연구되고 있다[1].

전이중방식 소형 송수신기의 경우, 다중안테나를 사용하는 것이 어렵기 때문에 하나의 안테나와 서큘레이터(circulator) 혹은 EBD(electrical balance duplexer)를 사용하는 기술이 일반적으로 연구되고 있다[2]. 우선 서큘레이터의 경우, 손실이 작다는 장점이 있다. 하지만 EBD와 비교하여 상대적으로 낮은 격리도를 가지며, 영구자석이나 페라이트 같은 칩으로 집적할 수 없는 물질들을 사용하는 문제점이 있다. 다음으로 EBD의 경우, 서큘레이터와 비교하여 상대적으로 높은 격리도를 가지며, IC로 제작이 가능해 칩으로 집적 가능하다. 하지만 이론적으로 송신경로와 수신경로에 3 dB의 손실을 가지며, 매칭 네트워크로 인한 손실이 추가적으로 발생하기 때문에 송신신호와 수신신호의 손실이 크다는 문제점이 있다[3].

이러한 문제를 해결하기 위해 본 논문에서는 그림 1과 같은 일반적인 EBD에서 EBD의 역할을 하는 소자와 EBD의 수신 포트 네트워크, 저잡음 증폭기의 입력 매칭네트워크를 통합하여 매칭 네트워크로 인한 손실을 최소화하

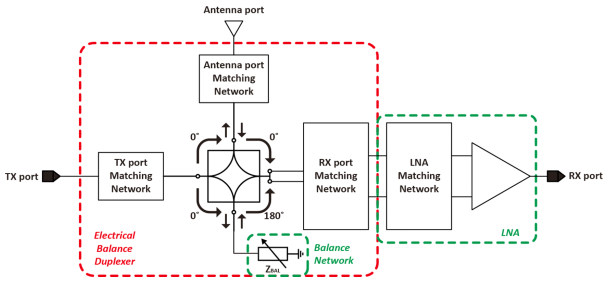

그림 1. 일반적인 electrical balance duplexer와 LNA의 구조도

Fig. 1. The block diagram of conventional electrical balance duplexer & low noise amplifier.

였으며, 이를 65 nm CMOS 공정기술을 이용하여 Ku 대역에서 사용가능하며, EBD의 수신신호의 손실이 크다는 단점이 해결된 듀플렉서를 통합한 저잡음 증폭기를 설계하였다.

Ⅱ. 듀플렉서를 통합한 저잡음 증폭기 설계

본 논문에서 사용한 EBD는 트랜스미션 라인 기반의 증폭기가 차동 구조이어야 한다. 본 논문에서는 수신부의 입력단 손실을 최소화하기 위하여 EBD와 EBD의 수신포트 메칭 네트워크, 저잡음 증폭기의 입력 메칭 네트워크를 통합하였기 때문에, 차동 구조의 저잡음 증폭기를 선택하였다.

본 논문에서 설계된 저잡음 증폭기의 경우, 저잡음 증폭기의 잡음 특성 개선과 매칭의 용이함을 위하여 첫 단의 경우, common-source 구조로 설계되었으며, 두 번째 단의 경우 출력 발룬에서 발생하는 임피던스 부정합과 위상 부정합이 EBD의 격리도 특성과 잡음 특성에 영향을 많이 주므로, cascode 구조를 사용하여 출력 발룬과 interstage 매칭 네트워크간의 격리도를 확보하였으며, 추가로보다 높은 이득을 가질 수 있었다. 또한 interstage 매칭 네트워크의 경우, 발룬을 사용하여 매칭을 하면 앞서 말한 것처럼 부정합으로 인한 문제가 발생하기 때문에 lumped 소자를 이용하여 대칭으로 구성하였다.

본 논문에서는 보다 정확한 설계를 위해 EM 시뮬레이션을 진행하였다. 설계한 회로의 EM 시뮬레이션에 앞서, EM 시뮬레이션의 결과가 정확한지 확인하기 위하여 공정에서 제공하는 인덕터 모델을 EM 시뮬레이션 진행하였으며, 인덕터 모델의 특성과 EM 시뮬레이션 결과가 유사함을 확인하였다. 이후, 공정에서 제공하는 트랜지스터와 커패시터, 저항을 제외한 모든 metal line과 인덕터, 트랜스포머 등을 모두 ADS의 momentum을 사용하여 EM 시뮬레이션을 진행하였다. 회로 전체를 한번에 EM 시뮬레이션을 진행하기에는 회로의 크기가 크기 때문에 회로를 EBD와 LNA의 출력 매칭 네트워크, LNA의 interstage 네트워크로 나누어 시뮬레이션을 진행하였으며, EM 시뮬레이션 결과를 설계에 반영하였다.

Ⅲ. 듀플렉서를 통합한 저잡음 증폭기 설계 결과

듀플렉서를 통합한 저잡음 증폭기의 회로도는 그림 2

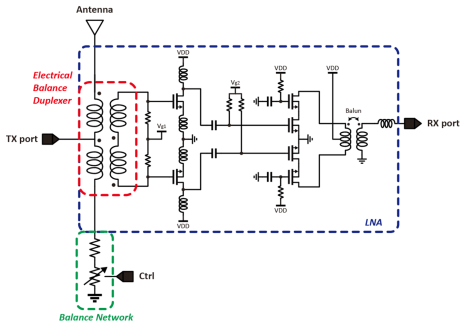

그림 2. 듀플렉서가 통합된 저잡음 증폭기의 회로도
Fig. 2. The schematic of low noise amplifier with merged duplexer.

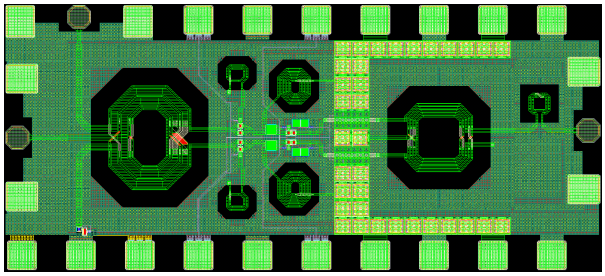

그림 3. 듀플렉서가 통합된 저잡음 증폭기의 layout
Fig. 3. The layout of low noise amplifier with merged duplexer.

와 같으며, layout은 그림 3에 나타내었고, 크기는 0.85 × 0.33 mm^2이다.

설계 결과, 14.3~15.9 GHz 대역에 대해 반사 손실은 8.7 dB 이상, 송신 경로의 손실은 4.3 dB 이하, 수신 경로의 이득은 18.04 dB 이상, 수신경로의 잡음지수는 5.21 ~ 5.23 dB이며, 송신포트와 수신포트 사이의 격리도는 39.3 dB 이상이다. 위의 설계결과는 모두 그림 4~그림 7에 나타내었다.

표 1는 본 논문의 듀플렉서를 통합한 저잡음 증폭기와 기존 연구 간의 성능을 비교하였으며, 상대적으로 더 높은 격리도, 더 낮은 잡음특성을 가지는 것을 보여주고 있음을 알 수 있다.

Ⅳ. 결 론

본 논문에서는 듀플렉서를 통합한 CMOS 저잡음 증폭

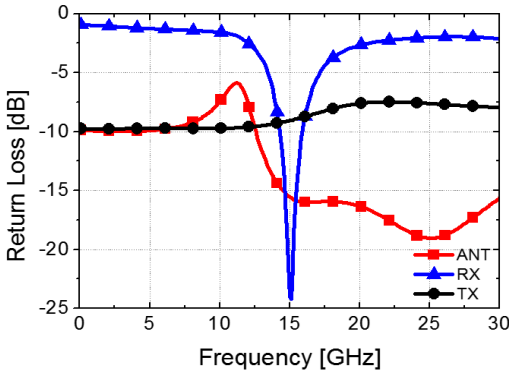

그림 4. 반사손실 simulation 결과
Fig. 4. Simulation result of the return loss.

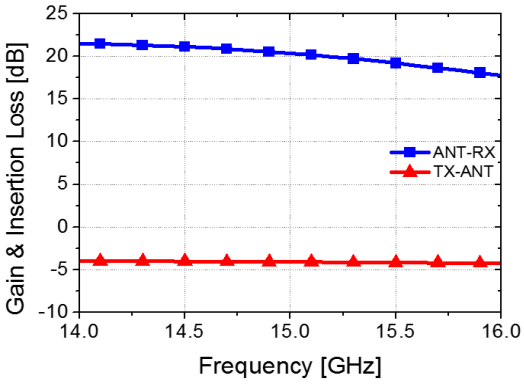

그림 5. 수신 경로의 이득과 송신경로의 손실 simualtion 결과
Fig. 5. Simulation result of RX path gain and TX path insertion loss.

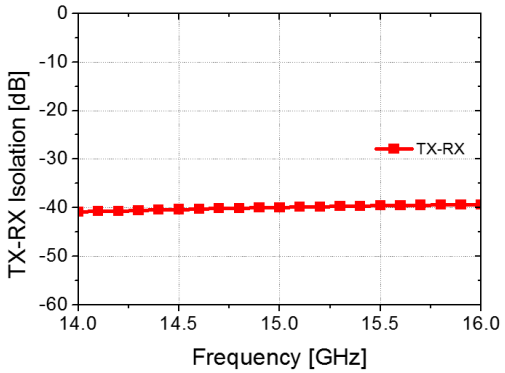

그림 6. 송신경로와 수신경로 사이의 격리도 simulation 결과
Fig. 6. Simulation result of the isolation.

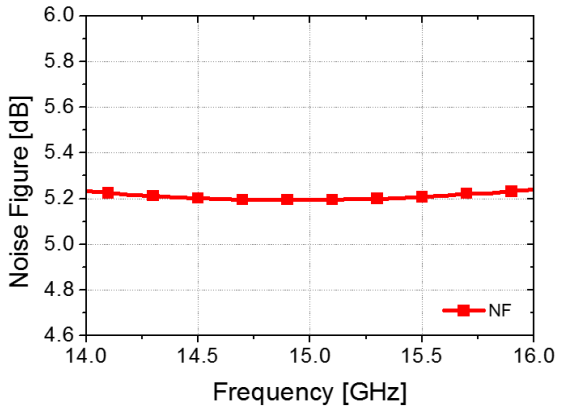

그림 7. 수신 경로의 잡음 지수
Fig. 7. Simulation result of the noise figure.

표 1. Electrical blalance duplxer 성능 비교
Table 1. Comparison of electrical balance duplxer.

	Ref[3]	Ref[4]	Ref[5]	This work (simulation)
	20 MWCL	19 MWCL	18 MWCL	
Technology	28-nm CMOS	65-nm CMOS	65-nm CMOS	65-nm CMOS
Type	EBD	EBD	EBD+LNA	EBD+LNA
Frequency [GHz]	28	0.7−0.9 1.7−2.0	1.6-2.2	14.3~15.9
Return loss [dB]	-	-	9.54	8.7
$IL_{TX\,path}$ [dB]	3.3	< 4.3 < 4.5	3.6−3.95	< 4.3
$Gain_{RX\,path}$ [dB]	−4.04	<−4.3 <−4.5	21.1−24.8	> 18.04
TX-RX isolation [dB]	> 24.6	> 50	> 50	< 39.3
Noise figure [dB]	-	-	6.4−6.8	5.21−5.23
Area [mm^2]	0.054	1.17	1.19	0.28
P_{dc} [mW]	0	0	9.6	28.3

기를 1P9M CMOS 65 nm공정을 통하여 설계하였다. 설계된 듀플랙서를 통합한 저잡음 증폭기는 입력 매칭 네트워크를 EBD로 구성하여 EBD의 역할을 하면서, 동시에 저잡음 증폭기의 노이즈 특성을 개선할 수 있도록 하였다. 또한 구조상 선택해야 하는 차동구조의 임피던스 balance와 phase balance를 유지하기 위하여, 저잡음 증폭기의 두 번째 단을 cascode 구조로 설계하였으며, interstage의 매칭네트워크를 lumped 소자를 이용하여 대칭으로 구성하였다.

References

[1] I. P. Hong, "Trend analysis of self-interference control technology of full-duplex transceiver for 5G mobile communication," *Information and Communications Magazine*, vol. 32, no. 11, pp. 65-76, 2015.

[2] Y. J. Ko, S. C. Bang, "5G wireless technology," *TTA Journal*, vol. 152, pp. 40-45, 2014.

[3] Y. Jin, S. Hong, "28-GHz in-band full-Duplex power amplifier integrated with an impedance matched hybrid transformer," *IEEE Microwave and Wireless Components Letters*, vol. 30, no. 4, pp. 410-413, Apr. 2020.

[4] K. Y. Son, T. Kim, and K. Kwon, "A dual-band CMOS tunable duplexer employing a switchable autotransformer for highly integrated RF front ends," *IEEE Microwave and Wireless Components Letters*, vol. 29, no. 7, pp. 495-497, Jul. 2019.

[5] K. Kwon, S. Kim, and K. Y. Son, "A hybrid transformer-based CMOS Duplexer with a single-ended notch-filtered LNA for highly integrated tunable RF front-ends," *IEEE Microwave and Wireless Components Letters*, vol. 28, no. 11, pp. 1032-1034, Nov. 2018.