

## 주파수 잠금회로(FLL)를 이용한 주파수 합성기

## Frequency Synthesizer Using a Frequency-Locked Loop

심호석 · 노진성 · 문서영 · 염경환

Ho-Seok Shim · Jin-Seong Roh · Seo-Yeong Mun · Kyung-Whan Yeom

## 요 약

본 논문에서는 기존 주파수잠금회로 (FLL: frequency locked loop) 발진기와 달리, 새로이 발진 주파수보다 낮은 공진 주파수  $f_L$ 을 갖는 공진기를 이용한 FLL-주파수합성기(FS: frequency synthesizer)를 제안한다. 제안된 FLL-FS는 VCO, 주파수분주기(frequency divider), FD(frequency detector)로 구성되며,  $nf_L$ ( $n$ 은 정수)에서 발진하게 된다. 제안된 FLL-FS 구조의 가능성을 검증하기 위하여 FLL-FS 시제품을 보였다. 공진기는 11.255 MHz 공진주파수를 갖는 표면실장형 세라믹 공진기를 이용하였다. FD는 선택된 공진기와 XOR 위상검출기(PD: phase detector)로 구성된다. 주파수분주기는 고정형 분주기로 분주비 128/129를 갖는다. VCO는 주파수 조정 범위가 11.255 MHz를 128/129 체배한 주파수를 포함하는 VCO를 선택하였다. 제작된 주파수 합성기는 성공적인 FLL-FS 동작을 보였으며, 측정된 위상잡음은 오프셋 주파수 100 kHz에서 -91 dBc/Hz를 보였다.

## Abstract

Unlike conventional frequency-locked loop(FLL) oscillators, in this paper, a novel FLL-frequency synthesizer(FLL-FS) is proposed using a resonator with a resonance frequency  $f_L$  lower than the oscillation frequency. The proposed FLL-FS oscillates at  $nf_L$ ( $n$  is an integer), and comprises a voltage-controlled oscillator(VCO), frequency divider, and frequency detector(FD). To verify the feasibility of the proposed FLL-FS structure, a prototype FLL-FS is presented. The selected resonator was a surface-mount ceramic resonator with a resonance frequency of 11.255 MHz. The FD consists of the selected resonator and an XOR-phase detector. The frequency divider is a fixed-frequency divider and has a division ratio of 128/129. The selected VCO has a frequency tuning range that includes a multiplied frequency of 11.255 MHz by 128/129. The fabricated frequency synthesizer demonstrated a successful FLL-FS operation, and the measured phase noise was -91 dBc/Hz at an offset frequency of 100 kHz.

Key words: Frequency Locked Loop, Phase-Locked Loop, Frequency Detector, Resonator, Phase Detector.

## I. 서 론

주파수 잠금회로(frequency locked loop, FLL)는 1947년 Pound에 의해 제안되었다<sup>[1]</sup>. Pound는 그림 1(a)와 같이 발

진기의 발진 주파수를 공진기를 사용한 주파수변별기(frequency discriminator)를 이용하여 전압으로 검출하고, 검출된 전압을 적절히 처리한 후, 발진주파수 조정단자로 부궤환(negative feedback)시켜 위상잡음을 낮추는 것을 제

「이 연구는 2019년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(NRF-2019R111A3A01056864).」

충남대학교 전파공학과(Department of Radio Science & Engineering, Chungnam National University)

· Manuscript received February, 25, 2020 ; Revised May, 7, 2020 ; Accepted June, 4, 2020. (ID No. 20200225-017)

· Corresponding Author: Kyung-Whan Yeom (e-mail: khyeom@cnu.ac.kr)

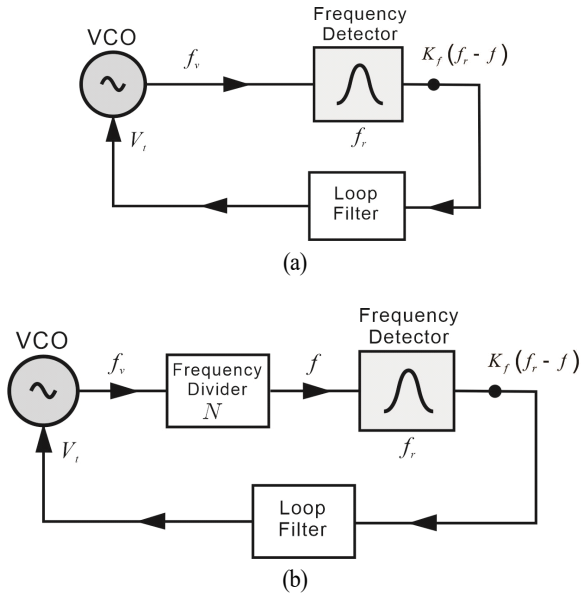


그림 1. (a) 기존의 FLL 발진기, (b) 제안된 FLL-주파수 합성기 구성도,  $K_f$ 는 주파수검출기 상수이고,  $V_t$ 는 VCO 주파수 조정전압을 나타낸다.

Fig. 1. Block diagrams of (a) the conventional FLL oscillator and (b) the proposed FLL-frequency synthesizer.  $K_f$  and  $V_t$  represent the frequency detector constant and the tuning voltage of VCO, respectively.

안하였다. 이를 통해 Pound는 발진기의 위상잡음을 낮출 수 있음을 실험으로 보였다. Pound는 이 기법을 주파수 안정화(frequency stabilization) 기법이라고 명명했다.

이후 연구자들은 이 기법을 보다 발전시켜 위상잡음이 낮은 발진기를 구성하는 데 사용하였다. 1984년 Galani와 공동연구자들은<sup>[2]</sup> 이 기법을 이용하여 10 GHz GaAs FET 발진기의 위상잡음을 개선하였다. 이후 다른 연구자들에 의해 이 기법으로 구성된 발진기의 낮은 위상잡음을 고려하여 고주파 주파수표준(frequency standard)을 구성하는데 활용되었다<sup>[3]~[5]</sup>. 저자들이 아는 한 이 기법을 통하여 최고 기술 수준의 위상잡음, 오프셋주파수 1 kHz에서 약  $-160$  dBc/Hz를 달성할 수 있었다. 대부분 연구가 이 기법을 주파수 표준에 적용할 때, Imani와 Hashemi<sup>[6]</sup>는 FBAR(film bulk acoustic resonator) 외부공진기와 CMOS 집적회로를 이용하여 주파수 안정화 회로를 구성하고, 저-위상잡음발진기를 제작할 수 있음을 보였다. 이를 통해 주파수 안정화 회로는 상용적인 저 위상잡음 발진기 구

성에도 적용할 수 있음을 보였다.

그러나 이와 같은 해석은 잘 알려진 위상잠금회로(phase locked loop, PLL) 해석을 활용하기 어렵게 한다. 참고문헌 [7]에서는 주파수변별기를 공진주파수와 입력 주파수 차에 비례하는 출력을 주는 주파수검출기(frequency detector: FD)로 해석할 경우, FD는 PLL의 위상검출기(phase detector: PD)와 유사하게 동작함을 보였다. 따라서 주파수 안정화회로는 PLL과 동일하게 해석할 수 있음을 보였고, 이러한 면에서 이것을 주파수잠금회로(frequency locked loop: FLL) 라고 명명하였다. 따라서 FLL의 루프-필터는 PLL과의 유사성을 이용하여 PLL의 루프-필터와 같이 설계할 수 있음을 보였다<sup>[7]</sup>. 또한 이 기법을 통해 여러 FLL 회로를 구성하였다<sup>[8]~[10]</sup>.

그러나 기존의 그림 1(a)와 같은 구조에서 공진기(resonator)로 구성된 FD(frequency detector)는 발진주파수와 같은 공진기를 필요로 한다. 또한 주파수검출기 상수  $K_f$ 가 클수록 위상잡음이 개선되는데,  $K_f$ 는 공진기의 Q가 높을수록 커지게 된다<sup>[7]</sup>. 그러나 고주파에서 동작하는 높은 Q의 공진기는 드물고 또한 고가이다. 반면 일반적으로 낮은 주파수에서 높은 Q를 갖는 공진기들은 다양하게 공급되며, 선택의 폭이 넓다. 또한 높은 Q를 갖는 공진기를 용이하게 찾을 수 있다. 이러한 점에 착안하여 본 논문에서는 새로이 그림 1(b)와 같은 FLL-주파수합성기(frequency synthesizer: FS)를 제안한다. 그림 1(b)에서 VCO(voltage controlled oscillator: VCO)의 주파수는 주파수분주기(frequency divider)에 의하여  $N$ -분주되며, FD는 분주된 주파수와 공진주파수  $f_r$ 의 차에 비례하는 전압을 출력한다. 주목할 것은 그림 1(b)에서 FD는 그림 1의 전압 제어발진기 주파수보다 낮은 주파수의 공진기로 구성된다는 점이다. 그러면 루프-필터(loop filter)는 FD의 출력 전압이 0이 되도록 VCO의 주파수를 조정하여 결과적으로 VCO의 주파수  $f_v$ 는

$$f_v = Nf_r \quad (1)$$

로 결정된다. 따라서 낮은 주파수의 공진기를, 식 (1)과 같이  $f_r$ 의 정수배에 해당하는 발진주파수를 합성하게 된다.

결론적으로 본 논문에서 제안하는 구조는 낮은 주파수에서 다양하게 공급되고 높은 Q를 갖는 공진기를 이용함

으로써 위상잡음이 개선된 FLL 발진기를 구성할 수 있게 된다. 요약하면

- (1) 낮은 주파수의 공진기는 높은 주파수 공진기보다 일반적으로 Q가 높고,
- (2) Q가 높기 때문에  $K_f$ 가 커져서 그림 1(a)보다 낮은 위상잡음이 개선된 발진기가 예상되며,
- (3) 다양한 공진주파수를 갖는 저가의 공진기를 용이하게 선택할 수 있다.

본론에서는 그림 1(b)의 FLL-FS를 구현하고, 실험 제작한 결과를 기술할 것이다.

## II. 주파수합성기 구성

### 2-1 주파수검출기

그림 2(a)는 그림 1의 주파수합성기에 사용된 FD의 구성을 보였다. 그림 2(a)에서 공진기는 Murata사의 표면실장형 세라믹 공진기를 이용하였다<sup>[11]</sup>. 공진기 부품명은 CSTNE11M2G550000R0이며, 공진주파수는 11.289 MHz이다. 공진주파수 값 11.289 MHz는 datasheet에 주어진 공진주파수 값이다. Datasheet에 주어진 공진주파수 값은 공

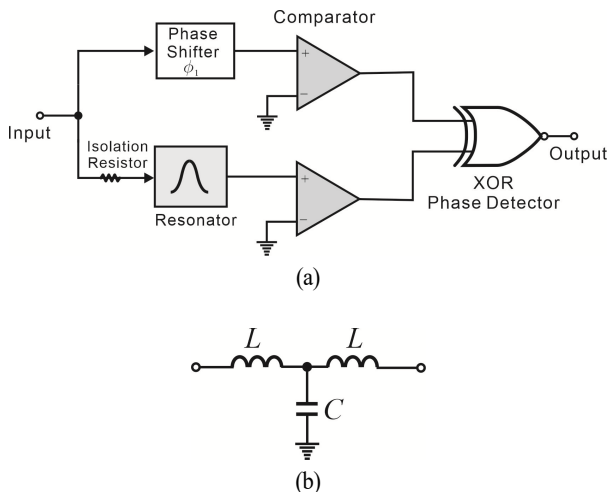


그림 2. (a) 주파수검출기 구성도, (b) 위상천이기 회로  
Fig. 2. (a) Block diagram of the frequency detector, (b) the phase shifter circuit.

진기에 연결된 전원 및 부하 임피던스에 따라 변하게 된다. 그러나 공진기에 연결된 전원 및 부하 임피던스 값은 datasheet에 명확하게 기술되어 있지 않다. Datasheet의 시험회로도의 구성으로 볼 때, 전원 및 부하 임피던스 값은  $1\text{ M}\Omega \parallel 10\text{ pF}$ ,  $330\text{ }\Omega$ 으로 예상된다.

그림 2(a)에서 위상천이기는 기준위상을 제공하기 위한 것이다. 공진기 경로의 위상은 공진주파수에서  $0^\circ$ 가 된다. 그러나 그림 2의 XOR 위상검출기(phase detector: PD)는 두 경로의 위상차가  $0^\circ$ 일 때 XOR 위상검출특성 기울기는 불연속을 가지게 된다. 이러한 점에서 XOR PD의 기울기의 연속성을 위해 두 경로 위상차는  $90^\circ$ 로 설정될 필요가 있다. 따라서 공진주파수에서 공진기 경로의 위상이  $0^\circ$ 이기 때문에, 위상천이기 경로의 위상은  $-90^\circ$ 가 되어야 한다. 이를 위해 위상천이기는 그림 2(b)와 같이 LC로 구성되었고, LC 값은 공진주파수에서 위상이  $-90^\circ$ 가 되도록 설정하였다. 따라서 공진주파수에서 위상천이기와 공진기 경로 간 위상차는  $90^\circ$ 가 되게 된다.

주목할 것은 위상천이기 출력은 주파수에 따라 변화가 적어도, 공진기의 출력 진폭은 주파수에 따라 크게 변하게 된다. 특히 공진기의 경우, 주파수변화에 따라 진폭변화는 심각하여 뒀 단 XOR가 적절한 동작을 하지 못하게 된다. 이러한 진폭변화를 보상하기 위해서 그림 2와 같이 comparator<sup>[12]</sup>가 삽입되었다. 이 comparator에 의해 XOR는 정상적인 XOR 기능을 수행할 수 있게 된다.

다음 문제로는 그림 2에 보인 FD의 입력(input)은 그림 1(b)에 보인 바와 같이 주파수분주기 출력에 연결되는데, 주파수분주기의 출력임피던스는  $0\text{ }\Omega$ 에 가깝다. 따라서 그림 2의 격리저항(isolation resistor)이 없을 경우, 공진기의 전원임피던스 값은  $0\text{ }\Omega$ , 부하임피던스 값은 comparator의 입력 임피던스 값  $1\text{ M}\Omega \parallel 10\text{ pF}$ 가 된다. 공진기의 부하임피던스  $1\text{ M}\Omega \parallel 10\text{ pF}$ 는 문제가 없으나, 전원임피던스  $0\text{ }\Omega$ 은 datasheet에 주어진  $330\text{ }\Omega$ 과 크게 다른 값이어서, 공진기는 적절하게 동작하지 못하게 된다. 이것을 막기 위해서 그림 2와 같이 격리저항  $680\text{ }\Omega$ 을 삽입하였다. 이  $680\text{ }\Omega$  격리저항은 공진기가 위상천이기에 영향을 주는 것을 막는 역할도 한다.

XOR는 Fairchild사의 NC7SZ86을 사용하였다<sup>[13]</sup>. 여기서 XOR는 위상검출기 역할을 한다. 일반적으로 기존의



$$V_{ref} = 3/\pi \times \pi/2 = 1.5 \text{ V} \quad (4)$$

0 V가 아닌 1.5 V가 된다. 따라서 그림 4의 루프-필터는 기준 전압  $V_{ref}$ 는 0 V가 아니라, 그림 4와 같이  $V_{ref} = 1.5 \text{ V}$ 를 기준으로 동작하여야 한다. 그림 4에서  $V_{ref}$ 는 루프-필터 전원 전압을 분배하여 얻었다.

그림 4에 보인 level-shifter는 AD8137 [18]을 이용하여 구성하였다. 그림 4의 level shifter는 그림 3의 level shifter를 나타내며, 이것의 기능은 두 가지이다. 우선 입력주파수에 따른 FD 출력의 기울기는 +값을 갖는데, 주파수에 따른 그림 4의 적분기와 루프-필터의 출력 결과는 역시 +기울기를 갖게 된다. 따라서 부궤환(negative feedback)이 되기 위해서는 level shifter가 주파수에 대해 -기울기를 가져야 할 것이다. 따라서 level-shifter는 -기울기 값을 갖도록 설정되었다. 또한 FLL의 용이한 잠금을 위해서는 level shifter 출력 전압 범위가 가능한 좁아야 할 것이다. VCO의 주파수 조정특성은 조정전압이 1 V (1.43 GHz) ~ 2 V (~1.46 GHz)일 때, 식 (3)에 계산된 주파수 범위를 포함하게 된다. 따라서 level shifter 출력전압 범위를 1 ~ 2 V로 설정하였다. 그림 4에서 루프-필터의 전원전압이 5 V이므로 루프-필터의 출력 전압 범위는 0 ~ 5 V가 된다. 루프-필터의 전압 범위와 level-shifter의 출력 전압 범위를 고려하여 그림 4에 보인 이득  $A_L$ 은  $A_L = -3/5$ 으로 설정하였다. 그림 4의 적분기 소자 값  $R_M$ ,  $C_M$  값은 제작하기 용이한 값으로 적절히 결정할 수 있다. 따라서 주파수검출기 상수  $K_f$ 와 VCO의 주파수 조정감도  $K_v$ 가 실험적으로 결정될 경우, FLL의 대역폭과 위상여유값을 주는 그림 4의 루프필터값들은 참고문헌 [7]에 따라 결정할 수 있다.

### III. FLL 제작 및 시험 결과

그림 5에는 제작된 FLL 주파수합성기를 보였다. 우선 그림 3에 표시한 각 TP(test point) 점에서 시험하였다. 주파수분주기 MB507의 특성을 보기 위하여 TP1에 신호발생기를 이용하여 주파수 1,440.64 MHz, 3 dBm의 정현파를 인가하고 주파수분주기의 분주기 값을 128로 설정하고, TP2에서 파형을 오실로스코프를 통하여 읽었다. 측정 결과는 그림 6에 보였다.

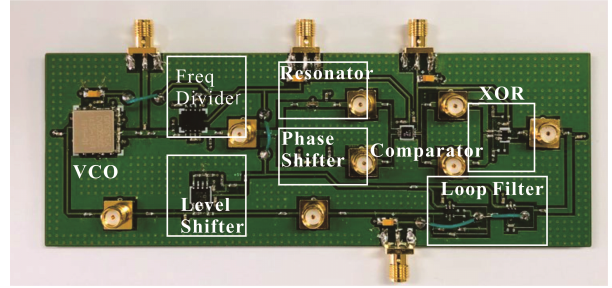


그림 5. 제작된 FLL-FS

Fig. 5. A photograph of the fabricated FLL-FS.

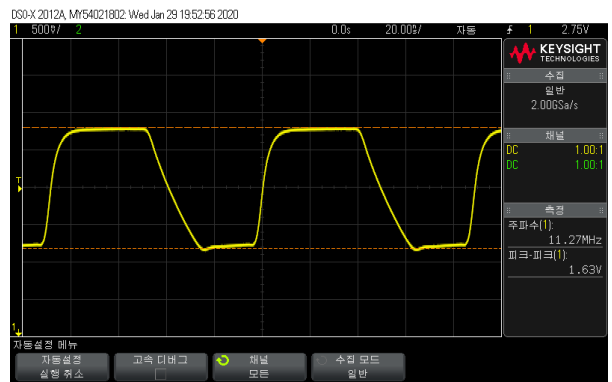


그림 6. 주파수분주기 출력파형

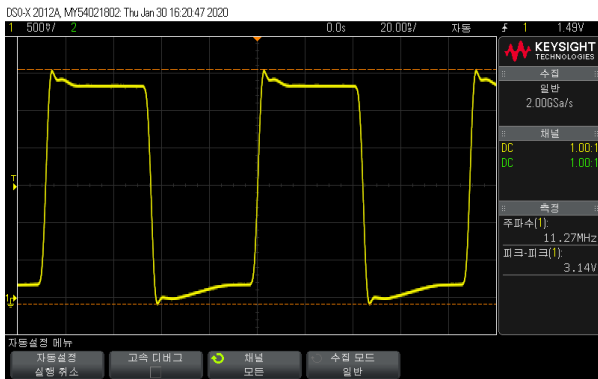
Fig. 6. The waveform at the frequency divider output.

그림 6에서 분주된 주파수는 11.27 MHz이며, 이것은 공진주파수에 가깝다. 진폭은 1.63 Vpp인 것을 알 수 있다. 이때 주파수분주기의 부하에 2 kΩ의 부하 저항을 추가하였다. 이 값은 주파수분주기 사용시 권고 부하 저항 값이다[19].

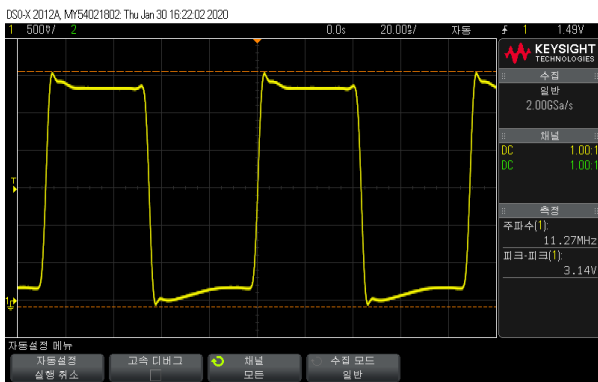
다음 FD를 그림 2와 같이 추가 조립한 후 XOR 입력단에서 측정된 파형을 그림 7의 (a)와 (b)에 보였다. 이때 각 XOR 입력에는 5.1 kΩ 부하 저항을 병렬로 추가하였다. 이와 같이 5.1 kΩ 부하 저항을 추가한 것은 선택된 XOR 입력 저항값은 너무 커서 충전된 comparator 전압이 효과적으로 방전되지 않기 때문에, 이것을 방지하기 위하여 XOR 입력에 5.1 kΩ 부하 저항을 추가하였다.

그림 7(a) 및 (b)에서 이 파형들은 XOR를 구동하기에 충분한 전압값을 가지고 있는 것을 알 수 있다. 다음 주파수를 바꾸면서 TP3에서 DC 전압을 전압계를 이용하여 측정하였다. 결과는 그림 8에 보였다. 또한 이론적으로





(a)



(b)

그림 7. 128 체배된 주파수에서 (a) 공진기 경로 XOR 입력파형, (b) 위상천이기 경로 XOR 입력파형

Fig. 7. (a) The resonator path and (b) the phase shifter path XOR inputs for the multiplied frequency by 128.

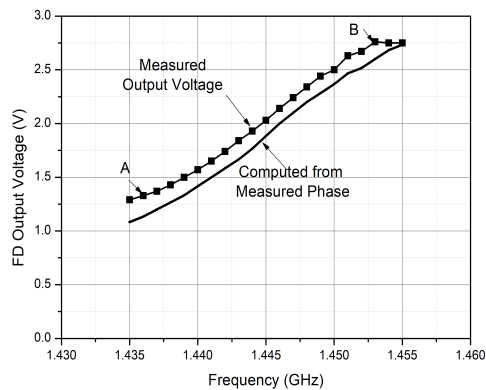


그림 8. 주파수에 따른 XOR 출력전압

Fig. 8. XOR output voltage vs input frequency.

계산된 XOR 출력전압을 보였다. 이것은 그림 7과 같은 XOR 입력단에서 두 파형 간 위상차를 측정하고, 이 위상차에 해당하는 이론적인 위상차에 따른 XOR 출력전압을 보인 것이다.

그림 8에서 주파수 1,440.64 MHz에서 약 1.68 V (이론치 1.5 V)가 나타나며, 이론적인 예상값과 가까운 것을 알 수 있다. 이와 같이 출력전압이 약 0.2 V 차이가 나는 것은 그림 7의 on/off 교체가 정확히 1/2에서 나타나지 않기 때문으로 생각된다. 그림 7의 A점 (1.33 V, 1.436 GHz) 및 B점 (2.76 V, 1.453 GHz) 값을 이용하여 기울기를 구하면  $K_f$ 가 된다. 이 결과값으로부터  $K_f$ 는

$$K_f = \frac{2.76 - 1.33}{1.453 - 1.436} \times 128 = 10.8 \text{ V/MHz} \quad (5)$$

로 계산된다.

Level shifter는 별도로 측정할 경우, TP4에 0~5 V 입력을 인가할 경우, 2~1 V 출력이 나타나야 한다. 측정된 level-shifter 특성을 그림 9에 보였다. 그림 9에서 기울기는 예상한대로 -값을 보이며, 기울기 값은  $A_L = -0.2$  (V/V)인 것을 알 수 있다.

다음 datasheet<sup>[16]</sup>으로부터  $K_v = 21 \text{ MHz/V}$ ,  $K_f = 10.88 \text{ V/MHz}$ ,  $A_L = -0.2 \text{ (V/V)}$ 를 대입하고, 위상여유  $\phi = 45^\circ$ , 루프-대역폭  $w_p = 2\pi f_p = 2\pi \times 100 \text{ kHz}$ 를 갖도록 그림 7의 루프-필터 소자값들  $R_1, C_1, C_2$ 를 결정해야 한다. 참고문헌 [7]에 따라 계산하면 값은 표 1과 같다.

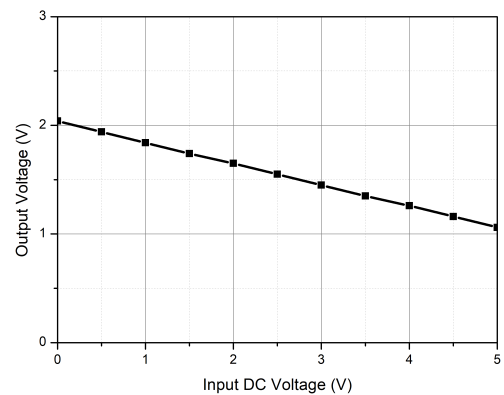


그림 9. Level-shifter DC 전달 특성

Fig. 9. DC transfer characteristic of the level shifter.

표 1. 계산된 루프필터 값

Table 1. Calculated loop filter values.

FD, VCO	$K_f=10.8$ V/MHz, $K_v=21$ MHz/V, $A_L=-0.2$
Integrator, LPF	$R_M=10$ K $\Omega$ , $C_M=1$ nF, $R_C=1$ K $\Omega$
BW, phase margin	$f_p=100$ kHz, $\phi=45^\circ$
LPF element values	$R_1=21$ K $\Omega$ , $C_1=37$ pF, $C_2=180$ pF
OP Amp noise	$v_n=1.7$ nV, $i_n=1.8$ pA

이상과 같이 루프-필터 값을 설정하고, 분주비  $N=128$  및  $N=129$ 로 설정하였을 때, VCO의 출력 스펙트럼을 그림 10에 보였다. 그림 10에서 스펙트럼 분석기 입력에는 6 dB 감쇠기가 삽입하였다. 따라서 출력 전력은 약 0 dBm이다. 그림에서  $N=128$ 일 때 주파수는 1.440663 GHz ( $11.255 \text{ MHz} \times 128 = 1.44064 \text{ GHz}$ )이고,  $N=129$ 일 때 1.451916 GHz ( $11.255 \text{ MHz} \times 129 = 1.451895 \text{ GHz}$ )이다. 또한 두 신호의 주파수 간격은 11.253 MHz로 나타난다. 엄밀한 의미에서 두 신호의 주파수 간격은 체배 기준주파수인 11.255 MHz가 될 것이다. 실험결과와 합성된 주파수는 다소 주파수 간격이 체배 기준주파수와 차이가 있는 것을 알 수 있다. 이것은 그림 4에 보인 루프-필터의  $V_{ref}$ 와 관계가 있는 것으로 밝혀졌다.

그림 4의 비교전압  $V_{ref}$ 를 조정할 경우 합성된 주파수는 위아래로 이동하는 것을 확인하였다. 즉, 정확하지 않

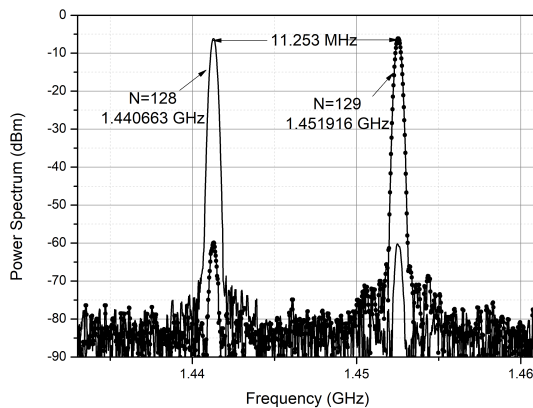


그림 10. 합성된 주파수 스펙트럼(6 dB 감쇠기를 통과한 출력)

Fig. 10. Synthesized spectrum after 6-dB attenuator.

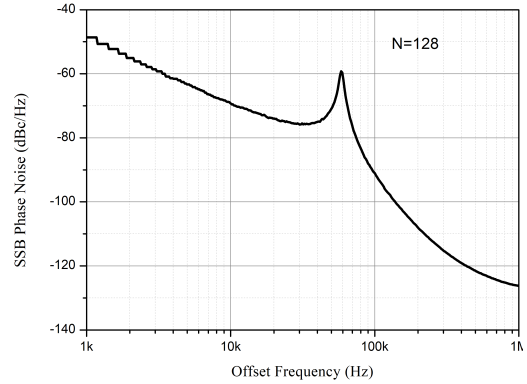


그림 11. 분주비=128일 때 위상잡음

Fig. 11. Phase noise for N=128.

은  $V_{ref}$  값으로 인해 주파수 간격은 체배 기준주파수와 차이를 보이게 된다.

그림 11은 E5052B로 측정된 주파수 합성기의 위상잡음 특성을 보였다. 이때 분주비는  $N=128$ 로 설정하였다. 대역폭은 그림 11의 첨두값을 기준으로 판별할 수 있다. 그림 11에서 대역폭은 설정된 대역폭 100 kHz 보다 작게 나타나는 것을 알 수 있다. 또한 오프-셋 주파수 100 kHz에서 위상잡음은  $-91 \text{ dBc/Hz}$ 이다. 이 위상잡음 결과는 주파수 검출기 잡음의 효과로 나타난 것이며, 이중평형혼합기(DBM)-FD보다 잡음이 심한 것을 알 수 있다. 이는 기저대역에서 잡음을 측정함으로써 확인하였다. 현재 잡음의 원인은 분석되고 있지 않다. 추후 잡음의 원인과의 분석을 통한 위상잡음의 개선 연구가 필요할 것으로 보인다.

#### IV. 결 론

본 논문에서는 새로이 주파수 잠금회로(frequency locked loop: FLL)를 이용한 1.4 GHz 대역 주파수합성기(frequency synthesizer)를 보였다. 이 구조는 발진주파수보다 낮은 주파수의 공진기를 사용하기 때문에 기존 구조에 비해 여러 가지 장점을 제공한다. 우선 낮은 주파수의 공진기는 일반적으로 고주파 공진기보다  $Q$ 가 크기 때문에 제안된 구조는 기존구조보다 낮은 위상잡음을 제공할 수 있다. 또한 일반적으로 낮은 주파수의 공진기는 크기도 작고 다양한 공진 주파수를 갖는 공진기 제작이 용이

하다. 이 점 또한 본 논문에서 제안한 구조의 장점을 드러나게 한다. 마지막으로 낮은 주파수의 공진기는 비교적 저가이기 때문에 가격적인 면에서 기존 구조에 비해 장점을 가진다.

본 논문에서 가능성을 보이기 위하여 제안된 주파수 합성기의 시제품을 보였으며, 각 블록별로 시험이 가능하도록 구성 제작하였다. 각 블록 별 시험 결과를 보였다. 제안된 주파수검출기는 예상대로 사용된 공진기의 공진주파수 11.255 MHz의 정수배에 해당하는 주파수 합성을 보였다. 합성된 주파수의 측정된 위상잡음은 오프-셋 주파수 100 kHz에서  $-91$  dBc/Hz를 보였다. 추후 본 논문 구조의 위상잡음의 개선은 새로운 연구를 필요로 한다.

## References

- [1] R. V. Pound, "Frequency stabilization of microwave oscillators," in *Proceedings of the IRE*, Dec. 1947, vol. 35, no. 12, pp. 1405-1415.
- [2] Z. Galani, M. J. Bianchini, R. C. Waterman, R. Dibiase, R. W. Laton, and J. B. Cole, "Analysis and design of a single-resonator GaAs FET oscillator with noise degeneration," *IEEE Transactions on Microwave Theory and Techniques*, vol. 32, no. 12, pp. 1556-1565, Dec. 1984.
- [3] E. N. Ivanov, M. E. Tobar, and R. A. Woode, "Ultra-low noise microwave oscillator with advanced phase noise suppression system," *IEEE Microwave and Guided Wave Letters*, vol. 6, no. 9, pp. 312-314, Sep. 1996.
- [4] A. S. Gupta, D. A. Howe, C. Nelson, A. Hati, F. L. Walls, and J. F. Nava, "High spectral purity microwave oscillator: Design using conventional air-dielectric cavity," *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control*, vol. 51, no. 10, pp. 1225-1230, Oct. 2004.
- [5] E. N. Ivanov, M. E. Tobar, "Low phase-noise microwave oscillators with interferometric signal processing," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 8, pp. 3284-3294, Aug. 2006.
- [6] A. Imani, H. Hashemi, "An FBAR/CMOS frequency/phase discriminator and phase noise reduction system," *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 5, pp. 1658-1665, May 2015.
- [7] K. W. Yeom, D. H. Lee, "Analysis of the phase noise improvement of a VCO using frequency-locked loop," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 29, no. 10 pp. 773-782, Oct. 2018.
- [8] W. L. Kim, C. D. Lee, Y. N. Kim, P. S. Im, D. H. Lee, and K. W. Yeom, "Improvement of phase noise for oscillator using frequency locked loop," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 27, no. 7, pp. 635-645, Jul. 2016.
- [9] P. S. Im, D. H. Lee, and K. W. Yeom, "A frequency locked loop using a phase frequency detector," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 28, no. 7, pp. 540-549, Jul. 2017.
- [10] S. T. Kim, S. Y. Yeom, D. H. Lee, and K. W. Yeom, "A study on the effects of resonator Q on 5 GHz FLL," in *2017 The Korean Institute of Electromagnetic Engineering and Science(KIEES) Winter Conference*, Nov. 2017, vol. 27, no. 1, p. 67.
- [11] Murata, "Ceramic resonators(CERAMLOCK): Application Manual," 2019. Available: <https://www.murata.com/~media/webrenewal/support/library/catalog/products/timingdevice/ceralock/p17e.ashx>
- [12] Linear Technologies, "LT1715, 4 ns, 150 MHz dual comparator with independent input/output supplies," 2008. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/1715fa.pdf>
- [13] Fairchild, "NC7SZ86 tinylogic<sup>®</sup> UHS two-input exclusive OR gate," 2009. Available: <https://www.onsemi.com/pub/Collateral/NC7SZ86-D.PDF>
- [14] K. W. Yeom, *Microwave Circuit Design: A Practical Approach using ADS*, New York, NY, Prentice Hall, 2015.
- [15] Fujitsu, "MB507 1.6 GHz two modulus prescaler," 1995. Available: <http://pdf.dzsc.com/MB5/MB507.pdf>



- [16] Crystek Microwave, "Coaxial resonator oscillator-CRO," CVCO55CC-1435-1491, 2013.
- [17] Renesas, "ISL28291: Single and dual single supply ultra-low noise, low distortion rail-to-rail output, Op Amp," 2014. Available: <https://www.renesas.com/kr/en/products/amplifiers-buffers/all-amplifiers/differential-amplifiers/dev>

ice/ISL28191.html

- [18] Analog Devices, "AD8137, low cost, low power 12-bit, differential ADC driver," 2005. Available: <http://datasheet.octopart.com/AD8137YCP-R2-Analog-Devices-datasheet-33542.pdf>

심 호 석 [충남대학교/학사과정]

<https://orcid.org/0000-0003-3477-068X>



2013년 3월~현재: 충남대학교 전파공학과 학부생  
[주 관심분야] 초고주파 능동회로 및 시스템

문 서 영 [충남대학교/학사과정]

<https://orcid.org/0000-0002-6300-6093>



2015년 3월~현재: 충남대학교 전파정보통신공학과 학부생  
[주 관심분야] 초고주파 능동회로 및 시스템

노 진 성 [충남대학교/학사과정]

<https://orcid.org/0000-0002-3881-6385>



2014년 3월~현재: 충남대학교 전파공학과 학부생  
[주 관심분야] 초고주파 능동회로 및 시스템

염 경 환 [충남대학교/교수]

<https://orcid.org/0000-0002-8557-4972>



1976년~1980년: 서울대학교 전자공학과 (공학사)  
1980년~1982년: 한국과학기술원 전기 및 전자과 (공학석사)  
1982년~1988년: 한국과학기술원 전기 및 전자과 (공학박사)  
1988년 3월: 금성전기(주) 소재부품연구소

선임연구원 (MIC팀 팀장)

1990년 3월: 금성전기(주) 소재부품연구소 책임연구원  
1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원  
1991년 8월: (주) LTI  
1995년 10월~현재: 충남대학교 전파공학과 교수  
[주 관심분야] 초고주파 능동회로 및 시스템, MMIC 설계