

프리프레그 가공을 통한 인쇄회로 기판의 유효 유전상수 하향 조정

Lowering Effective Dielectric Constant Using Drilled Prepreg

양 원 모 · 감 동 군

Wonmo Yang · Dong Gun Kam

요 약

전자기기의 소형화 추세에 따라 탑재되는 인쇄회로기판의 절연체 두께는 얇아지고, 이로 인해 전송선의 특성 임피던스는 감소하게 된다. 떨어진 임피던스를 만회하기 위해서는 회로 선폭을 줄이거나, 유전상수가 더 낮은 절연체로 교체해야 하는데, 이는 인쇄회로기판의 제조 원가를 높인다. 본 논문에서는 절연체를 교체하지 않고도, 유효 유전상수를 낮출 수 있도록 프리프레그에 가공을 하는 방법을 제안한다. 측정과 시뮬레이션을 통해 제안한 아이디어의 효과를 검증했고, 프리프레그 가공을 통해 유리 섬유 타입에 따라 유효 유전상수를 7%까지 낮출 수 있었다.

Abstract

As electronic devices become more compact, the thickness of the layer in printed circuit boards(PCBs) decreases, and the characteristic impedance of transmission lines with a minimum allowable trace width often becomes less than 50 Ω . Reducing the minimum trace width or switching to a dielectric with lower dielectric constant is prohibitive owing to increased manufacturing costs. We propose a new way of reducing the effective dielectric constant by drilling holes in prepreg. We perform measurements and simulations to verify the effectiveness of the proposed approach. Results demonstrate that using drilled prepreg enables the lowering of the effective dielectric constant by up to 7%.

Key words: Effective Dielectric Constant, Drilled Prepreg, Printed Circuit Board(PCB), Impedance Matching

I. 서 론

조금 더 얇고 가벼우면서도 더 많은 기능이 탑재된 스마트폰을 구현하려는 노력은 지난 20여 년 동안 계속되고 있다. 스마트폰 및 각종 모바일 기기 제조사들은 사활을 걸고 두께 경쟁을 벌이고 있으며, 인쇄회로기판 기술도 놀라운 속도로 진화하고 있다^[1]. 현재 프리미엄 스마트폰에 적용되는 기판 사양은 그림 1과 같이 최소 선폭과 프리프레그 두께 모두 40 μm 수준이다. 여기에 일반적

인 FR-4 재질의 프리프레그를 채택하면 스트립라인의 특성 임피던스는 약 41 Ω 에 불과한 것으로 나타나^[2], 50 Ω 매칭을 위해서는 회로 선폭을 더 줄여야 한다. 하지만 이는 회로 공법 및 그에 따른 현상액/에칭액/박리액 등의 부자재 변경을 포함하는 대규모 설비 투자를 필요로 하고, 원/부자재 변경에 따른 세부 공정 조건을 재설정하는 데도 막대한 비용과 시간이 들어간다.

따라서 인쇄회로기판 제조사로서는 회로 선폭을 줄이는 것보다는 저유전 상수의 프리프레그로 교체하는 방법

아주대학교 전자공학과(Department of Electrical and Computer Engineering, Ajou University)

· Manuscript received April, 16, 2020 ; Revised May, 8, 2020 ; Accepted June, 10, 2020. (ID No. 20200416-031)

· Corresponding Author: Dong Gun Kam (e-mail: kam@ajou.ac.kr)

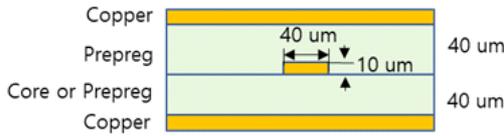


그림 1. 프리미엄 스마트폰에 적용되고 있는 기판 사양
Fig. 1. PCB layer stack-up of premium smartphones.

을 선호하기 마련인데, 이 또한 간단한 문제가 아니다. 우선, 프리프레그에 CNC, 레이저 등으로 비아 가공 시 에폭시 레진이 비아 내벽에 잔존하게 되는데, 이러한 잔존물을 제거하는 디스미어 공정의 조건 설정이 일반 프리프레그에 비해 까다롭다. 또한, 디스미어 공정 조건을 설정했다고 하더라도 제품의 장기 신뢰성 측면에서 도금 신뢰성이 보장되지 않기 때문에 선풍 프리프레그를 교체하기도 어렵다.

본 논문에서는 프리프레그를 교체하지 않고도 유효 유전 상수를 낮출 수 있는 방법으로서 프리프레그를 가공하는 아이디어를 제안한다.

II. 프리프레그 가공

일반적인 FR-4 재질의 프리프레그는 그림 2와 같이 유리 섬유와 에폭시 레진으로 구성돼 있다.

유리 섬유는 기판의 강성을 향상시키고, 에폭시 레진은 회로의 접착력을 향상시킨다. 프리프레그 상태에서는 에폭시 레진이 반 경화 상태를 유지하다가 적층 공정 후 완전 경화 상태가 된다. 이 때 유리 섬유의 빈 공간에 에폭시 레진이 함침되는 형태로 경화가 진행되기 때문에, 유리 섬유와 에폭시 레진의 비율은 위치별로 달라진다^[3]. 에폭시 레진(dielectric constant(유전 상수)≈3.6)에 비해 유리 섬유(dielectric constant(유전 상수)≈6.4)가 유전 상수가 크기 때문에 유리 섬유의 비율이 높을수록 인쇄회로기판

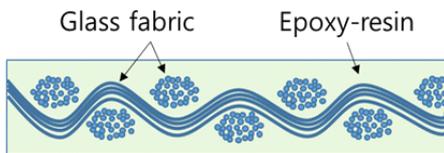


그림 2. FR-4 재질의 프리프레그 구성
Fig. 2. Structure of FR-4 based prepreg.

의 유효 유전상수는 올라간다.

특성 임피던스를 높일 필요가 있는 전송선 아래의 프리프레그를 그림 3과 같이 가공함으로써 유리 섬유를 제거하고, 이후 적층 공정에서 가공된 부위로 에폭시 레진이 함침되면 전송선 주변의 유효 유전 상수를 에폭시 레진의 유전 상수에 가깝게 낮출 수 있다는 생각이다^[4].

스마트폰 모듈 양산에 적용되는 rigid-flex PCB 공정에서는 프리프레그를 가공하는데 아무런 문제가 없지만, 본 연구는 대학에서 접근할 수 있는 일반 rigid PCB 공정으로 진행했기 때문에 여러 가지 어려움이 있었다.

그림 4는 본 연구에 사용된 인쇄회로기판의 적층 구조를 나타낸 것으로, 회로 선풍은 상부 40 μm, 하부 60 μm(회로 단면 기준으로 상부와 하부 폭의 비율을 etch factor라고 하는데, 이는 PCB 회로 공정의 제조 능력 중 하나이며, 본 연구에서 사용된 시료는 4 임), 두께는 도금 포함 40 μm로서 그림 1의 첨단 기판 사양과는 차이가 있다.

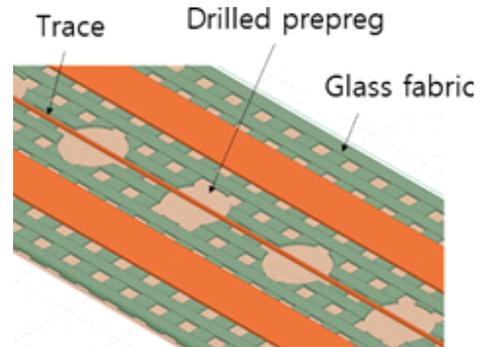


그림 3. 프리프레그 가공을 적용한 인쇄회로기판
Fig. 3. PCB with drilled prepreg.

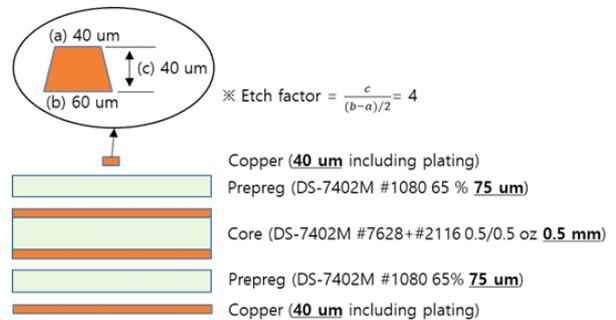


그림 4. 본 연구에 사용된 인쇄회로기판 적층 구조
Fig. 4. PCB stack-up used in this study.

프리프레그로는 대부분의 제조사에서 널리 사용되고 있는 두산전자 DS-7402M #1080 75 μm R/C(resin content) 65 %(dielectric constant(유전 상수)=3.93, dissipation factor(유전 손실)=0.014 @1 GHz)를 적용했다. 이 때 마이크로 스트립의 특성 임피던스는 약 62 Ω 으로써 이미 50 Ω 보다 높지만, 이는 프리미엄 스마트폰뿐 아니라, 범용 제품에서도 동일한 문제가 발생할 것을 예상하고, 일반 rigid PCB 공정에서의 회로 선폭 최소 사양으로 제작한 것이 원인이다. 하지만 프리프레그 가공 후 얼마나 더 올라가는지 비교함으로써 제안한 아이디어를 검증할 수 있다.

그림 5는 가공된 단면인데, 유리 섬유가 드릴(drilling) 공정에 의해 잘린 부분과 그 부분으로 에폭시 레진(epoxy resin)이 함침되어 있는 것을 볼 수 있다.

프리프레그 가공에는 직경 0.3 mm, 0.5 mm, 1 mm 세 가지 종류의 드릴을 사용했는데, 비아 사이즈가 0.3 mm 인 쿠폰에서는 프리프레그가 한 쪽으로 쏠리는 현상이 관찰됐다. 이는 통상적인 PCB 회로 쏠림 공차인 $\pm 50 \mu\text{m}$ 를 초과하는 것으로, 가공된 프리프레그를 적층할 때 발생한 것으로 보인다. 그러나 현재 rigid-flex PCB 공정에서

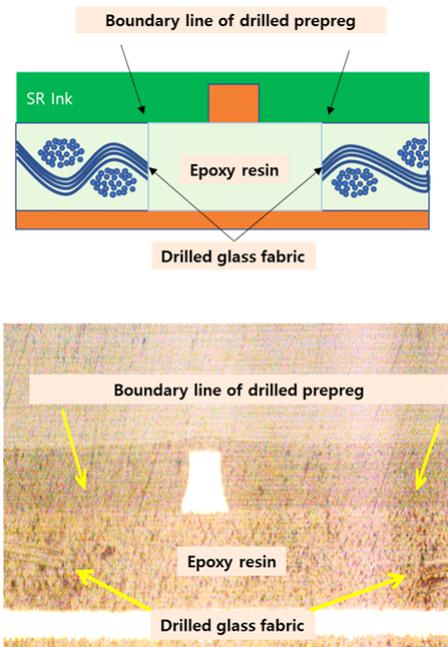


그림 5. 가공된 프리프레그 단면
Fig. 5. Cross section of drilled prepreg.

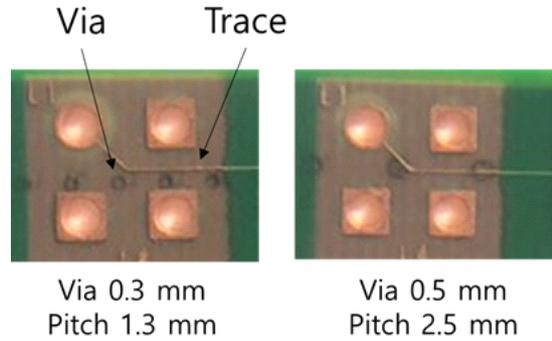
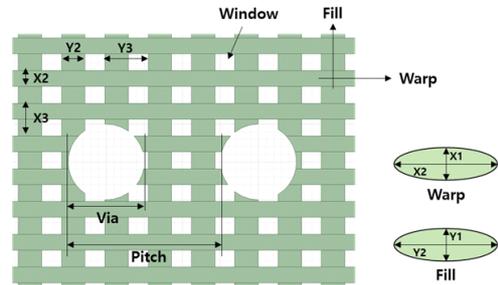


그림 6. 가공된 프리프레그의 쏠림 현상
Fig. 6. Misalignment of drilled prepreg.

는 코어와 프리프레그를 적층할 때 가이드 편을 사용해서 쏠림을 $\pm 100 \mu\text{m}$ 이내로 제한하므로 이러한 문제를 걱정할 필요가 없다(그림 6).

III. 프리프레그 가공의 효과

그림 7은 유리 섬유를 포함한 프리프레그의 3D 모델을 나타냈다. 유리 섬유의 종류에 따라 warp의 두께(X1), 폭(X2), 간격(X3) 및 fill의 두께(Y1), 폭(Y2), 간격(Y3), window(유리 섬유가 겹치지 않는 영역)의 크기가 달라지므로 주의가 요한다. 본 연구에서는 PCB 원자재 전문 기업인 ISOLA사에서 측정된 자료를 근거로 모델링했다.



Glass Fabric	Measurements Results (mils)					
	X1	X2	X3	Y1	Y2	Y3
1035	1.12	10.20	16.10	0.53	10.90	15.50
106	1.00	4.80	18.50	0.60	10.20	20.60
1067	0.82	8.85	14.30	0.78	12.40	13.70
1080	1.60	8.20	17.00	1.10	12.10	22.40
1086	1.44	10.80	16.60	1.00	14.70	17.10
2113 / 2313	2.40	10.50	17.00	1.00	15.30	18.20
3313	1.90	13.10	16.20	1.50	11.00	16.30
3070	1.70	12.70	14.80	1.70	12.60	14.20
2116	2.20	14.10	17.20	2.00	14.50	17.30
1652	2.40	15.30	17.50	2.90	15.90	18.80

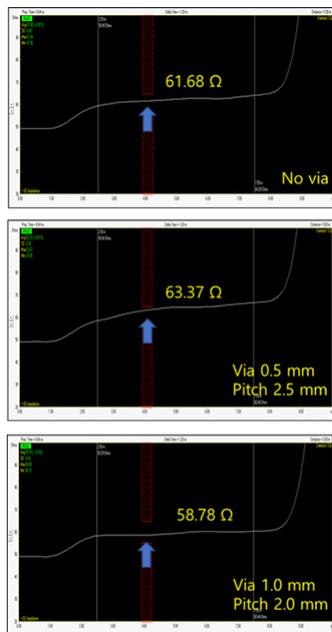
그림 7. 유리 섬유를 포함한 프리프레그의 3D 모델
Fig. 7. 3D model of a prepreg with glass fabric.

제작한 쿠폰을 Polar Instrument사의 CITS 900s4 장비로 TDR 파형(rise time=190 ps)을 측정했고, ANSYS사의 HFSS 소프트웨어를 사용하였으며, 같은 조건에서 시뮬레이션한 결과와 비교해 표 1 및 그림 8에 나타났다.

우선 프리프레그를 가공하지 않은 쿠폰의 경우에 측정과 시뮬레이션 결과가 일치하는 것으로부터 유리 섬유를 포함한 프리프레그가 제대로 모델링됐음을 확인할 수 있다. 이것을 직경 0.5 mm인 드릴을 사용해 2.5 mm 간격으로 가공하니 특성 임피던스가 61.68 Ω에서 63.37 Ω으로 2.7 % 증가했다. 이것은 선폭을 60 μm에서 55 μm로 줄

표 1. 특성 임피던스 결과 비교
Table 1. Comparison with characteristic impedance.

Via/pitch [mm]	No via	0.5/2.5	1.0/2.0	
Impedance [Ω] (@0.5 ns)	Measured	61.68	63.37	58.78
	Simulated	61.64	62.27	63.73



- 1) Prepreg : DS-7402M #1080
- Dielectric constant : 3.93
- Dissipation factor : 0.014
- 2) Equipment : Polar Instruments CITS 900s4
- 3) Rise Time 190ps

(a) 특성 임피던스 측정 결과
(a) Measurement of characteristic impedance

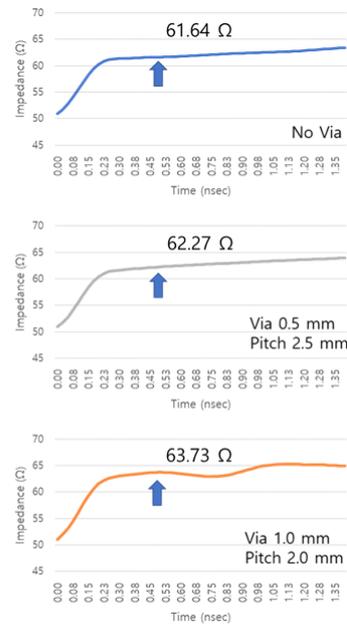
이는 것과 마찬가지로의 효과다. 시뮬레이션으로도 증가폭은 다소 적지만 동일한 경향성이 확인된다.

그런데 직경 1.0 mm인 드릴을 사용해 2.0 mm 간격으로 가공한 쿠폰은 시뮬레이션 상으로는 특성 임피던스가 증가했으나, 측정 결과는 예상외로 특성 임피던스가 오히려 감소한 것으로 나타났다.

그림 9와 같이 단면 분석을 해보니 프리프레그의 가공된 부피가 커서 그 부분으로 에폭시 레진이 대량으로 함침되어 절연층 두께가 감소한 것을 확인할 수 있었다. 따라서 가공 효과를 누리면서도 프리프레그 두께를 유지하려면, PCB 공정의 위치 정합도가 문제가 되지 않는 한도 내에서 되도록 작은 구멍을 여러 개 뚫는 것이 유리하다.

다음으로 측정 결과와 정합성이 확인된 시뮬레이션 모델을 사용해 다양한 시나리오를 분석했다.

우선, 제안한 아이디어가 프리프레그의 쏠림 현상에 얼마나 민감한지 보기 위해 window를 기준으로 전송선의



- 1) Prepreg : #1080
- Dielectric constant (glass/epoxy) : 6.4/3.6
- Dissipation factor (glass/epoxy) : 0.004/0.032
- 2) Simulation Tool : ANSYS HFSS
- 3) Rise Time 190ps

(b) 특성 임피던스 시뮬레이션 결과
(b) Simulation of characteristic impedance

그림 8. 특성 임피던스 측정 및 시뮬레이션 결과
Fig. 8. Measured and simulated values of characteristic impedance.

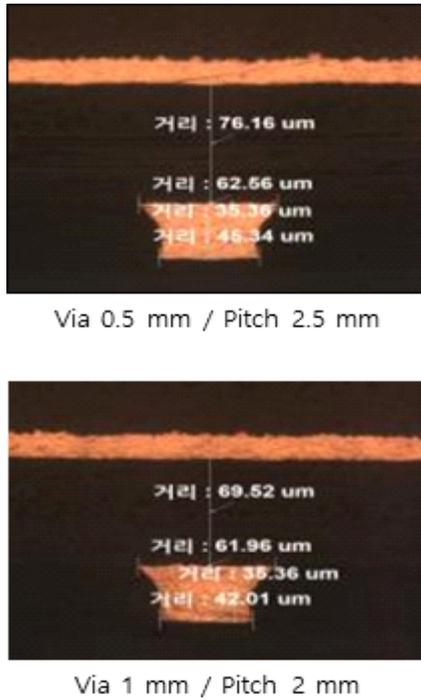


그림 9. 쿠폰 단면 분석 결과
Fig. 9. Cross section analysis of coupon.

위치를 바꿔가면서 시뮬레이션을 반복했다. 그림 10에서 볼 수 있듯이 프리프레그의 window를 벗어날 정도의 솔림이 아니라면 특성 임피던스는 거의 영향을 받지 않는

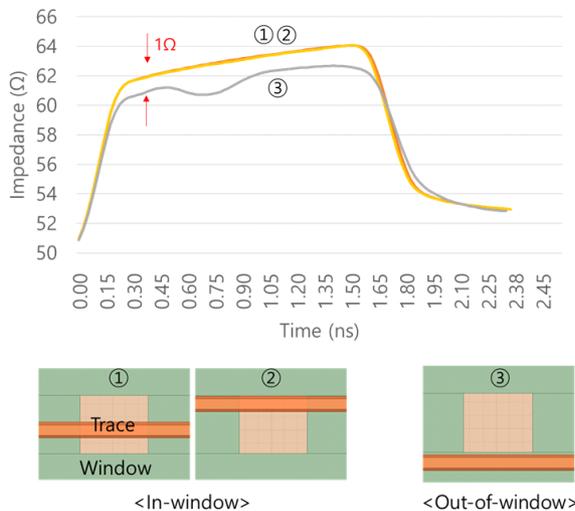
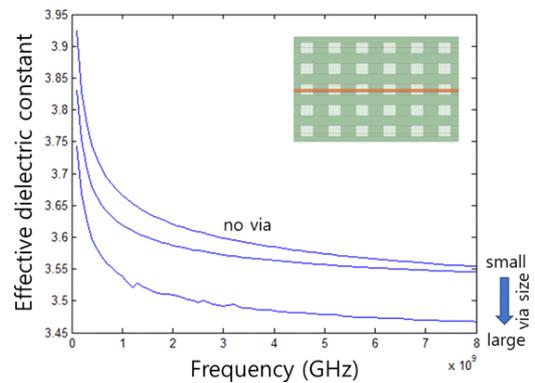


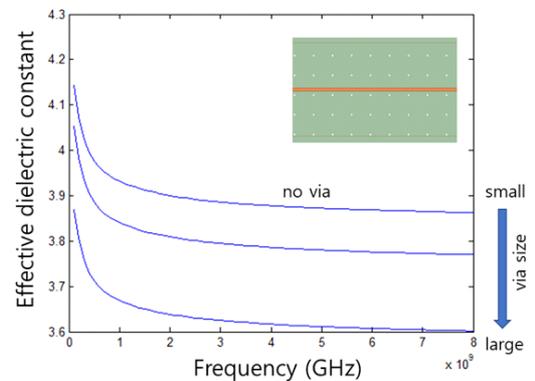
그림 10. 회로 솔림에 의한 임피던스 변화
Fig. 10. Impedance variation by pattern misalignment.

다. 본 연구에서 window 크기가 233 μm (8.8 mil)인 #1080 타입의 프리프레그를 사용했기 때문에 회로 솔림(공차 $\pm 50 \mu\text{m}$)에 의한 영향은 미미하다. 또한 rigid PCB 공정의 경우에는 0.4 mm 이상, rigid-flex PCB 공정의 경우에는 0.2 mm 이상의 via를 사용하면 적층 솔림에 의한 영향도 최소화할 수 있다.

최근 고속 신호의 skew를 개선할 목적으로 spread 타입의 유리 섬유 수요가 급증하고 있는 추세^[5]이기 때문에, #1080 타입 대신에 #3070 타입을 적용한 경우도 따져봤다. 시뮬레이션으로 얻은 산란 파라미터로부터 유효 유전상수를 추출^[6]해 그림 11에 비교했다. #1080 타입에서는



(a) 유리 섬유 #1080 타입의 유효 유전상수
(a) Effective dielectric constant of glass fabric #1080



(b) 유리 섬유 #3070 타입의 유효 유전상수
(b) Effective dielectric constant of glass fabric #3070

그림 11. 유리 섬유 타입별 프리프레그 가공 전후의 유효 유전상수 변화
Fig. 11. Effective dielectric constant before and after drilling prepreg for different glass fabric types.

프리프레그 가공을 통해 유효 유전 상수를 약 3 % 낮출 수 있는데 비해, #3070 타입에서는 약 7 %까지 낮출 수 있음을 알 수 있다.

IV. 결 론

본 논문에서는 프리프레그를 교체하지 않고도 유효 유전상수를 낮출 수 있는 아이디어를 제시하고, 측정과 시뮬레이션을 통해 검증했다. 프리프레그 가공을 통해 유리섬유 타입에 따라 유효유전 상수를 7 % 정도까지도 낮출 수 있음을 보였다. 프리프레그 두께를 유지하면서도 가공효과를 극대화하려면 작은 구멍을 여러 개 뚫는 것이 유리한데, 상용 rigid-flex 공정에서는 위치 정합도를 크게 걱정할 필요가 없으므로 유효 유전 상수를 훨씬 큰 폭으로 조정할 수 있을 것이다.

제안된 아이디어는 동일한 적층 구조에서도 필요에 따라 국부적으로 유효 유전 상수를 다르게 설계할 수 있다는 점에서 안테나를 FR-4 기판에 구현^[7]할 때 RF 신호와 전원 신호를 서로 다른 유전 상수로 설계할 수 있다는 점에서 유용하다. 즉, 전원 무결성 측면에서는 높은 유전 상수의 기판이 유리하고^[8], 임피던스 측면에서는 낮은 유전 상수가 유리한 딜레마를 해결할 수 있다.

References

- [1] E. Jolivet, "Smartphone substrate-like PCBs will revolutionize the IC substrate and PCB markets," *The PCB007 Magazine*, pp. 44-48, Sep. 2018. Available: <http://www.magazines007.com/pdf/PCB007-Sept2018.pdf>
- [2] S. Yu, D. G. Kam, "Offset mesh in FPCB for better impedance control," *Electronics Letters*, vol. 54, no. 13, pp. 812-813, Jun. 2018.
- [3] Altera, "PCB dielectric material selection and fiber weave effect on high-speed channel routing," 2011. Available: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/an/an528.pdf>
- [4] W. Yang, M. J. Kim, and C. S. Lee, "Low-k circuit board and manufacturing method thereof," Korea Patent 10-1874393, Jun. 28, 2018.
- [5] A. Morgan, "Developments in glass yarns and fabric constructions," *The PCB Magazine*, pp. 78-88, Mar. 2014. Available: <http://www.isola-group.com/wp-content/uploads/Developments-in-Glass-Yarns-and-Fabric-Constructions.pdf>
- [6] Y. Eo, W. R. Eisenstadt, "High-speed VLSI interconnect modeling based on S-parameter measurements," *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, vol. 16, no. 5, pp. 555-562, Aug. 1993.
- [7] H. Seo, W. Hong, and D. G. Kam, "Gain variation of 60 GHz aperture-coupled patch antenna dependent on the position on the ground plane and periodic characteristic," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 30, no. 10, pp. 803-807, Oct. 2019.
- [8] H. Kim, B. K. Sun, and J. Kim, "Suppression of GHz range power/ground inductive impedance and simultaneous switching noise using embedded film capacitors in multilayer packages and PCBs," *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 2, pp. 71-73, Feb. 2004.

양 원 모 [아주대학교/박사과정]

<https://orcid.org/0000-0003-4350-6872>



2004년: 단국대학교 전자공학과 (공학사)
2007년: 아주대학교 정보통신공학과 (공학석사)
2014년~현재: 아주대학교 전자공학과 박사과정
[주 관심분야] 차세대 기관 기술, SI/PI/Thermal 설계

감 동 근 [아주대학교/부교수]

<https://orcid.org/0000-0001-8882-567X>



2000년: 한국과학기술원 물리학과 (이학사)
2002년: 한국과학기술원 전자공학과 (공학석사)
2006년: 한국과학기술원 전자공학과 (공학박사)
2007년~2011년: IBM 왓슨연구소 연구원
2011년~현재: 아주대학교 전자공학과 교수
[주 관심분야] 고속 직렬 링크, 밀리미터파 패키지