

진폭 및 위상 불균형을 개선한 기판집적 도파관 밸런

Substrate Integrated Waveguide Balun for Reducing Amplitude and Phase Imbalances

김 유 민 · 조 춘 식

Yu-Min Kim · Choon Sik Cho

요 약

본 논문에서는 기판집적 도파관(substrate integrated waveguide)과 tapered microstrip transition을 기반으로 진폭과 위상 불균형을 개선한 밸런을 설계하였다. 제안하는 밸런은 전력 분배기를 통해 신호를 절반으로 분할한 뒤, 위상을 180° 반전시키는 대칭 포트에 차동 신호를 얻는다. 7.33 GHz에서 9.36 GHz의 대역폭에서 반사손실은 -10 dB 이하, 차동 포트의 이득은 -3.11 dB부터 -5.71 dB까지 측정되었다. 차동 포트의 진폭 불균형은 대역폭 내에서 최대 0.21 dB, 위상 불균형은 최대 3.6°을 보인다. 포트의 대칭 구조로 차동 신호의 진폭과 위상 불균형이 감소하는 것을 확인하였다.

Abstract

In this paper, we designed a balun that reduces both the amplitude and phase imbalances based on substrate integrated waveguide and tapered microstrip transition. The proposed balun divides the single-ended signal in half using a power divider and obtains a differential signal with a symmetric port in phase reverse. In the bandwidth of 7.33 to 9.36 GHz, the measured return loss was below -10 dB. The gain of the differential port ranges from -3.11 to -5.71 dB. Within the bandwidth; at maximum, the amplitude imbalance of the differential port is 0.21 dB, and the phase imbalance is 3.6°. Therefore, it is verified that the amplitude and phase imbalances of the differential signal are reduced.

Key words: Substrate Integrated Waveguide(SIW), Balun, Transition, Amplitude Imbalance, Phase Imbalance.

I. 서 론

밸런은 차동 신호를 단동 신호로 또는 반대로 변환시키는 회로를 말한다. 현재 많은 RF 분야에서 차동 입출력 회로를 사용하고 있으며, Mixer, LNA 등에 밸런이 쓰이고 있다^[1]. 기존의 밸런은 marchand balun과 같이 마이크로스트립 라인으로 구성하였다^[2]. 그러나 고주파 대역에

서는 높은 손실로 인해 기판집적 도파관(substrate integrated waveguide, SIW) 구조를 채택한다. SIW는 평면화가 가능하여 다른 PCB와 연결하기 쉽고, 방사 손실(radiation loss) 및 삽입 손실(insertion loss)이 작아 고주파 대역에 적합하다^{[3][4]}.

본 밸런은 X-대역 레이다 및 UWB 시스템 등에서 사용할 수 있으며, 특히 안테나와 차동 송수신기 사이 등에서

「이 연구는 2019학년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2016R1D1A1B03935080).」

한국항공대학교 항공전자정보공학부(School of Electronic and Information Engineering, Korea Aerospace University)

· Manuscript received April 13, 2020 ; Revised April 1, 2020 ; Accepted April 22, 2020. (ID No. 20200413-016)

· Corresponding Author: Choon Sik Cho (e-mail: cscho@kau.ac.kr)

차동신호와 단동신호의 변환이 필요한 곳에서 손실이 매우 적은 SIW 밸런이 사용될 수 있다.

이러한 밸런의 성능을 평가하기 위하여서는 180° 의 위상 차이를 보이며, 동일한 진폭 크기를 갖는 차동 신호를 얼마나 잘 형성하는 것인지에 대하여 측정한다.

II. SIW Balun 설계

SIW는 도체의 윗면 및 아랫면 평면 사이의 유전체 기판에 금속 Via를 수직으로 위치시켜 두 도체 평면을 연결하는 구조를 바탕으로 한다. 이 Via를 배열하여 2개의 측면 벽을 구성하면 전자기파는 직사각형 도파관과 유사하게 SIW 내부를 진행한다. SIW는 일정한 간격을 두고 위치한 Via 열로 인해 TM 모드 전파의 진행이 방해받는다. 반면 TE 모드의 전파는 Via 벽을 통해 연속적으로 흐르는 전류로 인해 SIW를 그대로 진행하며, TE_{10} 이 지배적인 모드가 된다.

SIW의 전기장 분포는 유전체로 채워진 직사각형 도파관의 전기장 분포와 유사하지만, 금속 Via 사이의 틈으로 전자기파가 일부 누설되기 때문에 이를 반영한 수치적 식 (1)을 통해 확인할 수 있다^[5].

$$a_{eq} = a_{SIW} - \frac{d^2}{0.95p} \quad (1)$$

여기서 a_{SIW} 는 그림 1에 나타난 것과 같이 SIW의 폭, a_{eq} 는 직사각형 도파관의 폭, d 는 Via의 지름, p 는 Via 중심 사이의 거리를 말한다.

전자기파의 손실을 감소시키려면 Via의 지름, Via 중심 사이의 거리를 적절히 조절해야 하며, 설계하는 구조에 따라 최종적으로 최적화를 한다. 그러나 SIW 단독으로는

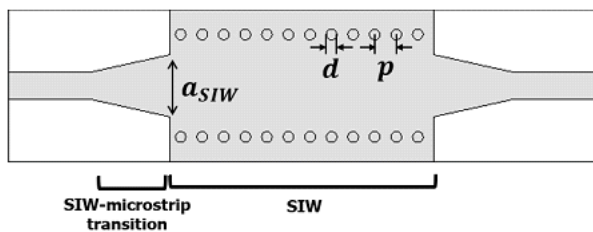


그림 1. SIW와 SIW-microstrip transition의 구조
Fig. 1. SIW and SIW-microstrip transition.

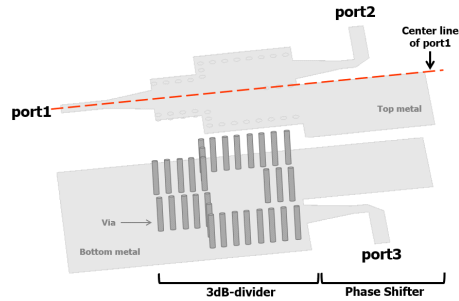
커넥터, 안테나 등과 연결할 수 없으므로 다른 회로와 물리적인 연결 및 매칭을 위한 구조가 필요하다. 이를 위하여 SIW와 마이크로스트립 선로 사이에 Tapered microstrip transition을 삽입한다. Tapered microstrip transition은 마이크로스트립 선로의 Quasi-TEM 모드와 SIW의 TE 모드를 전환하는 역할을 한다. Tapered microstrip transition의 폭과 길이에 관련된 식은 이미 주어져 있다^[6]. 길이는 약 $\frac{\lambda_0}{4}$ 로 정해지는데, 이는 반사 손실을 감소시킨다. 그림 1은 SIW와 SIW-microstrip transition 구조를 보여준다.

제안하는 밸런은 ϵ_r 이 2.22, 기판 두께가 1.575 mm인 Rogers RT/duroid 5880으로 설계하였다. 그림 2는 설계한 단층 balun이다. Port 1의 신호는 3-dB 전력분배기에 의해 전력이 반으로 나뉜다. Port 2에서는 Port 1 신호의 위상이 그대로 출력되고, Port 3에서는 반대의 위상이 출력된다. 이는 Port 2는 Top metal, Port 3은 Bottom metal에 신호선이 존재하여 Port 1의 중심선에 횡방향으로 대칭 구조를 이루고 있기에 나타나는 특징이다. 그림 3은 차동 Port를 커넥터와 연결했을 때의 전기장 분포를 보여준다. Port 2의 전기장은 신호선에서 접지 평면을 향하고, Port 3은 접지 평면에서 신호선을 향한다. 따라서 Port 2와 Port 3 신호의 위상차는 180° 로 차동 신호를 나타낸다. 이후 마이크로스트립 선로를 전파 진행 방향의 수직으로 위치시켜 근접한 두 Port 사이의 간섭으로 인한 신호 손실을 감소시켰다. 모든 설계 수치들은 상용 시뮬레이션 툴인 CST로 최적화되었으며, 표 1에 나타내었다.

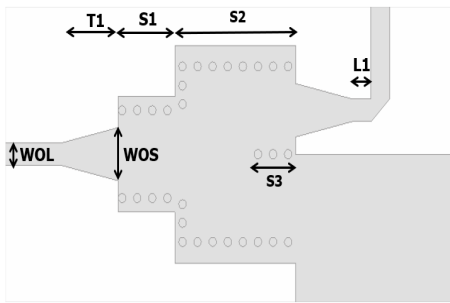
III. 측정 결과

설계한 밸런은 그림 4와 같이 제작하였으며, 측정을 위하여 기판과 커넥터의 손실을 보상하기 위한 TRL calibration을 실시하였다. 이를 위하여 2-port vector network analyzer(VNA)로 측정하였으며, 나머지 하나의 Port는 50 Ω 광대역 부하를 연결하였다. 제작한 밸런의 전체 크기는 가로 110.8 mm, 세로 60.4 mm이다.

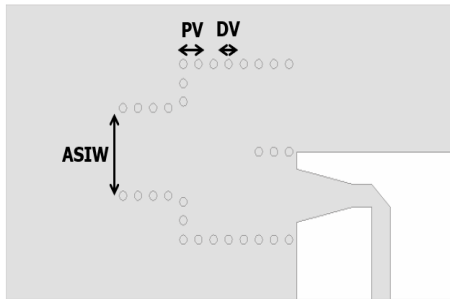
그림 5는 그림 4에서처럼 제작한 밸런의 성능 결과를 나타내고 있으며, 시뮬레이션 결과와 측정 결과를 같이 비교하여 나타내었다. 7.33 GHz부터 9.36 GHz까지의 대역에서 차동 포트의 이득(S_{21} 과 S_{31})은 시뮬레이션 결과,



(a) 3D 구조
(a) Overall structure



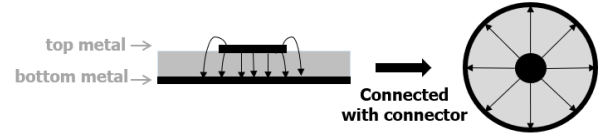
(b) Top view
(b) Top view



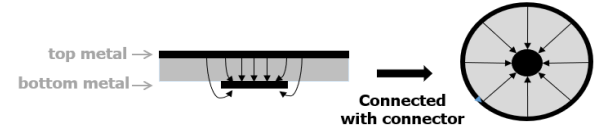
(c) Bottom view
(c) Bottom view

그림 2. 제안하는 밸런
Fig. 2. The proposed balun.

약 -4 dB이며, 측정값은 -3.11 dB에서 -5.71 dB의 분포를 보이고 있다. 반사손실은 시뮬레이션 및 측정 결과, 모두 -10 dB 이하의 성능을 보인다. 그림 5에서 포트의 이득은 시뮬레이션 값과 측정값 사이에 최대 1.7 dB의 차이를 보이고 있으며, 이는 차동 포트의 tapered line 부분에서 충분하지 않은 접지면으로 인하여 시뮬레이션 결과와 비교하여 실제 제작한 밸런이 다소 많은 손실을 보



(a) Port 2의 전기장
(a) E-field of port 2



(b) Port 3의 전기장
(b) E-field of port 3

그림 3. 전기장 분포

Fig. 3. Electric-field distribution.

표 1. 제안하는 밸런의 설계 parameter [단위: mm]

Table 1. Geometric parameters of the proposed balun [unit: mm].

ASIOW	18.96	S_1	15
DV	2	S_2	32
PV	4	S_3	11
WOS	11.5	WOL	4.88
T1	15	L1	5

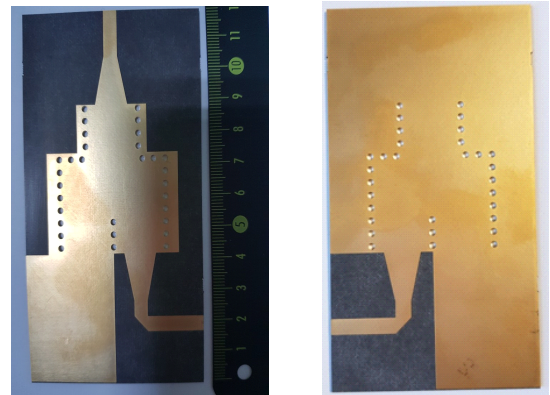
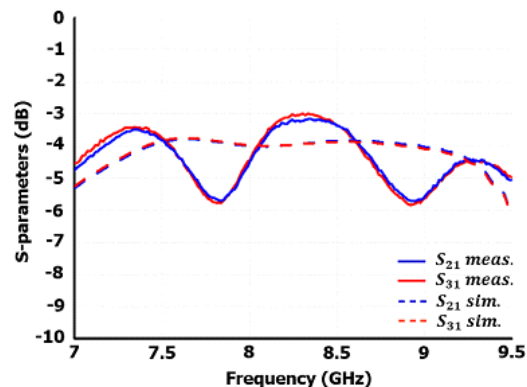


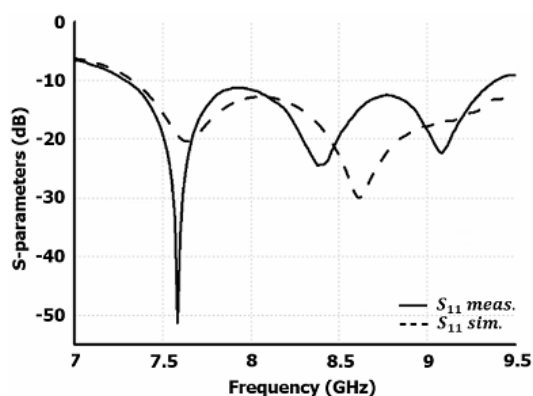
그림 4. 제작한 밸런의 top 및 bottom view
Fig. 4. Top and bottom views of fabricated balun.

임에서 기인한다.

차동 포트의 위상 특성은 그림 6에 나타난 것과 같으며, 대역폭 내에서 진폭 불균형 및 위상 불균형은 그림 7과 그림 8을 통해 각각 확인할 수 있다. 진폭 불균형은 최



(a) 이득
(a) Gain



(b) 반사손실
(b) Return loss

그림 5. 측정 결과
Fig. 5. Measurement results.

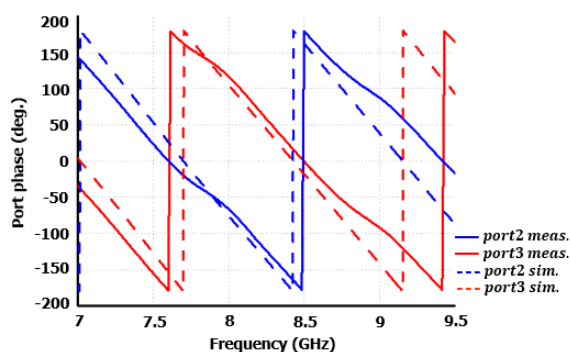


그림 6. 차동 포트의 위상 시뮬레이션 및 측정 결과
Fig. 6. Simulation and measurement results of phase at differential port.

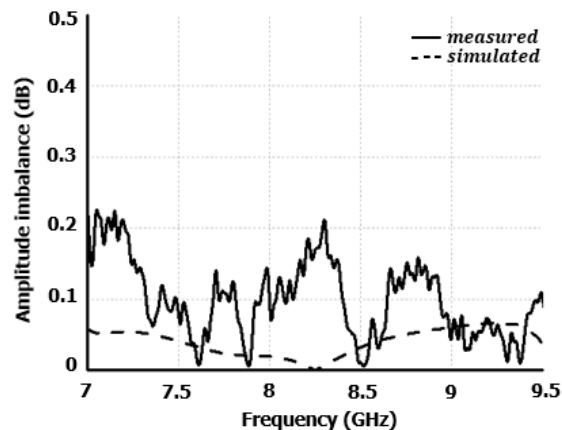


그림 7. 측정된 차동 신호의 진폭 불균형 결과
Fig. 7. Measurement result of amplitude imbalance.

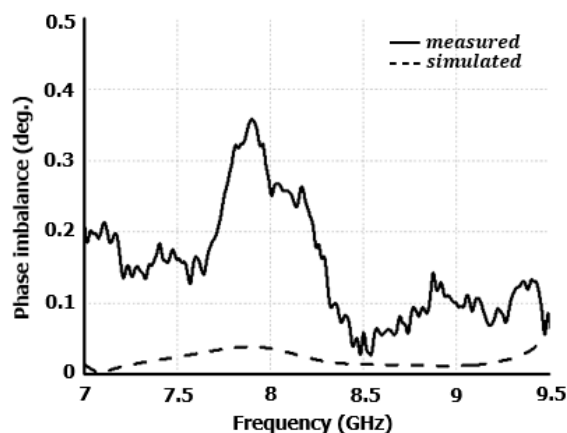


그림 8. 측정된 차동 신호의 위상 불균형 결과
Fig. 8. Measurement result of phase imbalance.

대 0.064 dB의 시뮬레이션 결과와 최대 0.21 dB의 측정 결과를 보인다. 그리고 위상 불균형은 시뮬레이션 상에서 180°를 기준으로 최대 0.38°의 오차가 발생되었으며, 측정 결과는 0.22°~3.6°로 나타났다.

기존의 SIW 및 Marchand 기술을 적용한 밸런과 제안하는 밸런의 성능 비교는 표 2를 통해 확인할 수 있다. 표 2에서 보듯이, 제안하는 밸런은 상대적으로 협대역에서 동작하고 있지만, 진폭 불균형 성능은 매우 작은 값을 보이고 있고, 위상 불균형 또한 상대적으로 우수한 성능을 보이고 있다.

표 2. 기존 밸런 논문과의 성능 비교

Table 2. Performance comparison of the baluns.

	This work	Ref. [1]	Ref. [7]	Ref. [8]
Topology	SIW	SIW	Marchand	SIW
Frequency(GHz)	7.33~9.36	19~29	0.45~6.85	26.5~40
Amplitude imbalance(dB)	<0.21	<1	<0.5	<0.8
Phase imbalance(deg.)	<3.6°	<5°	<10°	<3.1°

IV. 결 론

본 논문에서는 진폭 및 위상 불균형을 감소시키는 대칭 구조를 통해 8 GHz 대역의 기관 집적 도파관 밸런을 구현하였다. 차동 신호의 진폭 오차는 최대 0.21 dB, 위상 오차는 최대 3.6°로 측정되었다. 180°의 위상차를 가져야 하는 밸런에 비해 위상에서 약 2 %의 오차를 보인다. 이를 통해 이상적인 밸런에 한층 가까워진 것을 확인할 수 있으며, 향후 다양한 응용에 활용할 수 있을 것이다.

References

- [1] Z. Zhang, K. Wu, "A broadband substrate integrated waveguide(SIW) planar balun," *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 12, pp. 843-845, Dec. 2007.
- [2] J. Moghaddasi, K. Wu, "Hybrid structure-based broadband field-rotation balun for millimeter-wave applications," in *IEEE MTT-S International Microwave Symposium*, Phoenix, May 2015, pp. 1-3.
- [3] Z. C. Hao, W. Hong, J. X. Chen, H. X. Zhou, and K. Wu, "Single-layer substrate integrated waveguide directional couplers," in *IEEE Proceedings-Microwave, Antennas, Propagation*, vol. 153, no. 5, pp. 426-431, Oct. 2006.
- [4] S. J. Hong, S. Kim, M. P. Lee, J. S. Lim, and D. W. Kim, "Ku-band transitions between microstrip and substrate integrated waveguide and microstrip and hollow substrate integrated waveguide," *The Journal of Korean Institute of Electromagnetic and Science*, vol. 30, no. 2, pp. 95-103, Feb. 2019.
- [5] B. Rahali, M. Feham, "Design of K-band substrate integrated waveguide coupler, circulator and power divider," *International Journal of Information and Electronic Engineering*, vol. 4, no. 1, pp. 47-53, Jan. 2014.
- [6] D. Deslandes, "Design equations for tapered microstrip-to-substrate integrated waveguide transitions," in *2010 IEEE MTT-S International Microwave Symposium*, Anaheim, CA, May 2010, pp. 704-707.
- [7] P. Wu, Y. Zhang, Y. Dong, and Q. Zhang, "A novel Ka-band planar balun using microstrip-CPS-microstrip transition," *IEEE Microwave and Wireless Components Letters*, vol. 21, no. 3, pp. 136-138, Mar. 2011.
- [8] K. Lin, Y. Lin, "A simple printed compensated balun for enhanced ultra-wideband performances," *IEEE Microwave and Wireless Components Letters*, vol. 24, no. 1, pp. 5-7, Jan. 2014.

김 유 민 [한국항공대학교/석사과정]

<https://orcid.org/0000-0001-7688-7961>



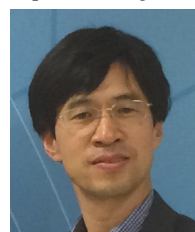
2019년 8월: 한국항공대학교 항공전자정보공학부 (공학사)

2019년 9월~현재: 한국항공대학교 항공전자정보공학과 석사과정

[주 관심분야] 초고주파 집적회로 설계, 전파의료, 전파 이미징

조 춘 식 [한국항공대학교/교수]

<https://orcid.org/0000-0003-0833-5254>



1987년 2월: 서울대학교 제어계측공학과 (공학사)

1998년 12월: 미국 Colorado 대학교 전기 및 컴퓨터공학과 (공학박사)

1987년~1993년: LG 정보통신

1999년~2003년: 팬택앤큐리텔

2004년 3월~현재: 한국항공대학교 항공전자정보공학부 교수

[주 관심분야] RFIC 설계, Analog IC 설계, 전파의료, 레이더 시스템, 전파 이미징