

LTE 전력증폭기를 위한 두 개의 단일 인덕터 이중 출력 DC-DC 컨버터를 이용한 4-Level Dynamic Supply Switching 변조기

Four-Level Dynamic Supply Switching Modulator Using Two Single-Inductor Dual-Output DC-DC Converters for LTE Power Amplifier

오 성 재 · 오 한 식 · 양 영 구

Sung jae Oh · Hansik Oh · Youngoo Yang

요 약

본 논문에서는 CMOS 전력증폭기 (PA)의 효율 개선을 위한 두 개의 단일 인덕터 이중 출력 DC-DC 컨버터를 사용하는 4-level Dynamic Supply Switching (DSS) 변조기가 제시되어 있다. 제안하는 DSS 변조기는 두 개의 단일 인덕터 이중 출력 DC-DC 컨버터와 서플라이 스위칭 회로로 구성된다. 두 개의 단일 인덕터 이중 출력 DC-DC 컨버터는 4개의 DC 전압을 생성한다. 서플라이 스위칭 회로는 변조된 신호의 envelope에 따라 4개의 전압을 동적으로 스위칭한다. 제안된 4-level DSS 전력증폭기는 1.75 GHz 대역에서 동작하고, 0.18 μm CMOS 공정을 사용하여 제작되었다. 5 MHz의 대역폭을 가진 LTE 16-QAM 신호를 인가하였을 때, DSS 전력증폭기의 측정 효율은 평균 출력 전력 22 dBm에서 38.9%의 PAE가 측정되었고, 이때의 인접 채널 누설 전력비(ACLR)는 -30.0 dBc를 만족한다.

Abstract

In this paper, a four-level dynamic supply switching (DSS) modulator using two single inductor dual output DC-DC converters for improving the efficiency of CMOS power amplifiers (PAs) is presented. The proposed DSS modulator includes two single-inductor dual-output DC-DC converters and a supply switching circuit. Two single-inductor dual-output DC-DC converters generate four DC voltages. The supply switching circuit dynamically switches the four voltages according to the envelope of the modulated signal. The proposed four-level DSS PA operates in the 1.75 GHz band and is fabricated using the 0.18 μm CMOS process. For the LTE 16-QAM signal with a bandwidth of 5 MHz, the measured PAE of the DSS PA is 38.9 % at an average output power of 22 dBm, thereby satisfying the adjacent channel leakage power ratio (ACLR) of -30.0 dBc.

Key words: Supply Modulator, Dynamic Supply Switching, Cmos Power Amplifier, Single Inductor Dual Output Dc-Dc Converter

I. 서 론

현재의 휴대 단말기의 경우, 배터리 시간은 사용자의 편의를 결정하는 매우 중요한 부분 중 하나이다. 모바일

「이 논문은 2020년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구임 (No.2020-0-01094, 5G용 Sub-6GHz n77 대역 Power Amp 개발 및 PAMiF 상용화).」

성균관대학교 전자전기컴퓨터공학과(Department of Electrical and Computer Engineering, Sungkyunkwan University)

· Manuscript received October 18, 2020 ; Revised November 6, 2020 ; Accepted November 6, 2020. (ID No. 20201018-089)

· Corresponding Author: Youngoo Yang (e-mail: yang09@skku.edu)

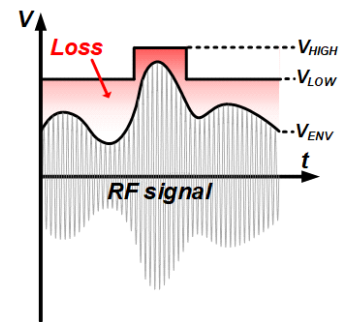
기기의 전력증폭기가 송신기에서 가장 많은 전력을 소비하기 때문에 모바일 기기의 고효율 특성을 위한 설계가 필수적이다. 그러나, 데이터 전송속도에 대한 수요가 증가함에 따라 변조 신호의 신호 대역폭과 침투 전력 대 평균 전력비가 증가하였다. 침투 전력 대 평균 전력비가 높은 변조 신호에 대한 선형성 특성을 만족하기 위해 전력증폭기는 백오프된 전력에서 동작하므로 낮은 효율 특성을 가진다. 큰 백오프 전력에서 동작하는 전력증폭기의 낮은 효율을 개선하기 위해 envelope tracking(ET), average power tracking(APT), dynamic supply switching(DSS) 등의 서플라이 변조 기법이 도입되었다^{[1]~[16]}.

ET 기법은 공급 변조 기법의 한 종류로 변조된 신호의 envelope 신호를 공급 전압으로 전력증폭기에 공급하여 전력증폭기 효율을 향상하는 데 사용되어 왔다^{[1]~[12]}. ET 기법을 위한 하이브리드 서플라이 변조기의 기본 구조는 고속 선형 증폭기단과 고효율을 가지는 스위칭 증폭기단으로 구성된다. 이 구조의 경우에 선형 증폭기단의 낮은 효율로 인해 ET 변조기의 효율이 저하될 수 있다.

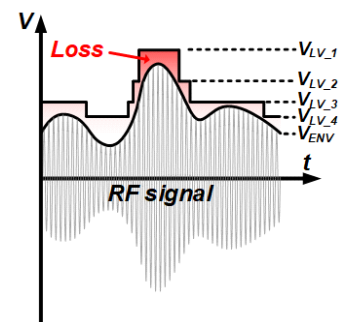
다른 공급 변조 기술인 DSS 기법이 보고되었다^{[13]~[16]}. DSS 변조기는 envelope 신호에 따라 여러 개의 DC 전압을 동적으로 전환하여 전력증폭기에 공급한다. 이를 통해, 전력증폭기의 효율을 개선할 수 있다. DSS 변조기는 하나 이상의 DC-DC 컨버터와 스위칭 회로로 구성된다. 이 DC-DC 컨버터를 통해 필요한 전압들을 생성하고, 스위칭 회로를 통해 envelope 신호에 따라 전압 중 하나를 전력증폭기에 공급한다. DC-DC 컨버터와 스위칭 회로는 ET 공급 변조기의 선형 증폭기와 비교하면 전력 소비량이 상대적으로 낮으므로 DSS 변조기는 ET 변조기보다 높은 효율을 갖는다. DSS 기법을 통한 전력증폭기의 효율 개선능력은 ET 기법에 비해 낮지만, 전력증폭기와 연동하여 동작할 때, DSS 변조기의 높은 효율을 통해 전력증폭기의 효율을 개선할 수 있다. 배터리 전압과 DC-DC 컨버터를 사용하여 생성한 낮은 DC 전압을 동적으로 스위칭하는 DSS 변조기 집적회로가 제시되었다^[13]. 배터리 전압이 DSS 변조기의 높은 전압으로 사용되었기 때문에 전력증폭기의 평균 출력 전력이 감소함에 따라 효율 향상이 제한될 수 있다. 단일 인덕터 이중 출력 DC-DC 컨버터를 이용한 DSS 변조기가 도입되었다^[14]. 이 단일 인

덕터 이중 출력 DC-DC 컨버터는 평균 출력 전력이 감소함에 따라 점차 감소하는 두 개의 DC 전압을 생성한다. 두 전압 레벨을 스위칭하면 회로가 간단하지만, 효율 개선의 양이 제한된다.

본 논문에서는 두 개의 단일 인덕터 이중 출력 DC-DC 컨버터 집적회로와 서플라이 스위칭 회로로 구성된 4-level의 DSS 변조기를 이용하여 전력증폭기의 효율을 개선하였다. 그림 1은 기존의 2-level의 DSS 변조기와 제안하는 4-level의 DSS 변조기에 대한 파형을 보여준다. 기존의 2-level의 DSS 변조기와 비교해서 4-level의 DSS 변조기를 이용할 때 변조 신호에 의한 손실을 더 줄여서 더 높은 효율 개선을 할 수 있다. 제안된 4-level DSS 변조기의 단일 인덕터 이중 출력 DC-DC 컨버터와 서플라이 스위칭 회로는 매그나칩의 0.18 μm CMOS 공정을 사용하여 설계 및 제작되었다. 제작된 변조기는 같은 공정을 통



(a) 기존의 2-level의 DSS 변조기
(a) Conventional 2-level DSS modulator



(b) 제안하는 4-level의 DSS 변조기
(b) Proposed 4-level DSS modulator

그림 1. DSS 기법에 대한 파형
Fig. 1. Waveforms of DSS method.

해 제작된 1.75 GHz 대역에서 동작하는 CMOS 전력증폭기 집적회로와 함께 신호 대역폭이 5 MHz인 LTE 신호를 사용하여 실험적으로 검증되었다.

II. 회로 설계

그림 2는 제안하는 DSS 변조기의 블록도를 나타낸다. 두 개의 단일 인덕터 이중 출력 DC-DC 컨버터와 서플라이 스위칭 회로를 이용하여 4-level의 DSS 변조기로 구성하였다. 제안하는 DSS 변조기의 단일 인덕터 이중 출력 DC-DC 컨버터들을 통해 4개의 전압을 생성하고, 서플라이 스위칭 회로들을 이용하여 4개의 전압을 변조 신호의

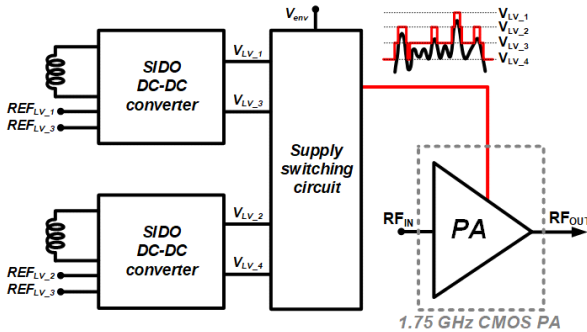


그림 2. 제안하는 DSS 변조기의 블록도
Fig. 2. Block diagram of proposed DSS modulator.

envelope에 따라 스위칭하여 전력증폭기에 공급한다.

그림 3은 제안하는 DSS 변조기의 회로도이다. 두 개의 단일 인덕터 이중 출력 DC-DC 컨버터의 제어 회로와 서플라이 스위칭 회로의 제어 회로가 포함되어 있다. 단일 인덕터 이중 출력 DC-DC 컨버터는 1 MHz의 램프 신호 발생기를 이용하여 펄스 폭 변조 방법을 이용하여 설계되었다. 첫 번째 단일 인덕터 이중 출력 DC-DC 컨버터를 통해서 $V_{LV,1}$, $V_{LV,3}$ 전압을 생성하고, 두 번째 단일 인덕터 이중 출력 DC-DC 컨버터를 통해서 $V_{LV,2}$, $V_{LV,4}$ 전압을 생성한다. $V_{LV,N}$ 전압들은 단일 인덕터 이중 출력 DC-DC 컨버터의 피드백 제어 루프를 사용하여 $REF_{LV,N}$ 에 따라서 제어된다. 인덕터 L 은 $4.7 \mu\text{H}$, 캐패시터 C_L 는 $10 \mu\text{F}$ 를 사용하였다. 서플라이 스위칭 회로의 제어 회로는 아날로그 디지털 변환기의 구조로 구성되어있고, 변조 신호의 envelope 신호(V_{env})와 $REF_{DSS,N}$ 신호들을 받아서 $M_{DSS,N}$ 스위치들을 제어하여 V_{DSS} 를 생성하고, 이를 전력증폭기에 공급한다.

설계된 변조기의 고효율을 위해서 제안된 변조기의 스위치 중 높은 전압을 출력하는 스위치는 PMOS를 사용하였고, 낮은 전압을 출력하는 스위치는 NMOS를 사용하였다. 이를 통해, 스위치들은 낮은 on 저항값을 가지며, 변조기의 손실을 줄였다. BB1과 BB2는 스위치들의 기판 바이어스 효과를 줄이기 위해 적절한 전압을 스위치의 바

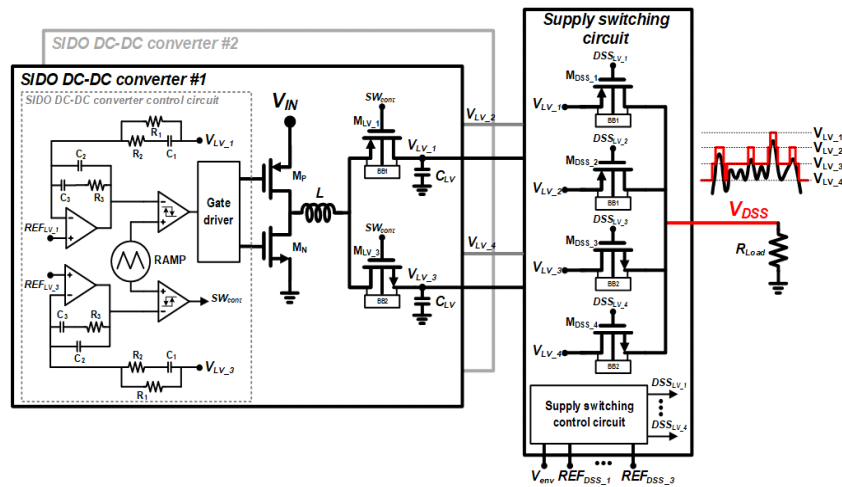


그림 3. 제안하는 DSS 변조기의 회로도
Fig. 3. Schematic diagram of the proposed DSS modulator.

디에 공급하는 회로이다. BB1은 PMOS 스위치의 양단 전압 중 높은 전압을 PMOS 스위치의 바디에 공급하고, BB2은 NMOS 스위치의 양단 전압 중 낮은 전압을 NMOS 스위치의 바디에 공급한다. 설계된 DSS 변조기의 스위치들 중 PMOS 스위치의 게이트 폭은 $20,000 \mu\text{m}$, 게이트 길이는 $0.3 \mu\text{m}$ 이고, NMOS 스위치의 게이트 폭은 $10,000 \mu\text{m}$, 게이트 길이는 $0.35 \mu\text{m}$ 이다.

그림 4는 채널 대역폭이 5 MHz인 16-QAM LTE 신호의 envelope를 사용한 DSS 변조기의 시뮬레이션된 전압 파형을 나타낸다. 이때 사용된 전압 V_{LV_N} 은 3.2 V, 2.4 V, 2 V, 1.7 V이다.

그림 5는 제안된 DSS 변조기와 연동하기 위한 1.75 GHz 대역에서 동작하는 CMOS 전력증폭기의 회로도를 보여준다^{[14],[15]}. 전력증폭기의 집적회로는 DSS 변조기의 집적회로와 같은 $0.18 \mu\text{m}$ CMOS 공정을 사용하여 제작되었다. 전력증폭기의 구조는 2단의 단일 종단 구조로 설계되었다. PCB를 이용하여 입력 및 출력 매칭 회로를 구

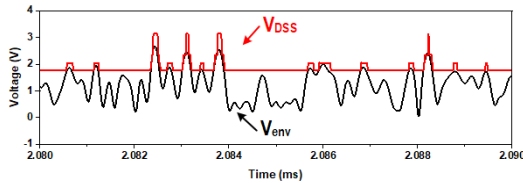


그림 4. 채널 대역폭이 5 MHz인 16-QAM LTE 신호의 envelope를 사용한 DSS 변조기의 시뮬레이션된 전압 파형

Fig. 4. Simulated voltage waveforms of the DSS modulator using the envelope of the 16-QAM LTE signal with the channel bandwidth of 5 MHz.

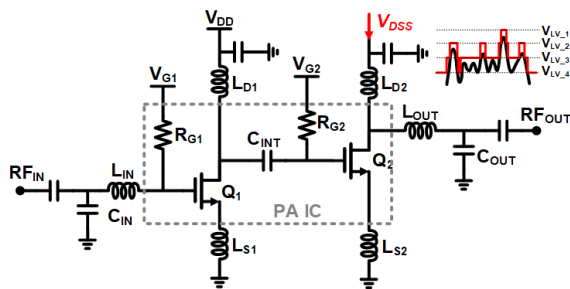
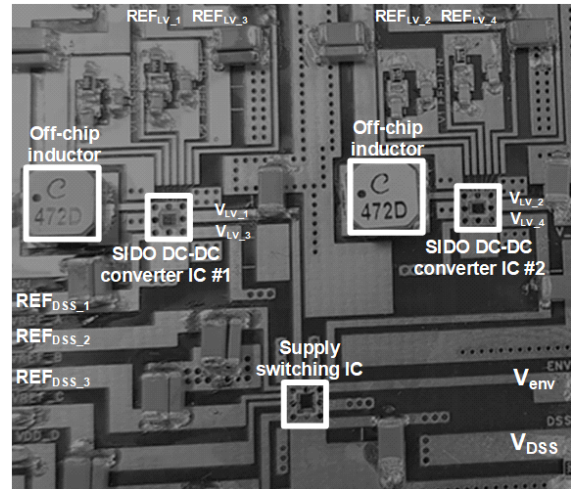


그림 5. CMOS 전력증폭기의 회로도
Fig. 5. Schematic of the CMOS PA.

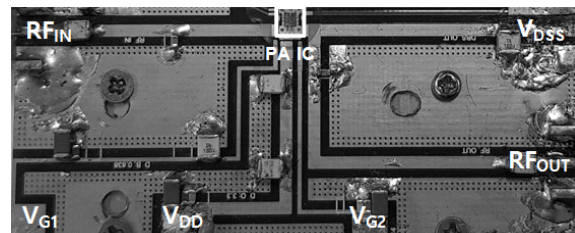
성하여 적용하였다. L_{s1} 과 L_{s2} 는 각 단의 소스의 와이어 분당에 의한 기생 인덕터이다. 제안하는 DSS 변조기의 출력을 두 번째 단의 드레인으로 공급한다. 낮은 평균 전력에서도 전력증폭기의 효율 개선 효과를 최대화하기 위해서 전력증폭기의 평균 출력 전력이 감소함에 따라 V_{LV_N} 을 적절히 감소시켰다.

III. 제작 및 측정 결과

그림 6은 구현된 회로의 사진이다. 그림 6(a)는 제안한 4-level DSS 변조기의 측정을 위한 평가 보드이고, 그림 6(b)는 DSS 변조기와 연동한 전력증폭기의 측정을 위한 평가 보드이다. 제안하는 4-level DSS 변조기에서 출력하



(a) 제안하는 4-level DSS 변조기의 평가 보드
(a) The evaluation board of the proposed 4-level DSS modulator



(b) 전력증폭기의 평가 보드
(b) The evaluation board of the PA

그림 6. 구현된 회로의 사진
Fig. 6. Photographs of the implemented circuits.

는 V_{DSS} 를 전력증폭기에 적용하여 전력증폭기의 효율을 개선하였다. 단일 인덕터 이중 출력 DC-DC 컨버터, 서플라이 스위칭 회로, 전력증폭기 집적회로는 매그나칩의 $0.18 \mu\text{m}$ CMOS 공정을 사용하여 제작되었다.

그림 7은 채널 대역폭이 5 MHz인 16-QAM LTE 신호의 envelope를 사용하여 제안하는 4-level DSS 변조기를 측정된 성능이다. 그림 7(a)는 DSS 변조기의 출력 전력에 따른 효율이다. 0.2 W 이상의 전력에서 약 80% 이상의 효율을 가지고, 0.5 W 전력에서 최대 86.7%의 효율을 가진다. 그림 7(b)는 출력 전압의 파형이다. Envelope 신호에 따라서 $V_{LV,N}$ 전압들이 스위칭 되었다.

그림 8은 중심 주파수가 1.75 GHz인 LTE 신호를 사용한 단독 전력증폭기와 비교하여 제안하는 4-level DSS 변조기를 사용한 전력증폭기의 측정된 성능을 보여준다. 그림 8(a)는 단일 전력증폭기와 제안하는 4-level DSS 전력

증폭기의 측정 이득과 PAE를 보여준다. DSS 전력증폭기는 22 dBm의 평균 출력 전력에서 -30 dBc의 인접 채널 누설 전력비가 측정되었고, 38.9%의 개선된 PAE를 가지며, 같은 조건에서 단일 전력증폭기는 31.8%의 PAE가 측정되었다. 그림 8(b)는 단일 전력증폭기와 DSS 전력증폭기의 측정된 인접 채널 누설 전력비 값을 나타낸다. 두 개의 단일 인덕터 이중 출력 DC-DC 컨버터의 출력 전압 $V_{LV,1}$, $V_{LV,2}$, $V_{LV,3}$, $V_{LV,4}$ 은 평균 출력 전력에 따라 최적화되어 인접 채널 누설 전력비 수준을 -30 dBc로 유지하였다. 제안하는 DSS 변조기를 사용하여 개선한 효율의 양이 그림 8(c)에 제시되어 있다. 평균 출력 전력 22 dBm에서 7.1%의 효율 개선을 얻었고, 18 dBm에서 8.7%의 최대의 효율 개선을 얻었다. 그림 8(d)는 평균 출력 전력에 따라 최적화된 전압을 보여준다. 평균 출력 전력이 낮아짐에 따라 전압을 감소시켜서 낮은 평균 출력에서도 효율을 더 개선하였다.

제안된 DSS 변조기 및 DSS 전력증폭기의 성능 요약과 이전에 보고된 변조기를 적용한 전력증폭기의 성능이 표 1에 제시되었다. DSS 기법을 사용한 이전에 보고된 회로 성능들과 비교하여 가장 높은 38.9%의 PAE 성능을 가진다. 또한, 제안한 DSS 변조기를 통하여 7.2 %의 PAE를 개선하였고, 이는 이전에 보고된 것들과 비교하여 가장 높은 효율 개선을 보인다.

IV. 결 론

본 논문에서는 두 개의 단일 인덕터 이중 출력 DC-DC 컨버터와 서플라이 스위칭 회로로 구성된 새로운 4-level DSS 변조기를 제안하여 CMOS 전력증폭기의 효율을 개선하였다. 두 개의 단일 인덕터 이중 출력 DC-DC 컨버터를 통하여 4개의 전압을 생성하였고, 이 생성된 전압들은 평균 출력 전력이 감소함에 따라 효율을 더 개선하기 위해 점진적으로 감소한다. 제안된 DSS 변조기의 두 개의 단일 인덕터 이중 출력 DC-DC 컨버터, 서플라이 스위칭 회로, 전력증폭기 IC는 모두 매그나칩의 $0.18 \mu\text{m}$ CMOS 공정을 사용하여 제작되었다. 제안하는 DSS 전력증폭기는 1.75 GHz의 중심 주파수에서 LTE 16-QAM 신호를 사용하여 측정되었다. 평균 출력 전력 22 dBm에서 -30.0

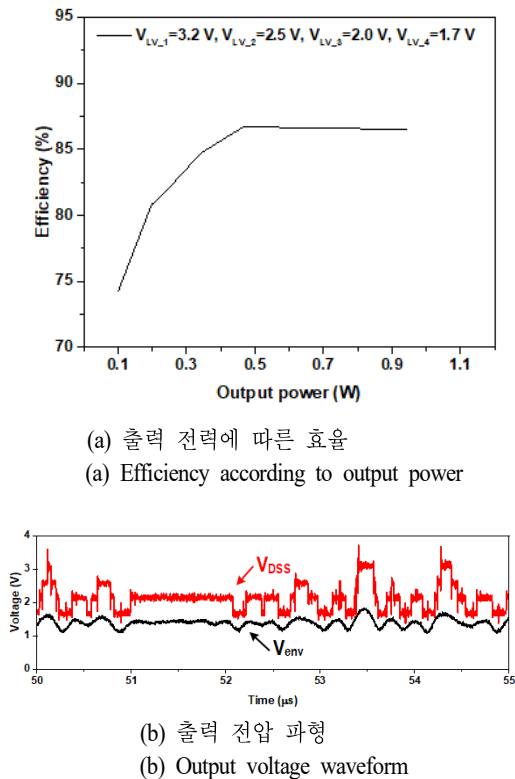
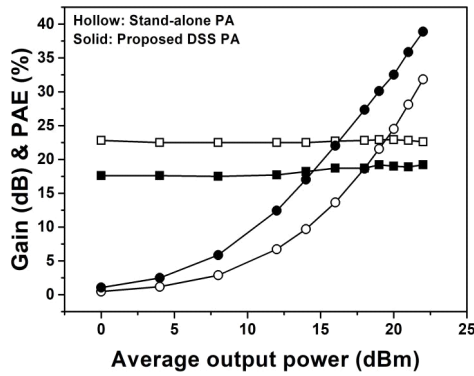
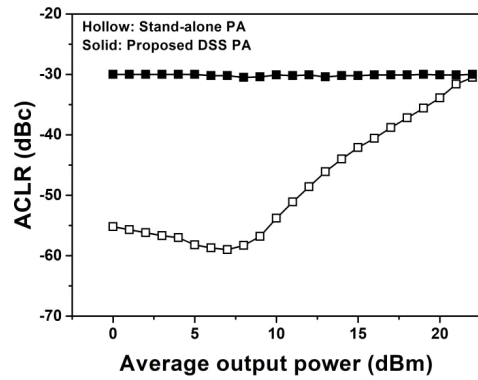


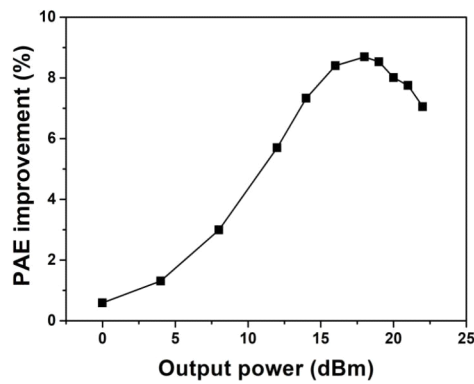
그림 7. 제안하는 4-level DSS 변조기의 측정 성능
Fig. 7. Measured performance of the proposed 4-level DSS modulator.



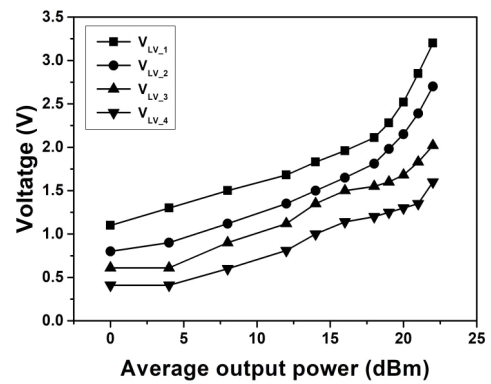
(a) 이득과 PAE
(a) Gain and PAE



(b) 인접 채널 누설 전력비
(b) Adjacent channel leakage ratio (ACLR)



(c) PAE 개선량
(c) PAE improvement



(d) 최적화된 출력 전압들
(d) Optimized output voltages

그림 8. 제안하는 4-level DSS 전력증폭기의 측정 성능

Fig. 8. Measured performance of the proposed 4-level DSS PA.

표 1. 이전에 보고된 서플라이 변조기와 연동된 전력증폭기의 성능 비교

Table 1. Performance comparison of the previously reported PAs with the supply modulator.

Ref.	Freq. (GHz)	Signal BW (MHz)	PAPR (dB)	Modulator efficiency (%)	PAE (%)	PAE improvement (%)	PAVG (dBm)	Technique	Process technology
[1]	0.78	5	7.5	73.0	45.0	6.6	24.0	Dual-switch (ET)	0.18 μ m CMOS
[14]	1.75	5	7.5	88.0	33.8	2.0	22.0	SIDO DC-DC converter (DSS)	0.18 μ m CMOS
[15]	1.75	5	7.2	-	35.8	3.4	22.0	Two SISO DC-DC converter (DSS)	0.18 μ m CMOS
This work	1.75	5	7.5	86.5	38.9	7.2	22.0	Two SISO DC-DC converter (DSS)	0.18 μ m CMOS

dBc의 인접 채널 누설 전력비를 가지며, 이때, 38.9%의 PAE 성능을 가진다. 제안된 DSS 전력증폭기의 최대 평균 전력에서의 PAE 개선은 단일 전력증폭기와 비교했을 때 7.2%이고, 최대의 효율 개선량은 평균 출력 전력 18 dBm에서 8.7%이다.

References

- [1] J. Ham, J. Bae, H. Kim, M. Seo, H. Lee, and K. C. Hwang, et al., "CMOS power amplifier integrated circuit with dual-mode supply modulator for mobile terminals," *Transactions on Circuits and Systems I: Regular Papers*, vol. 63, no. 1, pp. 157-167, Jan. 2016.
- [2] D. Kim, D. Kang, J. Kim, Y. Cho, and B. Kim, "Highly efficient dual-switch hybrid switching supply modulator for envelope tracking power amplifier," *IEEE Microwave and Wireless Components Letters*, vol. 22, no. 6, pp. 285-287, Jun. 2012.
- [3] B. Park, D. Kim, S. Kim, Y. Cho, J. Kim, and D. Kang, et al., "High-performance CMOS power amplifier with improved envelope tracking supply modulator," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 3, pp. 798-809, Mar. 2016.
- [4] H. He, Y. Kang, T. Ge, L. Guo, and J. S. Chang, "A 2.5-W 40-MHz-bandwidth hybrid supply modulator with 91% peak efficiency, 3-V output swing, and 4-mV output ripple at 3.6-V supply," *IEEE Transactions on Power Electronics*, vol. 34, no. 1, pp. 712-723, Jan. 2019.
- [5] L. Renaud, J. Baylon, S. Gopal, M. A. Hoque, and D. Heo, "Analysis of systematic losses in hybrid envelope tracking modulators," *Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 4, pp. 1319-1330, Apr. 2019.
- [6] S. Prakash, H. Martinez-García, M. H. Naderi, H. Lee, and J. Silva-Martinez, "An agile supply modulator with improved transient performance for power efficient linear amplifier employing envelope tracking techniques," *IEEE Transactions on Power Electronics*, vol. 35, no. 4, pp. 4178-4191, Apr. 2020.
- [7] S. Jin, K. Moon, B. Park, J. Kim, Y. Cho, and H. Jin, et al., "CMOS saturated power amplifier with dynamic auxiliary circuits for optimized envelope tracking," *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 12, pp. 3425-3435, Dec. 2014.
- [8] S. Sung, S. W. Hong, J. S. Bang, J. S. Paek, S. C. Lee, and T. B. H. Cho, et al., "Envelope modulator for 1.5-W 10-MHz LTE PA without AC coupling capacitor achieving 86.5% peak efficiency," *IEEE Transactions on Power Electronics*, vol. 31, no. 12, pp. 8282-8292, Dec. 2016.
- [9] J. Paek, D. Kim, Y. Choo, Y. Youn, J. Lee, and T. B. Cho, "Design of boosted supply modulator with reverse current protection for wide battery range in envelope tracking operation," *IEEE Transactions on Microwave Theory and Techniques*, vol. 67, no. 1, pp. 183-194, Jan. 2019.
- [10] P. Mahmoudidaryan, D. Mandal, B. Bakaloglu, and S. Kiaei, "Wideband hybrid envelope tracking modulator with hysteretic-controlled three-level switching converter and slew-rate enhanced linear amplifier," *IEEE Journal of Solid-State Circuits*, vol. 54, no. 12, pp. 3336-3347, Dec. 2019.
- [11] H. He, T. Ge, Y. Kang, L. Guo, and J. S. Chang, "A 40 MHz bandwidth, 91% peak efficiency, 2.5 W output power supply modulator with dual-mode sigma-delta control and adaptive biasing amplifier for multistandard communications," *IEEE Transactions on Power Electronics*, vol. 35, no. 9, pp. 9430-9442, Sep. 2020.
- [12] X. Liu, H. Zhang, P. K. T. Mok, and H. C. Luong, "A multi-loop-controlled AC-coupling supply modulator with a mode-switching CMOS PA in an EER system with envelope shaping," *IEEE Journal of Solid-State Circuits*, vol. 54, no. 6, pp. 1553-1563, Jun. 2019.
- [13] H. Kim, J. Bae, J. Ham, J. Gu, M. Seo, and K. C. Hwang, et al., "Efficiency enhanced CMOS digitally controlled dynamic bias switching power amplifier for

LTE," *Microwave and Optical Technology Letters*, vol. 57, no. 10, pp. 2315-2321, Oct. 2015.

- [14] S. Oh, J. Bae, H. Oh, W. Lim, and Y. Yang, "DSS modulator using the SIDO dc-dc converter for the CMOS RF PA integrated circuit," *IET Microwaves, Antennas & Propagation*, vol. 13, no. 5, pp. 597-601, Apr. 2019.

- [15] J. Bae, H. Kim, J. Ham, W. Lim, S. Cho, and Y. Yang,

"CMOS dynamic supply switching power amplifier for LTE applications," in *2019 Asia-Pacific Microwave Conference(APMC)*, Nanjing, Dec. 2015, pp. 1-3.

- [16] J. Van, S. Jung, H. Park, M. Kim, H. Cho, and J. Jeong, et al., "Efficiency enhancement for power amplifiers using dynamic bias switching technique," *Electronics Letters*, vol. 44, no. 5, pp. 356-357, Feb. 2008.

오 성 재 [성균관대학교/박사과정]

<https://orcid.org/0000-0002-3506-6320>



2015년 2월: 성균관대학교 전자전기공학과 (공학사)

2015년 3월~현재: 성균관대학교 전자전기 컴퓨터공학과 박사과정

[주 관심분야] RF/mm-wave Power Amplifier, Linearization and Efficiency Enhancement Techniques, Analog/Mixed-Signal IC

양 영 구 [성균관대학교/교수]

<https://orcid.org/0000-0003-3463-0687>



1997년 2월: 한양대학교 전자공학과 (공학사)

2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)

2002년 3월~2002년 7월: 포항공과대학교 전자전기공학과 박사후 연구원

2002년 8월~2005년 2월: Skyworks Solutions Inc., Senior Electronic Engineer

2005년 3월~현재: 성균관대학교 정보통신공학부 교수

[주 관심분야] 초고주파 회로 설계, 무선통신 송/수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구

오 한 식 [성균관대학교/박사과정]

<https://orcid.org/0000-0002-1815-6666>



2016년 2월: 성균관대학교 전자전기공학과 (공학사)

2016년 3월~현재: 성균관대학교 전자전기 컴퓨터공학과 박사과정

[주 관심분야] RF/mm-wave Power Amplifier, Linearization and Efficiency Enhancement Techniques, Analog/Mixed-Signal IC