

Ku-대역 위성이동통신을 위한 능동 위상배열안테나용 4-채널 GaAs MMIC 다기능 칩

4-Channel GaAs MMIC Multi-Function Chips for an Active Phased Array Antenna for Ku-Band Mobile SATCOM

정진철 · 임준한 · 장동필

Jin Cheol Jeong · Jun Han Lim · Dong Pil Jang

요약

본 논문에서는 Ku-대역 위성이동 통신을 위한 능동 위상 배열 안테나에 사용되는 수신 및 송신 MMIC 다기능 칩을 0.25 μm p-HEMT 상용 공정을 이용하여 개발하였다. 다기능 칩은 4:1 결합기를 포함한 4-채널 경로로 구성되며, 각 채널은 6-비트 디지털 위상 천이 기능, 5-비트 디지털 감쇠 기능, 신호 증폭 기능 등의 다양한 기능을 제공한다. 27 mm²(5.2 mm×5.2 mm) 칩 크기로 제작된 MMIC 다기능 칩은 7 mm×7 mm 크기의 상용 QFN 플라스틱 패키지에 조립 후 측정하였다. 측정결과, 수신 다기능 칩의 경우, 10.7~12.75 GHz에서 28 dB의 이득과 1.6 dB의 잡음지수 특성을 보였다. 그리고 위상 제어 시, 3°의 RMS 위상 오차와 감쇠 제어 시, 0.3 dB의 RMS 감쇠 오차를 보였다. 송신 다기능 칩의 경우, 1.27 W DC 소모 전력에 대해 13.75~14.5 GHz에서 15 dB의 이득과 16.4 dBm의 출력파워 특성을 보였다. 그리고 위상 제어 시, 2.5°의 RMS 위상 오차와 감쇠 제어 시, 0.2 dB의 RMS 감쇠 오차를 보였다.

Abstract

Receive and transmit MMIC multi-function chips for an active phased-array antenna for Ku-band mobile SATCOM have been designed and fabricated using a 0.25 μm GaAs p-HEMT commercial process. The multi-function chips consist of 4-channel paths, including a 4:1 combiner, and provide several functions: 6-bit phase shifting, 5-bit attenuation, and signal amplification. The fabricated multi-function chips with a size of 27 mm²(5.2 mm×5.2 mm) were assembled in a 7 mm×7 mm commercial QFN plastic package. The receiver chip exhibits a gain of 28 dB, a noise figure of 1.6 dB, 3° root mean square (RMS) phase error for phase control, and 0.3 dB RMS attenuation error for attenuator control over a frequency range of 10.7 GHz to 12.75 GHz. The transmitter chip provides a gain of 15 dB, a saturation power of 16.4 dBm, 2.5° RMS phase error for phase control, and 0.2 dB RMS attenuation error for attenuator control over the frequency range of 13.75 GHz to 14.5 GHz with a DC low power consumption of 1.27 W.

Key words: Multi-Function Chip, Corechip, 4-Channel, GaAs MMIC, Ku-Band, Mobile SATCOM

I. 서론

최근 미 연방통신위원회(FCC)는 수천 개의 저 궤도 군집위성을 이용한 SpaceX의 위성이동통신 서비스 계획을

「본 연구는 정보통신·방송 연구개발 사업의 일환으로 수행하였음(위성통신 지상단말용 반도체 집적회로 부품 및 능동위상배열 안테나 국산화).」
한국전자통신연구원(Electronics and Telecommunication Research Institute(ETRI))

· Manuscript received 2020 August 25, 2020 ; September 20, 2020 ; Accepted October 28, 2020. (ID No. 20200825-073)

· Corresponding Author: Jin-Cheol Jeong (e-mail: jchung@etri.re.kr)

승인하였다^[1]. 이러한 서비스를 위해서는 저가의 고성능 추적 안테나가 필요하며, 능동위상배열 안테나가 그 대안으로 떠오르고 있다. 능동위상배열 안테나의 핵심칩인 다기능 칩(Multi-Function Chip: MFC)은 위상천이, 감쇠, 증폭 등의 여러 RF 기능을 수행한다. 위성단말의 중요한 경쟁력 중 하나인 안테나 시스템 가격에는 다기능 칩 가격이 많은 부분을 차지한다. 다기능 칩 관련 비용을 낮추기 위해서는 칩의 다 채널화를 통해 채널당 비용을 절감시키고, 저가의 패키지 적용을 통해 안테나 조립비용을 절감시켜야 한다. 패키지가 적용된 다채널 다기능 칩으로 최근 Anokiwave 사에서 위성통신용으로 CMOS 기반의 4채널 수신 칩^[2] 및 송신 칩^[3]을 출시하였다. CMOS 기반의 다기능 칩은 그 특성상 집적화가 용이하여 다채널 칩을 구현하기에 용이하지만, GaAs 기반의 칩에 비해 출력 파워와 DC 효율 등의 RF 특성이 상대적으로 떨어진다는 단점을 가진다. GaAs 기반의 다기능 칩은 RF 특성이 상대적으로 우수하여 OMMIC^[4], MACOM^[5]사 등에서 제품을 출시하였으나, 고집적화의 어려움으로 다채널 칩은 현재까지 발표되지 않았다.

본 논문에서는 Ku-대역 이동위성통신 단말의 위상배열안테나 용으로 사용될 수 있는 GaAs 기반의 다기능 칩을 4채널로 구현하였으며, 이를 저가의 상용 QFN 플라스틱 패키지에 적용하였다. 이 칩은 대만의 WIN-Semiconductors 사의 0.25 μm p-HEMT(PD25-00) 상용공정^[6]을 이용하여 설계하였다. 칩 내에 포함된 직병렬변환기(serial-to-parallel converter: SPC), 저잡음증폭기, 전력증폭기, 6-비트 위상천이기, 5-비트 감쇠기, 결합기 등의 설계에 대해 기술하고, 전체 다기능 칩에 대한 측정 결과를 제시하고자 한다.

II. MMIC 수신 및 송신 다기능 칩 설계

Ku-대역 위성단말용 다기능 칩에는 10.7~12.75 GHz 주파수 대역의 수신 다기능 칩과 13.75~14.5 GHz 대역의 송신 다기능 칩이 있다. 설계된 수신 칩과 송신 칩의 내부 구성도를 그림 1과 그림 2에서 각각 볼 수 있다.

수신 칩에는 4채널의 RF 경로가 있고, 이들 4개의 출력을 하나의 출력으로 결합시키는 4:1 결합기를 포함한

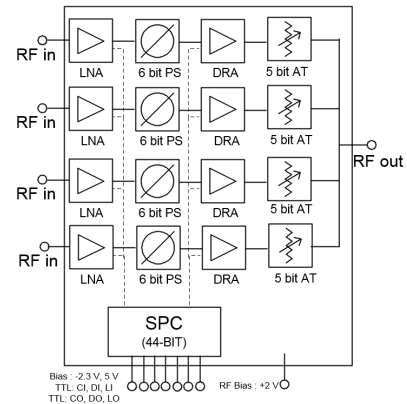


그림 1. MMIC 수신 다기능 칩의 내부 구성도
Fig. 1. Block diagram of the MMIC receive MFC.

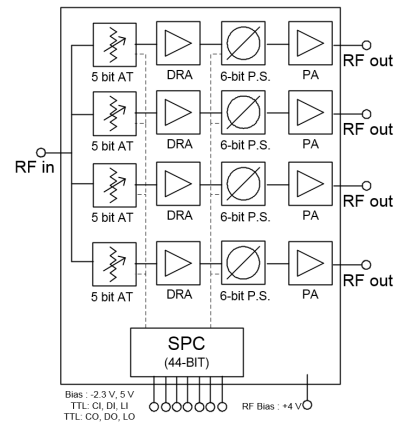


그림 2. MMIC 송신 다기능 칩의 내부 구성도
Fig. 2. Block diagram of the MMIC transmit MFC.

다. 각 채널에는 잡음지수 개선 및 신호 증폭을 위해 저잡음증폭기가 첫 단계에 배치되고, 위상제어용 6-비트 위상천이기와 이득 레벨 제어용 5-비트 감쇠기가 배치된다. 그리고 위상천이기와 감쇠기 사이에 신호증폭을 위한 증폭기가 배치된다. 디지털 직병렬 변환기(SPC)는 위상천이기와 감쇠기에 제어 신호를 공급하는 역할을 한다. -2.3 V의 바이어스로 구동되는 SPC는 TTL 제어신호인 클럭, 데이터, 로드 신호를 받아 위상천이기와 감쇠기를 제어하며, +5 V 바이어스로 위 세 신호의 TTL 출력을 생성한다. RF 바이어스는 +2 V 단일 전원이다. 본 설계에서는 신호의 이득과 잡음지수와 소모전력 등을 고려하여 +1.8 V로

바이어스를 결정하고 측정데이터를 정리하였다.

송신 칩은 수신 칩과 유사한 구조를 가지는데, 4-채널의 RF 경로와 4:1 분배기를 포함하며, 수신 칩과 같은 위상천이기와 감쇠기와 SPC가 포함된다. 송신 칩에는 수신 칩과는 달리 출력 파워 특성이 우수한 전력증폭기가 마지막 단계에 배치된다. RF 바이어스는 +4 V 단일 전원이자. 본 설계에서는 신호의 이득과 출력 파워와 소모전력 등을 고려하여 +3.5 V로 바이어스를 결정하였다.

QFN 패키지 적용을 위해 패키지 패드와 와이어 본딩 형상 등에 대한 EM 시뮬레이션을 반영하여 RF 입력과 출력을 설계하였다.

2.1 디지털 직렬변환기 설계

그림 3은 44-비트 SPC의 구성도를 보이고 있다. 직렬로 들어오는 44-비트 데이터 중, 4개의 채널에 각각 위치한 6-비트 위상천이기와 5-비트 감쇠기를 제어하는데 사용된다.

입력으로 들어오는 직렬 데이터(DI)는 클럭(CI) 신호에 의해 첫 번째 D-플립플롭(DFF)에서 인접한 다음 DFF로 이동하게 된다. CI 신호에 따라 하나씩 이동된 44개의 직렬 데이터가 모두 각 DFF에 배치되었을 때 로드(LI)에 의해 44개의 데이터는 위상천이기와 감쇠기를 제어하게 된다^[7]. TTL 형태의 클럭 출력(CO)과 데이터 출력(DO)과 로드 출력(LO) 등이 SPC 출력으로 나오게 된다. 이들이

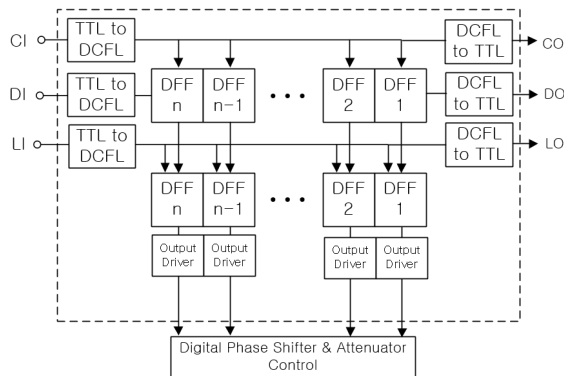


그림 3. 44-비트 직렬변환기의 구성도
Fig. 3. Block diagram of the 44-bit SPC.

인접한 다기능 칩의 입력으로 연결될 경우, 다수의 다기능 칩을 하나의 직렬 제어 신호로 제어하는 캐스케이드 제어(cascade control)가 가능하다. 바이어스는 SPC 구동용으로 -2.3 V가 필요하며, TTL 출력을 위해 +5 V가 사용된다.

2.2 증폭기 설계

수신 다기능 칩은 수신안테나의 G/T 특성 개선을 위해 우수한 잡음지수와 높은 이득 특성이 요구된다. 이를 위해 저잡음증폭기가 수신 다기능 칩의 첫 단계에 배치되었다. 그림 4는 저잡음증폭기의 회로도를 보이고 있다. 설계된 저잡음증폭기는 잡음특성이 우수한 E(enhanced)-모드 소자인 4f75 HEMT(4-finger이고 75 μm 단위 게이트 폭의 HEMT)를 이용한 3단 증폭구조이다. 첫 단의 입력정합은 직렬케환(serial feedback)을 이용한 잡음정합(noise matching)으로 설계하였다.

직렬케환은 소스 단자와 접지 사이에 인덕터를 추가하여 구현한다. 인덕터는 마이크로스트립 선로로 구현되는데 그 값을 조정하여 최적화된 증폭기의 안정도 특성과 잡음특성을 찾는다. 각 단간에 적용된 단간 정합(inter-stage matching)은 50 ohm 임피던스에 정합시키는 이득 정합(gain matching)이 아니라, 첫 단 HEMT의 출력 임피던스를 둘째 단 HEMT의 입력 임피던스에 직접 정합시키는 것이다. 최종 단 정합에 사용된 병렬케환(shunt feedback)은 드레인과 게이트 단자를 인덕터와 커패시터와 저항 등으로 연결한 것으로서, 그 값들을 조정하여 최적화된 반사손실과 이득평탄도 특성을 찾는다.

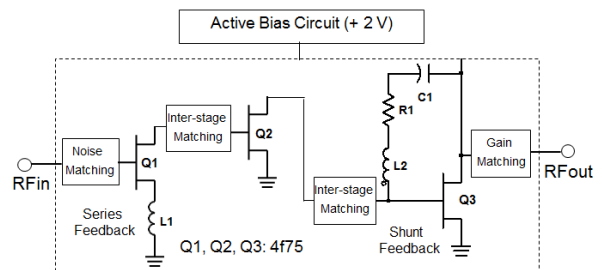


그림 4. 수신 다기능 칩용 저잡음증폭기의 회로도
Fig. 4. Circuit diagram of the LNA for the Rx MFC.

송신 다기능 칩은 송신안테나의 EIRP 특성 향상을 위해 높은 출력 파워 특성이 요구된다. 이를 위해 송신 다기능 칩의 출력단에 전력증폭기를 배치하였다. 그림 5는 전력증폭기의 회로도를 보이고 있다. 설계된 전력증폭기는 높은 출력파워를 위해 E-모드 4f150 HEMT를 출력단에 배치한 2단 증폭구조를 가진다. 출력 정합은 병렬폐환(shunt feedback)을 이용한 이득 정합으로 설계하였다.

다기능 칩에 포함된 증폭기들은 하나의 바이어스(single bias)로 구동되는데, 이는 E-모드 HEMT와 능동 바이어스 회로에 의해 구현되었다. 능동 바이어스 회로는 하나의 FET(Q2)와 두 개의 다이오드(D1, D2)와 두 개의 저항(R2, R3)로 구성되어 있으며, 회로도와 소자의 값들을 그림 6에 표시하였다. 이러한 능동 바이어스 회로는 단일 전원 공급의 장점 외에 증폭기가 온도 변화와 공정 오차에 덜 민감하게 하는 역할도 한다^[7].

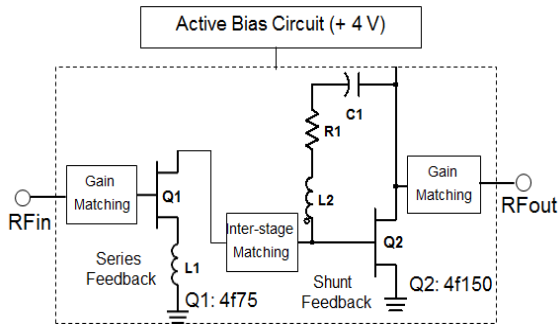


그림 5. 송신 다기능 칩용 전력증폭기의 회로도
Fig. 5. Circuit diagram of the PA for the Tx MFC.

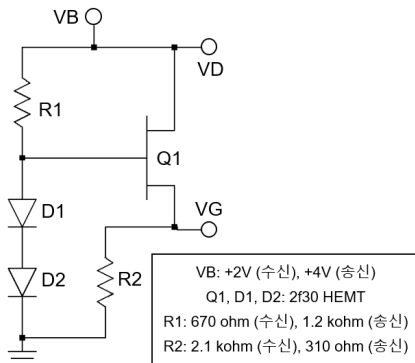
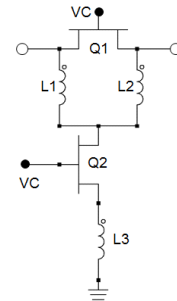


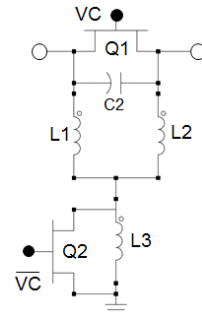
그림 6. 능동바이어스 회로도
Fig. 6. Circuit diagram of the active bias.

2-4 6-비트 위상천이기 설계

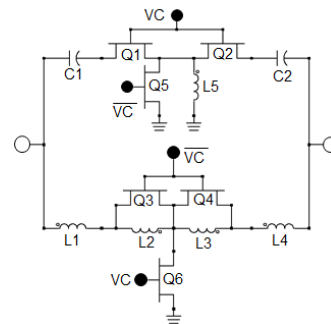
5.6°, 11.2°, 22.5°, 45°, 90°, 180° 등의 개별 위상천이기를 수동 스위치 FET 모델을 이용하여 설계하였다. 여섯 개의 위상천이기들은 그림 7의 세 가지의 기본 구조를 이



(a) 스위치 필터 구조(5.6°, 11.2°, 22.5°)
(a) Switched filter topology(5.6°, 11.2°, 22.5°)



(b) Bridged-T 구조(45°)
(b) Bridged-T topology(45°)



(c) High-pass/low-pass 구조(90°, 180°)
(c) High-pass/low-pass topology(90°, 180°)

그림 7. 6-비트 위상천이기 설계에 사용된 세 가지 형태의 위상천이기 구조

Fig. 7. Three types of phase shifter used at the design of the 6-bit phase shifter.

용하여 설계되었다^[8].

5.6°와 11.2°와 22.5° 위상천이기는 비교적 작은 위상천이 값을 만들어 주는 것으로서 스위치 필터 구조를 이용하였다. 이러한 구조는 작은 칩 면적과 작은 삽입 손실이 장점으로 알려져 있다(그림 7(a)).

45° 위상천이기는 FET의 오프 상태에서의 등가 커패시터와 인덕터 사이의 병렬공진을 이용하여 효과적으로 위상천이 값을 결정할 수 있는 Bridged-T 구조를 이용하였다(그림 7(b)).

90°와 180° 등 큰 값의 위상천이기는 High-Pass/Loss-Pass 구조(그림 7(c))를 이용하여 설계되었다. 두 개의 SPDT 스위치와 여파기 구조가 포함되어 있어서 칩 면적이 커진다는 점과 삽입 손실이 증가한다는 단점을 가지지만 주파수 변화에 대해 위상 오차가 줄어들어 주파수 특성이 우수하다는 장점을 가진다.

2-4 5-비트 감쇠기 설계

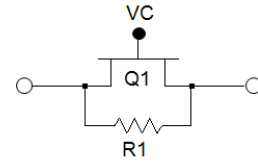
0.5 dB, 1 dB, 2 dB, 4 dB, 8 dB 등의 개별 감쇠기를 수동 스위치 FET 모델을 이용하여 설계하였다. 다섯 개의 감쇠기들은 그림 8의 두 가지 기본 구조를 이용하여 설계되었다^[7].

0.5 dB, 1 dB 등의 비교적 작은 감쇠 값을 가지는 감쇠기들은 하나의 FET와 저항만으로 구성된 스위치 구조를 이용하여 설계하였다(그림 8(a)).

2 dB, 4 dB, 8 dB 감쇠기는 스위치 구조에서 병렬로 저항과 FET를 연결한 구조인 스위치-T 구조를 이용하여 설계하였다(그림 8(b)). 스위치 구조와 스위치-T 감쇠기는 작은 수의 소자로 구성되어 있어 칩 면적이 작고, 삽입 손실이 작다는 장점을 가진다.

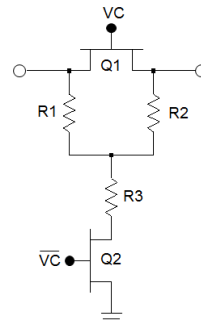
2-5 4:1 결합기 설계

4:1 결합기는 두 단의 2:1 윌킨슨 결합기를 연결하여 설계하였다. 그림 9는 4:1 결합기의 구성도와 2:1 결합기의 회로를 보이고 있다. 2:1 결합기는 차지하는 칩 면적을 줄이기 위해 lumped 소자를 이용하여 설계하였다. 결합기는 삽입손실과 반사손실이 주파수 대역 내에서 최소화



(a) 스위치 구조(0.5, 1 dB)

(a) Switch topology(0.5, 1 dB)



(b) 스위치-T 구조(2, 4, 8 dB)

(b) Switched-T topology(2, 4, 8 dB)

그림 8. 5-비트 감쇠기 설계에 사용된 두 가지 형태의 감쇠기 구조

Fig. 8. Two types of attenuator used at the design of the 5-bit attenuator.

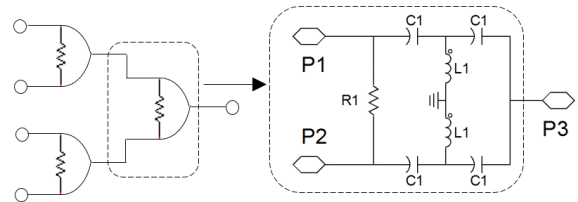


그림 9. 2:1 Lumped 윌킨슨 결합기의 회로도

Fig. 9. Circuit diagram of the lumped Wilkinson combiner.

되도록 설계하였다.

III. MMIC 다기능 칩 제작 및 시험

설계된 MMIC 수신 다기능 칩과 송신 다기능 칩은 WIN 사의 상용공정인 0.25 μm GaAs p-HEMT 공정을 이용하여 5.2×5.2 mm² 크기로 제작되었다. 그림 10과 그림 11은 제작된 수신 칩과 송신 칩이 48핀의 7×7 mm² QFN 플라스틱 패키지에 조립된 현미경 사진이다.

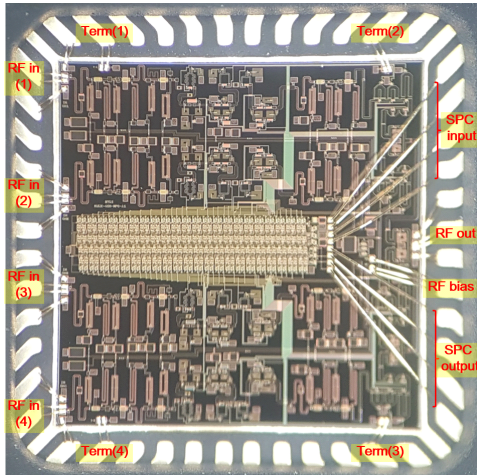


그림 10. $5.2 \times 5.2 \text{ mm}^2$ 크기로 제작된 KURX4CH 칩이 $7 \times 7 \text{ mm}^2$ QFN 플라스틱 패키지에 조립된 사진
Fig. 10. Photograph of the fabricated MMIC KURX4CH with a size of $5.2 \times 5.2 \text{ mm}^2$ assembled in a $7 \times 7 \text{ mm}^2$ QFN plastic package.

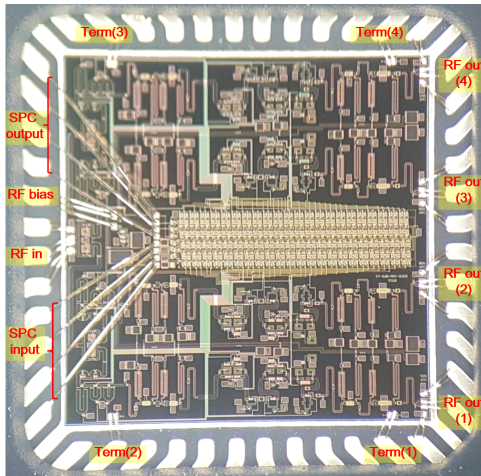


그림 11. $5.2 \times 5.2 \text{ mm}^2$ 크기로 제작된 KUTX4CH 칩이 $7 \times 7 \text{ mm}^2$ QFN 플라스틱 패키지에 조립된 사진
Fig. 11. Photograph of the fabricated MMIC KUTX4CH with a size of $5.2 \times 5.2 \text{ mm}^2$ assembled in a $7 \times 7 \text{ mm}^2$ QFN plastic package.

4채널 RF 입력/출력인 RF in(1)~RF in(4)와 RF out(1)~RF out(4)는 수신 칩의 경우, 좌측에 송신 칩의 경우, 우측에 배치하였다. 4채널이 하나로 결합된 RF 출/입력은 그 반대편에 배치되었다. SPC용 바이어스와 제어용 입출

력은 RF 출/입력과 같은 편에 배치하였다. 좌/우측의 한 쪽 방향으로만 패드들을 모두 배치하여서 수직 방향 전체를 접지면으로 활용할 수 있게 하였다. 이는 열이 빠지는 경로를 넓게 만들 수 있기 때문에 평판형 안테나의 방열 설계가 용이해질 수 있다. 수직 방향에 배치된 50 ohm 단락(Term(1)~Term(4))은 평판형 안테나가 선형편파로 설계될 경우, 사용되지 않는 편파 포트를 50 ohm 단락시키는데 활용될 수 있도록 하였다. 50 ohm 단락 회로는 가로/세로 20 um 크기의 50 ohm 저항과 백-비아(back-via)로 간단히 구현하였다. 증폭기용 바이어스는 능동바이어스 회로를 칩 내에 포함하고 있어서 단일 전원이 가능하며 측면에 배치된 하나의 패드(RF bias)로 바이어스가 공급된다. SPC 입력(SPC input)은 세 개의 TTL 입력(데이터, 클럭, 로드)과 -2.3 V 바이어스로 구성된다. SPC 출력(SPC output)은 세 개의 TTL 출력(데이터, 클럭, 로드)과 +5 V 바이어스로 구성된다. TTL 출력이 인접한 칩의 SPC 입력에 연결될 경우, 다수 개의 칩을 하나의 직렬 데이터로 제어 가능하였다.

그림 12는 수신 다기능 칩(KURX4CH)의 시험을 위해 제작된 시험지그 사진과 48핀의 QFN 플라스틱 패키지 사진이다. 송신 다기능 칩(KUTX4CH)을 위한 시험지그도 같은 형상을 가지며, 입력과 출력만 바뀐다. 시험지그의 RF 입출력은 앤드론치(end-lunch) 컨넥터를 사용하였고,

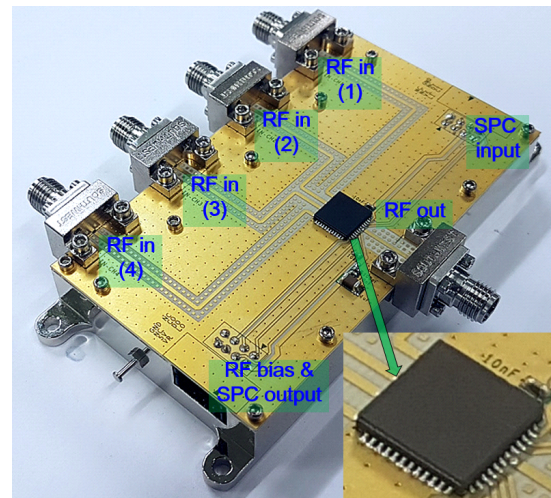


그림 12. KURX4CH 칩 시험을 위한 시험지그 사진
Fig. 12. Photograph of the test jig for the KURX4CH.

제어신호와 DC 바이어스 공급은 8핀 히로세(Hirose) 커넥터를 이용하였다. 증폭기용 바이어스 선로에는 100 pF, 10 nF, 1 uF 등의 커패시터를 사용하여 원치 않는 AC 신호를 바이패스시켰고, SPC용 바이어스 선로에는 10 nF 커패시터를 같은 목적으로 사용하였다. SPC용 바이어스는 -2.3 V가 인가되어 66 mA의 전류가 측정되었고, TTL 출력 용 +5 V 전압에서는 2 mA 이하의 전류가 측정되었다. RF 증폭기용 바이어스는 인가되는 전압에 따라 이득, 잡음지수, 출력 파워, 소모전류 특성이 달라진다. 수신 칩의 경우, 필요한 이득 레벨과 잡음지수 등을 고려하여 최적의 바이어스를 결정할 수 있다. 본 수신 칩의 최적 바이어스는 +1.8 V이며, 이때 전류는 330 mA로 측정되었다. 이때 수신 칩의 소모전력은 SPC 전력을 포함하여 0.74 W로 계산되었다. 송신 칩의 경우, 필요한 출력 파워와 이득 레벨 등을 고려하여 최적의 바이어스를 결정할 수 있다. 본 송신 칩의 최적 바이어스는 +3.5 V이며, 이때 전류는 322 mA로 측정되었다. 이때 송신 칩의 소모전력은 1.27 W로 계산되었다.

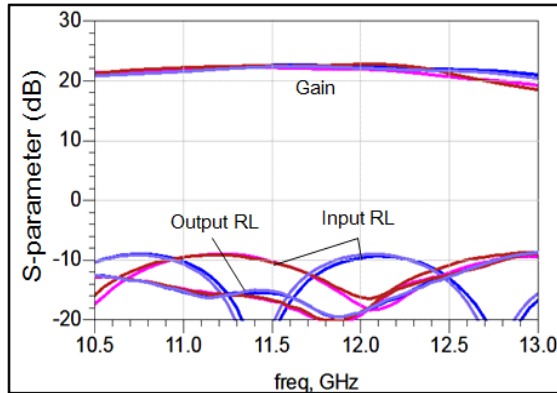
그림 13에서는 수신 다기능 칩인 KURX4CH의 RF 특성 측정결과를 보이고 있다. 그림 13(a)는 4-채널 각각에 대한 이득과 반사손실 측정결과들을 겹쳐서 도시한 것이다. 각 채널별 특성은 거의 유사하며, 이득은 22 dB, 반사손실은 -10 dB 이하로 나타났다. 칩 내에 4:1 결합기가 포함되어 있음을 감안하면 채널 이득은 28 dB로 볼 수 있다. 그림 13(b)는 잡음지수 특성이며, 위상천이기의 메인 비트(0, 5.6°, 11.2°, 22.5°, 45°, 90°, 180°) 제어에 대해 잡음지수를 측정하였다. 각 채널을 측정할 때 측정되지 않는 세 개의 RF 입력 포트는 광대역 50 ohm 단락 부품을 연결하였다. 측정결과는 7 dB 이상이지만 실제 각 채널별 잡음지수는 측정값에 6 dB를 뺀 값으로 알려져 있다⁹⁾. 잡음지수는 출력 신호대 잡음비(S_o/N_o)를 입력 신호대 잡음비(S_i/N_i)를 나눈 값이다. 이 중, 출력 잡음인 N_o 는 입력 포트에 연결된 50 ohm 단락 부품에 의해 발생한 열잡음이 증폭기에 의해 증폭되어 출력 포트에 나타난 값과 채널 경로에 의해 부가된 잡음이 출력에 나타난 값의 합이므로 단일 경로에 비해 6 dB가 높은 출력 잡음이 나타나는 것으로 볼 수 있다. 따라서 측정된 잡음지수에 6 dB를 뺀 결과가 한 채널의 잡음지수이다.

그림 13(c)~13(f)는 위상제어 및 감쇠 제어에 대한 RF 특성 측정결과들이며, RF 바이어스가 +2 V인 상태에서 측정하였다. 그림 13(c)는 6-비트 64 상태의 위상제어 특성이다. 대역 내에서 매우 평탄한 특성을 보인다. 그림 13(d)는 64 상태의 위상제어에 대한 이득 레벨들을 보이고 있다. +1.8 V로 측정된 그림 13(a)보다 2 dB 정도 높은 레벨의 이득 특성을 보인다. 64 상태의 위상제어에 대해 12.75 GHz에서 가장 큰 레벨 변화를 보이며, 그 값은 2 dB 정도이다. 그림 13(e)는 5-비트 32 상태의 감쇠 제어에 대한 이득 레벨 특성이다. 각 상태에서의 평탄도가 유사한 특성을 보이며, 각 상태의 간격이 비교적 균일하다. 그림 13(f)는 32 상태의 감쇠 제어에 대한 위상변화를 보이고 있다. 10.7 GHz에서 가장 큰 위상변화가 있으며, 그 값은 최대 $\pm 10^\circ$ 정도이다. 이 특성은 차기 칩 설계에서 개선되어야 할 특성이다. 5개의 개별 감쇠기 설계에서 측정결과를 바탕으로 감쇠경로 길이를 보정하면 개선될 수 있을 것으로 보인다.

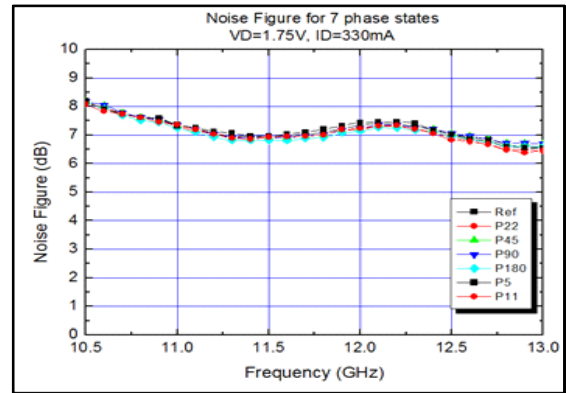
그림 14에서는 송신 다기능 칩인 KUTX4CH의 RF 특성 측정결과를 보이고 있다. 그림 14(a)는 4-채널 각각에 대한 이득과 반사손실 측정결과들이다. 각 채널별 특성은 거의 유사하며, 이득은 9 dB, 반사손실은 -7 dB 이하로 나타났다. 칩 내에 4:1 결합기가 포함되어 있음을 감안하면 채널 이득은 15 dB로 볼 수 있다. 그림 14(b)는 14 GHz에서 측정된 출력 파워 특성이며, P_{1dB} 는 15 dBm이고, 최대출력 파워(P_{sat})는 16.4 dBm이다.

그림 14(c)~14(f)는 위상제어와 감쇠 제어에 대한 RF 특성 측정결과들이며, RF 바이어스가 +4 V로 설정한 상태에서 측정하였다. 그림 14(c)는 6-비트 64 상태의 위상제어 특성이다. 대역 내에서 매우 평탄한 특성을 보인다.

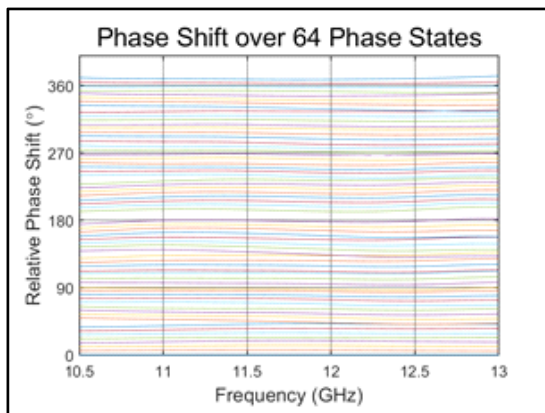
그림 14(d)는 64 상태의 위상제어 시 측정된 이득 레벨들이다. +3.5 V로 측정된 그림 14(a)보다 1 dB 정도 높은 레벨의 이득 특성을 볼 수 있다. 64 상태의 위상제어에 대해 전 대역에서 2 dB 정도의 이득 레벨 변화를 볼 수 있다. 그림 14(e)는 5-비트 32 상태의 감쇠 제어에 대한 이득 레벨 특성이다. 각 상태에 대해 주파수 특성은 유사하지만, 8 dB 감쇠기의 온/오프 상태에 따라 레벨 간격이 다른 상태에 비해 크게 생겼다. 다음 설계에서 0.5~4 dB 감쇠기의 감쇠 값 조정을 통해 개선시킬 예정이다. 그림 14(f)



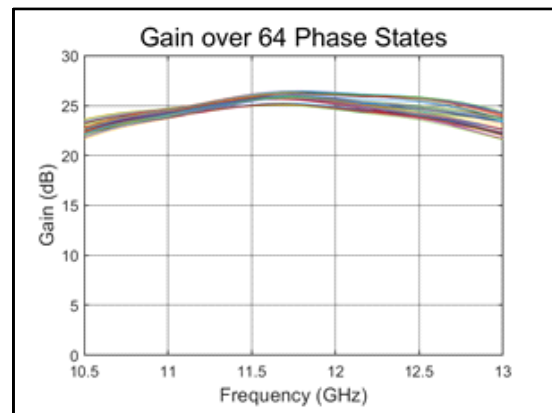
(a) 채널별 이득과 반사손실
(a) Gain and return loss of each channel



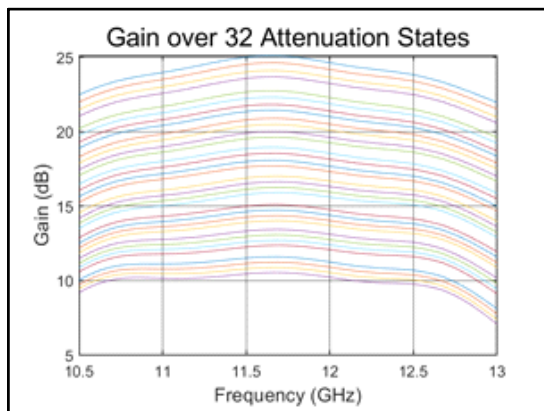
(b) 위상 제어에 대한 잡음지수
(b) Noise figure for phase control



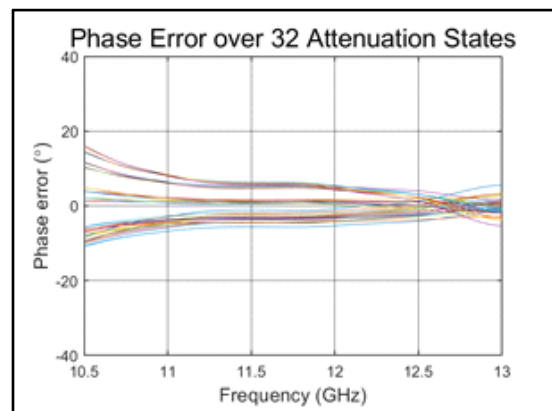
(c) 위상제어 특성
(c) Phase control



(d) 위상 제어에 대한 이득 레벨
(d) Gain level for phase control

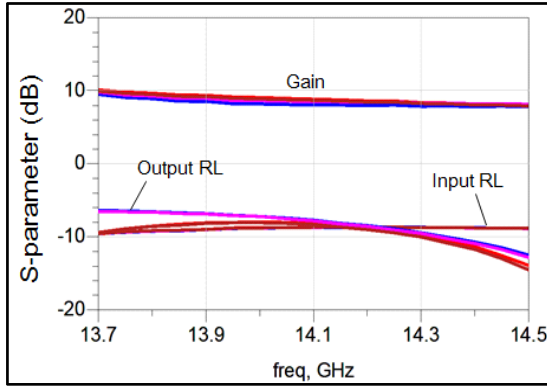


(e) 감쇠 제어에 대한 이득 레벨
(e) Gain level for attenuation control

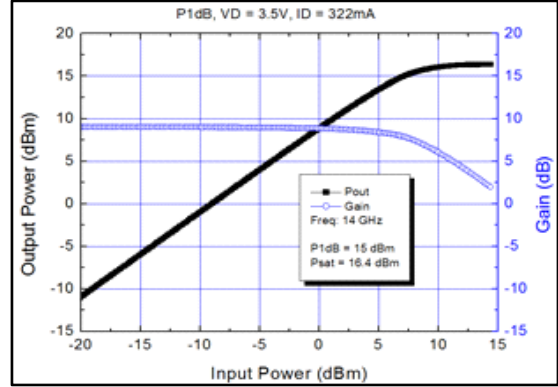


(f) 감쇠 제어에 대한 위상변화
(f) Phase variation for attenuation control

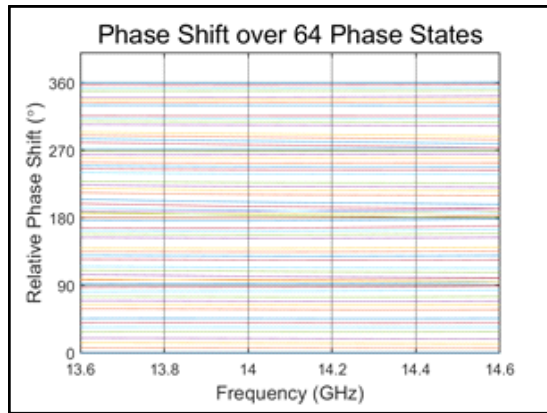
그림 13. 수신 다기능 칩(KURX4CH)의 측정결과
Fig. 13. Measured results of the RX MFC(KURX4CH).



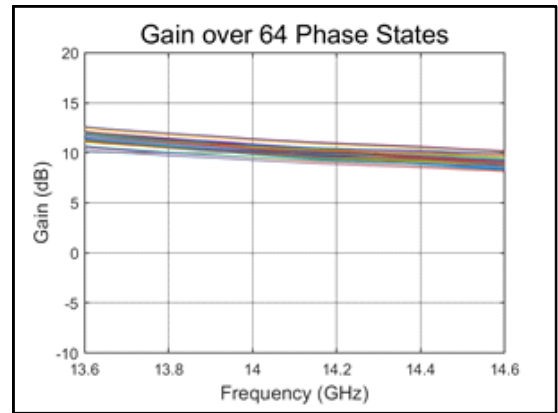
(a) 채널별 이득과 반사손실
(a) Gain and return loss of each channel



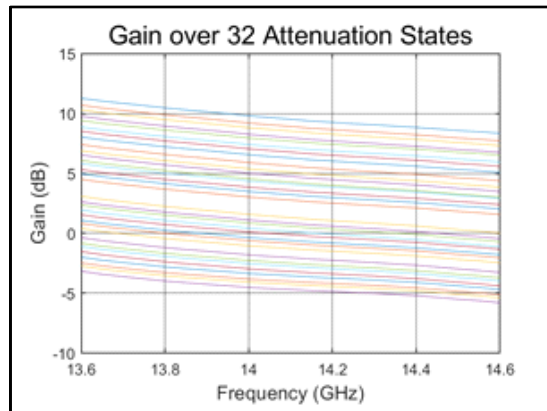
(b) P_{1dB} 와 P_{sat}
(b) P_{1dB} and P_{sat}



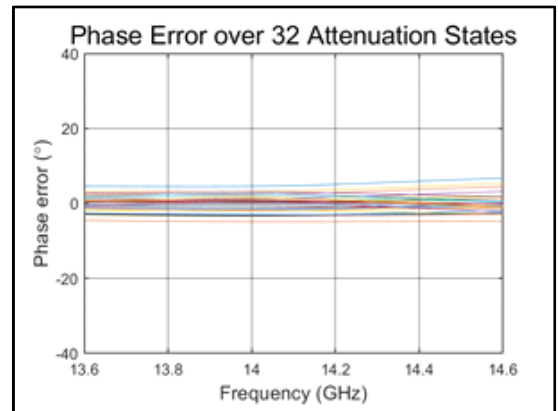
(c) 위상제어 특성
(c) Phase control



(d) 위상 제어에 대한 이득 레벨
(d) Gain level for phase control

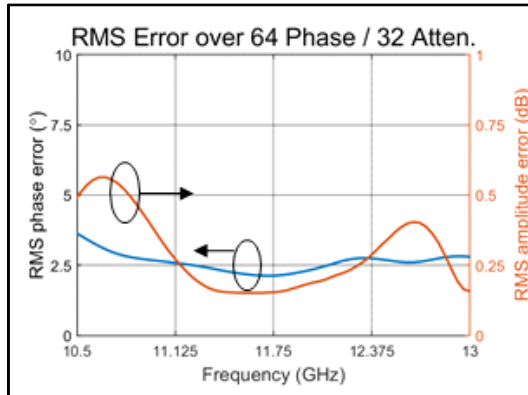


(e) 감쇠 제어에 대한 이득 레벨
(e) Gain level for attenuation control

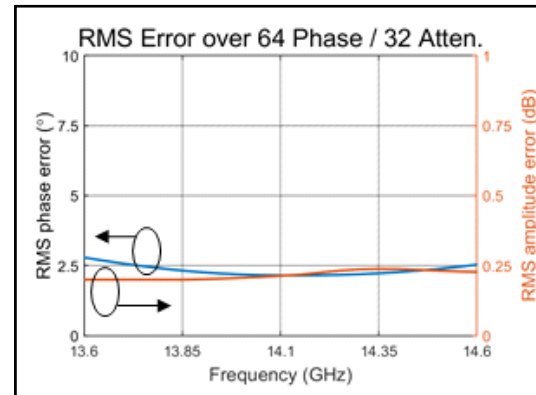


(f) 감쇠 제어에 대한 위상변화
(f) Phase variation for attenuation control

그림 14. 송신 다기능 칩(KUTX4CH)의 측정결과
Fig. 14. Measured results of the TX MFC(KUTX4CH).



(a) KURX4CH 칩의 위상 및 감쇠 RMS 오차
(a) Phase and attenuation RMS error of the KURX4CH



(b) KUTX4CH 칩의 위상 및 감쇠 RMS 오차
(b) Phase and attenuation RMS error of the KUTX4CH

그림 15. 위상 제어시 위상 RMS 오차와 감쇠 제어시 감쇠 RMS 오차 측정 결과

Fig. 15. Measured phase RMS error for phase control and attenuation RMS error for attenuation control.

는 32 상태의 감쇠 제어에 대한 위상변화 결과이며, 최대 $\pm 3^\circ$ 위상변화를 보여 비교적 우수한 특성으로 볼 수 있다.

그림 15는 측정값을 기반으로 계산된 RMS 오차로서 위상천이기 제어 시 위상 RMS 오차와 감쇠기 제어 시 감쇠 RMS 오차이다. RMS 오차의 수식은 기존에 발표된 논문에서 볼 수 있다^[7]. 그림 15(a)는 수신 다기능 칩의 RMS 오차로서 위상 제어시 3° , 감쇠 제어시 0.3 dB의 평균 RMS 오차를 보인다. 그림 15(b)는 송신 다기능 칩의 RMS 오차로서 위상 제어시 2.5° , 감쇠 제어시 0.2 dB의 평균 RMS 오차를 보인다. 그림 13(a)와 그림 14(a)를 제외한 모든 측정결과는 4개 채널 중 채널 1번에 대한 결과이며, 나머지 채널에 대한 결과도 유사한 특성을 가진다.

표 1에서는 수신 및 송신 다기능 칩의 측정결과를 정리한 표이며, 상용 칩과 그 특성들을 비교하였다. 다기능 칩으로 가장 많은 제품을 출시한 회사는 미국의 Anokiwave 사이며, CMOS 기반의 칩들을 출시하였다. Ku-대역 위성통신용으로 출시된 4-채널 다기능 칩 제품으로는 수신 칩인 AWMF-0146^[2] 칩과 송신 칩인 AWMF-0147^[3] 칩이 있다. 수신 칩의 잡음지수는 1.9 dB로 본 논문 수신 칩의 1.6 dB에 비해 근소하게 높지만, 안테나 배열 수 4개를 고려한 coherent 잡음지수 이므로 실제 채널 잡음지수는 좀 더 큰 차이를 보일 것으로 판단된다. 송신 칩의 출력 파워는 본 논문 송신 칩의 16.4 dBm에 비해 4.4 dB 낮아 큰 차이를

보인다. 패키지는 바닥이 접지 면으로 된 본 논문의 QFN 패키지가 접지 볼로 연결되는 WLCSP 패키지의 상용 칩에 비해 칩의 방열 특성이 우수할 것으로 보인다.

송신 칩의 출력 파워는 인가되는 증폭기의 바이어스에 의해 달라진다. 높은 바이어스 일수록 출력 파워와 이득이 커지지만 소모전력 또한 함께 커진다. 안테나 시스템에서 요구되는 출력 파워와 소모전력을 고려하여 적절한 바이어스를 찾아야 한다.

표 2는 본 논문 송신 칩의 바이어스에 따른 소모전력, 이득, P_{1dB} , P_{sat} 특성을 정리한 결과이다. 바이어스 전압을 +5 V로 인가할 경우, 최대 출력이 19 dBm까지 나올 수 있다. 다층 기판으로 구현되는 평판형 안테나에서는 방열구조 설계가 어렵기 때문에 칩의 소모전력이 가능한 최소가 되도록 바이어스가 결정되어야 한다.

IV. 결 론

본 논문에서는 Ku-대역 위성이동 통신을 위한 능동 위상 배열 안테나에 사용될 수 있는 수신 및 송신 MMIC 4-채널 다기능 칩을 GaAs 공정을 이용하여 개발하였다. 평판 안테나의 조립비용을 줄이기 위해 상용 QFN 패키지에 적용이 되도록 칩을 설계하였다. 각 채널에 6-비트 위상천이기와 5-비트 감쇠기를 포함한 4-채널 다기능 칩은 48핀

표 1. MMIC 다기능 칩의 특성 정리 및 상용제품과의 비교

Table 1. Performances summary and comparison with commercial products.

Parameter	Unit	KURX4CH (This work)	KUTX4CH (This work)	AWMF-0146 ^[2] (Anokiwave)	AWMF-0147 ^[3] (Anokiwave)
Frequency	GHz	10.7~12.75	13.75~14.5	10.7~12.75	13.75~14.6
Channel number		4	4	4	4
Channel gain (Measurement +6)	dB	28	15	23	20
Noise figure (Measurement -6) ^[9]	dB	1.6	-	1.9 (coherent NF)	-
P _{1dB}	dBm	-1.5	15	-	
P _{sat}	dBm	0.6	16.4		12
Phase control range/step(bit)	°	360/5.6 (6-bit)	360/5.6(6-bit)	360/5.6(6-bit)	360/5.6(6-bit)
Phase RMS error	°	3	2.5	-	-
Attenuation control range/step(bit)	dB	15.5/0.5 (5-bit)	15.5/0.5(5-bit)	15.5/0.5(5-bit)	15.5/0.5(5-bit)
Attenuation RMS error	dB	0.3	0.2	-	-
Power consumption	W	0.74	1.27		
Chip size	mm ²	5.2×5.2	5.2×5.2	-	-
Package	mm ²	48 pin 7×7 QFN	48 pin 7×7 QFN	WLCSP	WLCSP

표 2. KUTX4CH 칩의 바이어스 전압에 따른 특성

Table 2. Performances of the KUTX4CH for bias voltage.

VRF (V)	2.5	3	3.5	4	4.5	5
DC power (W)	0.65	0.93	1.27	1.8	2.5	3.3
Gain (dB)	12.8	14	15	15.6	16	16.2
P _{1dB} (dBm)	9.7	12.7	15	15.9	16.6	17.6
P _{sat} (dBm)	14	15.3	16.4	17	18	19

의 7×7 mm² QFN 플라스틱 패키지에 조립되었으며, 측정을 통해 1.6 dB 잡음지수의 수신 다기능 칩과 16.4 dBm 출력의 송신 다기능 칩을 검증하였다. 송신 칩의 최대 송신 출력은 바이어스 조정으로 최대 19 dBm까지 측정되었다. 개발된 MMIC 수신 및 송신 다기능 칩은 평판형 능동 위상 안테나로 구현되는 위성통신 단말에 적용이 가능할 것으로 본다.

References

[1] D. Coldewey, "FCC approves SpaceX plan for 4,425-satellite broadband network." 2018. Available: <https://arstechnica.com/information-technology/2018/03/spacex-gets-fcc-approval-to-build-worldwide-satellite-broadband-network/>

[2] Anokiwave, "AWMF-0146 Ku-band silicon SATCOM Rx Quad Core IC." Available: <https://www.anokiwave.com/products/awmf-0146/index.html>

[3] Anokiwave, "AWMF-0147 Ku-band silicon SATCOM Tx Quad Core IC." Available: <https://www.anokiwave.com/products/awmf-0147/index.html>

[4] OMMIC, "CGY2179HV/C1 datasheet," Available: https://www.ommic.com/datasheets/OMMIC_DATASHEET_CO RECHIP_CGY2179HV.pdf

[5] MACOM, "MAMF-000004-DIE000 datasheet," Available: <http://www.datasheetarchive.com/MAMF-000004-DIE-000-datasheet.html>

[6] WIN-Semiconductor, "PD25-00, 0.25 μ m InGaAs pHEMT enhancement/depletion-mode device(E/D-mode) device model handbook," Taoyuan City, Taiwan, Ver.1.4.11, Oct. 2018.

[7] J. C. Jeong, I. B. Yom, J. D. Kim, W. Y. Lee, and C.

H. Lee, "A 6~18-GHz GaAs multifunction chip with 8-bit true time delay and 7-bit amplitude control," *IEEE Transactions on Microwave Theory and Techniques*, vol. 66, no. 5, pp. 2220-2230, May 2018.

- [8] J. C. Jeong, D. H. Shin, I. K. Ju, and I. B. Yom, "A GaAs MMIC multi-function chip with a digital serial-to-parallel converter for an X-band active phased array radar system," *The Journal of Korean Institute of Electromagnetic*

Engineering and Science, vol. 22, no. 6, pp. 613-624, Jun. 2011.

- [9] H. Lai, J. Zhou, and B. Loi, "Noise figure measurement of multichannel phased array receiver module," in *2011 4th IEEE International Symposium on Microwave, Antenna, Propagation and EMC Technologies for Wireless Communications*, Beijing, Oct. 2011, pp. 232-235.

정 진 철 [한국전자통신연구원/책임연구원]

<https://orcid.org/0000-0002-7168-7140>



1995년 2월: 영남대학교 전자공학과 (공학사)

1997년 2월: 광주과학기술원 정보통신공학과 (공학석사)

2009년 8월: 충남대학교 전파공학과 (공학박사)

1999년 3월~현재: 한국전자통신연구원 책임

연구원

[주 관심분야] RF 능동회로, MMIC 설계

장 동 필 [한국전자통신연구원/책임연구원]

<https://orcid.org/0000-0003-4297-6178>



1992년 2월: 충남대학교 전자공학과 (공학사)

1994년 2월: 충남대학교 전자공학과 (공학석사)

2007년 8월: 충남대학교 전자공학과 (공학박사)

1994년 2월~현재: 한국전자통신연구원

책임연구원

[주 관심분야] RF 능동부품, MMIC 개발, 위성통신, 레이더

임 준 한 [한국전자통신연구원/연구원]

<https://orcid.org/0000-0002-2211-0919>



2015년 2월: 한국과학기술원 전기및전자공학부 (공학사)

2017년 8월: 한국과학기술원 전기및전자공학부 (공학석사)

2017년 9월~현재: 한국전자통신연구원 연구원

[주 관심분야] RF 능동회로, MMIC 설계