

MOS 커패시터 중화기법을 이용한 W-Band 고 이득 저잡음 증폭기 설계

W-Band High-Gain Low-Noise Amplifier Design Using MOS Capacitor Neutralization Technique

박하정 · 김준성 · 박재현 · 김병성

Ha-Jung Park · Jun-Seong Kim · Jae-Hyun Park · Byung-Sung Kim

요 약

본 논문에서는 65-nm CMOS 공정을 이용하여 4단의 차동 공통소스 구조로 80 GHz 대 고 이득 저잡음 증폭기를 설계하였다. 밀리미터파 대역에서 공통 소스 구조의 이득저하를 개선하기 위해 교차 결합된 MOS 커패시터를 사용하여 게이트와 드레인 간의 C_{gd} 을 중화시켰다. MOS 커패시터의 well 바이어스 구성에 따른 이득의 변화를 검토하고, 안정된 최대 이득을 얻을 수 있는 바이어스 조건을 도출하였다. 측정된 최대 이득은 83.2 GHz에서 28.43 dB이며, 시뮬레이션 결과 잡음지수는 6.89 dB이다. 제작한 저잡음 증폭기는 1.2 V 공급 전원에서 회로는 50 mW의 DC 전력을 소모한다.

Abstract

This study presents a four-stage common-source(CS) differential low-noise amplifiers at the 80 GHz band developed by using the 65-nm complementary metal - oxide - semiconductor(CMOS) process. To improve the gain of CS structures in the millimeter wave band, the C_{gd} capacitance between the gate and the drain is neutralized by using a cross-coupled MOS capacitor. By varying the Well bias configuration of MOS capacitor, the characteristics of the amplifier is observed, and the optimal bias condition is derived to achieve maximum gain and high stability. The implemented circuit showed a maximum gain of 28.43 dB at 83.2 GHz and a simulated noise figure of 6.89 dB. The low noise amplifier consumes 50 mW direct current(DC) power from a 1.2 V supply voltage.

Key words: Low Noise Amplifier, CMOS, W-Band

I. 서 론

저잡음 증폭기는 수신기 첫 단에 위치하는 능동 회로로서 수신기 전체의 잡음지수에 큰 영향을 미치기 때문에 높은 이득과 낮은 잡음지수를 가져야 한다. 낮은 주파

수 대역에서는 높은 안정도를 가지는 캐스코드 저잡음 증폭기를 주로 사용하지만, 이 구조는 기생성분이 크기 때문에 밀리미터파 대역에서는 가용 이득이 공통소스 구조보다 낮아지는 문제점이 있다^[1]. 반면에 공통 소스 구조는 밀러 효과로 인해 안정도가 낮기 때문에 밀리미터

「이 연구는 2019학년도 한국산업기술평가관리원의 산업기술혁신사업 지원을 받아 연구되었음(NO. 2002712).」

성균관대학교 정보통신대학(College of Information & Communication Engineering, Sungkyunkwan University)

· Manuscript received September 5, 2019 ; Revised September 20, 2019 ; Accepted September 23, 2019. (ID No. 20190905-081)

· Corresponding Author: Byung-Sung Kim (e-mail: bskimice@skku.edu)

파 대에서는 차동 구조에서 외부 커패시터를 교차 결합하여 C_{gd} 커패시터를 중화시키는 방법을 주로 사용한다^[2]. 본 논문에서는 W-band에서 동작하는 저잡음 증폭기를 설계하기 위해 증폭단의 FET와 같이 스케일링이 되는 MOS 커패시터를 교차 결합시켜 C_{gd} 커패시터를 중화시킨 차동 공통 소스 증폭기를 설계하였다. MOS 커패시터는 MIM/MOM과 같은 수동 커패시터와 달리 well 바이어스 구성에 따라 Q-factor가 변화한다. 따라서, 본 논문에서는 중화용 MOS 커패시터의 최적 바이어스 조건을 도출하고, 저잡음 증폭기를 설계, 제작하여 실험적으로 검증한 결과를 제시한다. 설계에 사용한 공정은 1 poly 9 metal로 이루어진 65nm 저전력 CMOS RF 공정이다.

II. 회로 설계

공통 소스 증폭기는 동일한 바이어스 전압 조건에서 MOSFET의 총 게이트 너비가 넓어지면, g_m 증가에 따른 이득은 증가하나, C_{gs} 가 커지고 입력의 Q-factor가 낮아져 임피던스 정합 이득이 저하된다. 반면에 총 게이트 너비를 과도하게 줄일 경우, 충분한 g_m 이득을 얻지 못하게 된다. 본 논문에서는 게이트 단위 너비 당 약 $150 \mu\text{A}/\mu\text{m}$ 의 전류밀도를 기준으로 하여 게이트 너비에 따른 FET의 이득을 비교한 후 단일 트랜지스터의 폭을 $24 \mu\text{m}$ 로 결정하였다^[3]. 동일한 폭에 대해서도 FET 단일 가지의 폭 및 개수에 따라 잡음지수가 달라지는데, 단일 폭을 줄여 가지 개수를 증가시키면 게이트 저항은 감소하지만 기생 커패시턴스가 증가하기 때문에 그림 1과 같이 시뮬레이션을 통하여 동일한 총 폭 대비 잡음지수가 가장 낮은 $1 \mu\text{m}$ 로 단일 폭을 설정하였다.

차동 증폭단에서는 C_{gd} 커패시터를 중화시키기 외부 커패시터가 필요한데, CMOS 공정에는 MOM 커패시터, MIM 커패시터 그리고 MOSFET의 소스와 드레인을 연결한 MOS 커패시터를 사용할 수가 있다. 이 중에서 MIM 커패시터는 제공되는 최소 커패시턴스가 C_{gd} 커패시턴스를 중화시키기에 크기 때문에 중화용으로는 사용이 불가능하다. MOM 커패시터는 제공되는 소자의 최소 커패시턴스가 충분히 작으나, 증폭단 FET의 C_{gd} 와 공정 변화에 따른 정합 특성을 확보하기 어려운 반면에 MOS 커패시터는

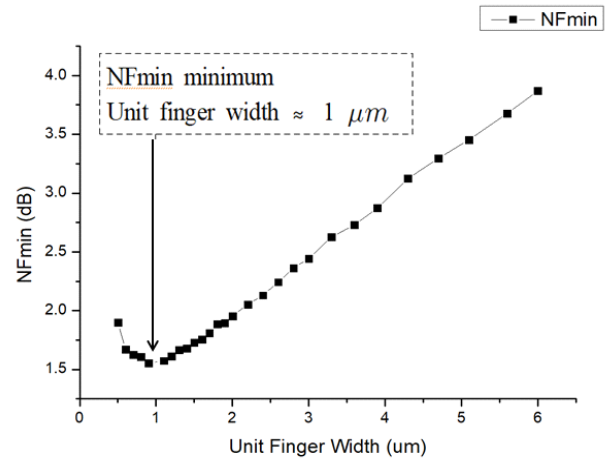


그림 1. 80 GHz에서 총 게이트 너비 $24 \mu\text{m}$ 인 FET의 게이트 단위 가지 너비에 따른 최소 잡음지수

Fig. 1. Minimum noise figure of single common source FET with $24 \mu\text{m}$ gate width along the unit gate finger width at 80 GHz.

능동 FET의 C_{gd} 의 공정 간 오차가 유사하기 때문에 공정에 따른 증폭기의 성능 변동에 덜 민감하게 동작한다.

MOSFET은 기본 CMOS 공정에서 triple-well 소자는 격리도가 높아 RF 대역에서 주로 사용하지만, 주파수가 높아질수록 well 간의 공핍 커패시턴스와 컨택 저항을 통해 누설 전류가 형성될 수 있어, 적절한 바이어스 방법을 통해 누설 경로를 차단할 필요성이 있다. 그림 2는 저항을 이용한 MOS 커패시터의 다양한 well 바이어스 방법을 제시한 것이다. 그림 2(a)는 P-well 바디를 저항으로 블로킹 후 0 V 전압을 인가하였으며, N-well 바디는 1.2 V에 직접 연결하였다. 그림 2(b)는 P-well 바디를 저항으로 블로킹 후 트랜지스터의 소스에 연결하였으며, 그림 2(c)는 P-well 바디를 직접 트랜지스터의 소스와 연결하였다. 그림 2(d)~그림 2(f)의 P-well 바디 바이어스 방법은 그림 2(a)~그림 2(c)와 동일하며, 각각의 N-well 바디를 저항으로 블로킹 후 1.2 V에 연결하였다. 사용된 저항의 크기는 $5.59 \text{ k}\Omega$ 이다. 그림 3은 바이어스 유형에 따라 MOS 커패시터의 Q-factor의 변화를 도시한 것으로, P-Well의 바디는 소스와 연결시키고, N-well의 바디는 Vdd를 직접 인가한 유형 (c)가 가장 낮은 Q-factor를 가지며, P-well과 N-well의 바디를 저항으로 블로킹하여 전압을 인가한 유형 (d)의 Q-

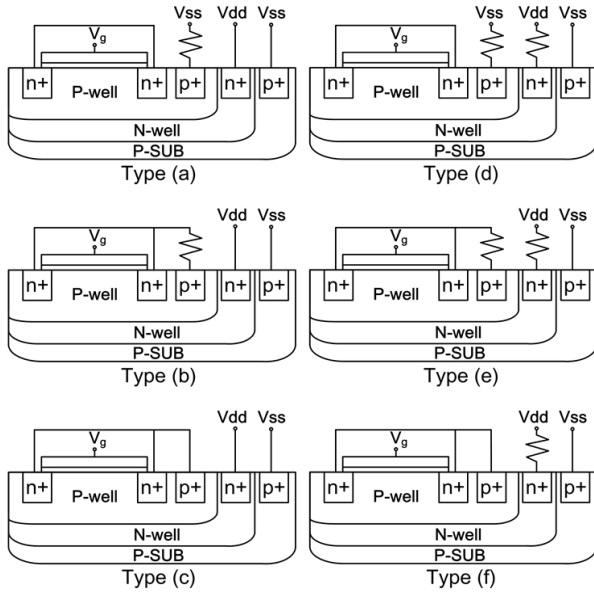


그림 2. Triple well MOSFET의 바이어스 구조
Fig. 2. Bias structure of triple well MOSFET.

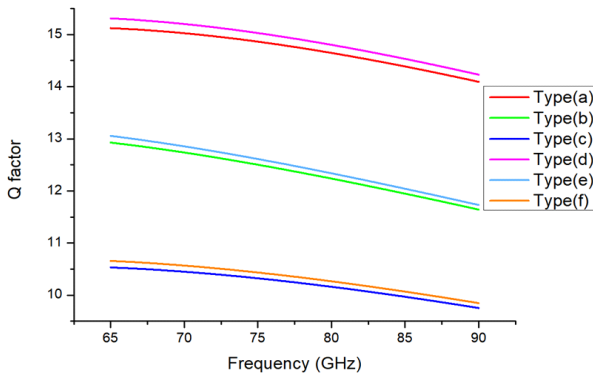


그림 3. MOS 커패시터의 well 바이어스에 따른 Q-factor
Fig. 3. Q-factor depending on the well bias structures of MOS capacitor.

factor가 가장 높은 것을 알 수 있었다. 따라서 유형 (d)가 이상적인 커패시터 동작 특성에 가까우며 누설전류가 적어 효과적으로 이득을 높일 수 있는 구조로 사용될 수 있다.

피드백을 상쇄시키기 위해 교차 결합해야 하는 커패시터의 용량 C_C 는 식 (1)과 같다^[4].

$$C_C = C_{gd} \left(1 + \frac{r_g}{R_s} \right) \quad (1)$$

위 식에서 R_s 는 전원의 직렬 저항, r_g 는 게이트 저항을 나타내며 $r_g \ll R_s$ 이므로 $C_C \approx C_{gd}$ 로 근사된다. 폭이 $24 \mu\text{m}$ 의 MOSFET C_{gd} 값은 5.63 fF 이며, 식 (1)에 의해 C_C 는 C_{gd} 보다 조금 더 클 것으로 예상된다.

그림 4와 그림 5는 차동 증폭기 한 단의 최대 가용 이

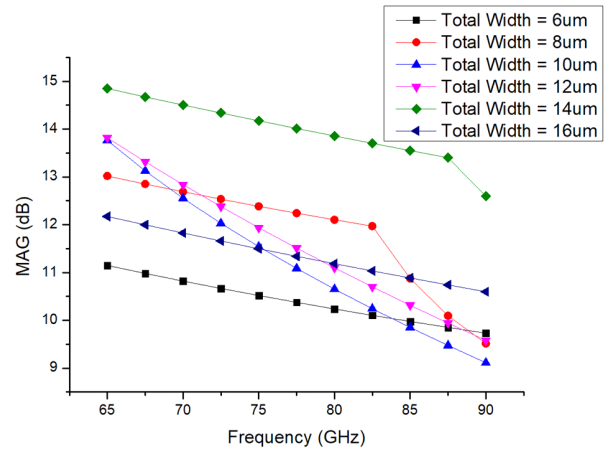


그림 4. MOS 커패시터 게이트 너비 변화에 따른 최대 가용 이득

Fig. 4. Maximum available gain due to the change of MOS capacitor gate width.

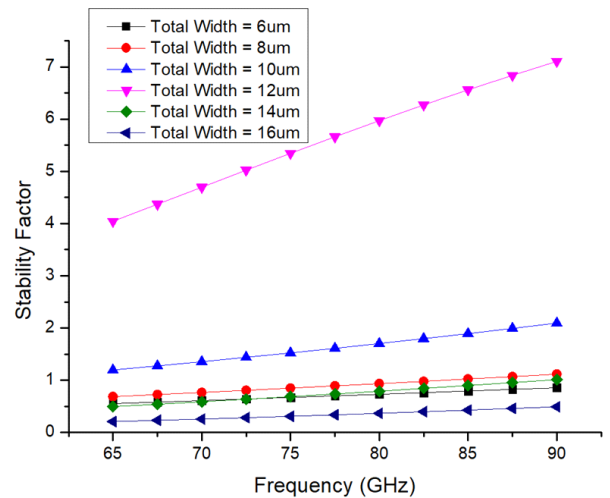


그림 5. MOS 커패시터 게이트 너비 변화에 따른 안정도 지수

Fig. 5. Stability factor along the change of MOS capacitor gate width.

득과 안정도 지수 변화를 확인한 결과이다. 단일 가지 너비 $1\ \mu\text{m}$ 인 MOS 커패시터의 총 폭을 $6\ \mu\text{m}$ 에서 $16\ \mu\text{m}$ 까지 짝수 단위로 증가시켜 시뮬레이션하였다. 80 GHz에서 가장 높은 최대 가용 이득을 가지는 증화용 MOS 커패시터의 게이트 너비는 $14\ \mu\text{m}$ 이지만 그림 5와 같이 안정도 지수는 낮다.

그림 5에 나타난 것과 같이 MOS 커패시터의 크기는 최대 안정도를 주는 $12\ \mu\text{m}$ 로 설정하였다. 이 때 MOS 커패시터의 용량은 $6.98\ \text{fF}$ 로 확인되었다. 저잡음 증폭기는 그림 6과 같이 4단의 공통 소스 증폭기로 구성하였으며, 각 단 사이의 임피던스 정합은 트랜스포머를 이용하여 실현하였다. 입력과 출력 사이의 트랜스포머는 $50\ \Omega$ 전원으로 임피던스를 변환하기 위해 1:2 권선비로 설계하였다. 증폭기 사이의 임피던스 정합은 평행 결합 구조의 트랜스포머를 이용하고, MOSFET의 공급 전압과 바이어스 전압은 트랜스포머의 센터 탭을 이용하여 공급하였다. 입, 출력은 트랜스포머 발룬을 이용하여 단동 대 차동으로 임피던스를 변환하였으며, 이 때 발생하는 비대칭성을 보상하기 위해 커패시턴스 C_1 과 C_2 를 추가하여 이득 손실을 최소화시켰다^[7].

III. 측정 및 시뮬레이션 결과

그림 7은 제안한 회로를 65-nm CMOS 공정을 이용하여 제작한 사진이다. S-파라미터는 110 GHz 까지 측정 가능한 Anritsu사의 MS4647A 벡터 네트워크 분석기를 이용하여 온-웨이퍼 프로빙 방식으로 측정하였다. 그림 8과 같이 Corner analysis를 이용하여 공정 변화에 의한 잡음지수를 시뮬레이션하여 확인하였으며, 그림 9는 설계한 4단

공통 소스 저잡음 증폭기의 시뮬레이션 값과 측정 결과를 비교한 결과이다. 최초 설계는 79 GHz를 중심으로 설계하였으나, 중심 주파수가 83.2 GHz에서 최대 이득 28.43 dB

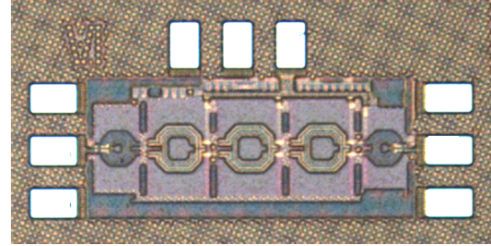


그림 7. 제작된 CMOS 저잡음 증폭기 칩 사진

Fig. 7. Die photo of the fabricated CMOS low noise amplifier.

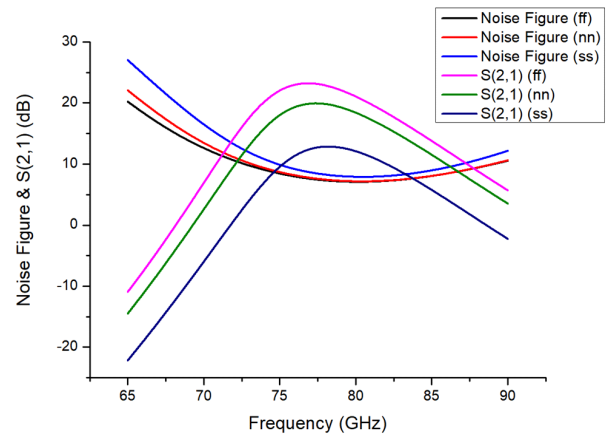


그림 8. 시뮬레이션을 이용한 공정 코너에 따른 잡음지수 변화

Fig. 8. Simulated noise figure depending on the process coner.

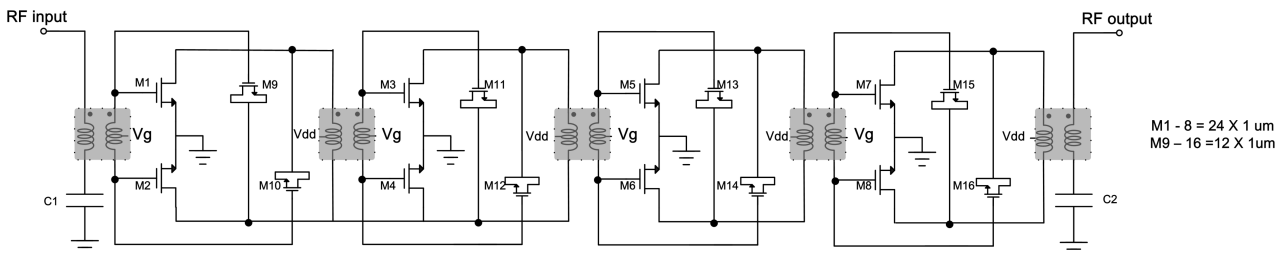


그림 6. 저잡음 증폭기 구성도

Fig. 6. Schematic of low noise amplifier.

표 1. 저잡음 증폭기 성능 비교

Table 1. Performance comparison with prior arts.

Ref.	Process	Type	Peak gain (dB)	Peak gain frequency (GHz)	3-dB BW (GHz)	Noise figure (dB)	P1dB (dBm)	PDC (mW)
[1]	65-nm CMOS	6-stage single-ended cascode	22	84	20	6.8~10.4	-	21
[2]	65-nm CMOS	3-stage differential CS	23	63	6	5.3*	-3*	32
This work	65-nm CMOS	4-stage differential CS	28.43	83.2	2.6	6.89~7.64*	-21*	50

* Simulated value.

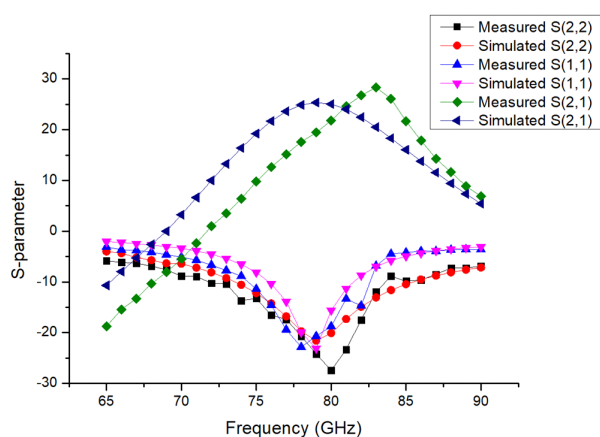


그림 9. S-파라미터 시뮬레이션과 측정 결과

Fig. 9. Measured and simulated S-parameter result.

을 얻었다. 입, 출력 정합 주파수보다 최대 이득 주파수가 높은 이유는 인터스테이지 정합에서 중심 주파수가 상승하여 발생한 것으로 판단된다. 3 dB 대역폭은 81.5 GHz에서 84.1 GHz까지이다. 표 1에 기존의 저잡음 증폭기의 성능과 본 논문의 저잡음 증폭기의 성능을 비교하였다.

IV. 결 론

본 논문에서는 65-nm CMOS 공정을 이용하여 MOS 커패시터의 바이어스 구성에 따른 특성 변화를 검토하고, 교차결합시킨 MOS 커패시터를 이용해 안정된 최대 이득을 얻을 수 있는 조건을 도출하여 고이득 저잡음 증폭기를 설계하였다. 제안한 저잡음 증폭기는 83.2 GHz에서 Peak gain 28.43 dB를 얻었으며, 3 dB 대역폭은 2.6 GHz이다.

회로는 1.2 V 공급 전원에서 50 mW DC 전력을 소모한다.

References

- [1] C. J. Lee, H. J. Lee, J. G. Lee, T. H. Jang, and C. S. Park, "A W-band CMOS low power wideband low noise amplifier with 22 dB gain and 3 dB bandwidth of 20 GHz," in *2015 Asia-Pacific Microwave Conference (APMC)*, Nanjing, 2015, pp. 1-3.
- [2] D. W. Kim, H. W. Seo, J. S. Kim, and B. S. Kim, "Design of V-band differential low noise amplifier using 65-nm CMOS," *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 28, no. 10, 832-835, Oct. 2017.
- [3] T. Yao, M. Gordon, K. Yau, M. T. Yang, and S. P. Voinigescu, "60-GHz PA and LNA in 90-nm RF-CMOS," in *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, San Francisco, CA, Jun. 2006, p. 4.
- [4] W. L. Chan, J. R. Long, "58~65 GHz neutralized CMOS power amplifier with PAE above 10% at I~V supply," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 3, pp. 554-564, Mar. 2010.
- [5] S. Aloui, E. Kerherve, R. Plana, and D. Belot, "RF-pad, transmission lines and balun optimization for 60 GHz CMOS power amplifier," in *2010 IEEE Radio Frequency Integrated Circuits Symposium*, Anaheim, CA, May 2010, pp. 211-214.

박 하 정 [성균관대학교/석사과정]

<https://orcid.org/0000-0001-7375-766X>



2017년 2월: 부산대학교 전기공학과 (공학사)
2018년 3월~현재: 성균관대학교 전자전기
컴퓨터공학과 석사과정
[주 관심분야] 밀리미터파 집적회로 설계

박 재 현 [성균관대학교/석박사 통합과정]

<https://orcid.org/0000-0002-8303-6273>



2016년 2월: 성균관대학교 반도체시스템
공학과 (공학사)
20116 3월~현재: 성균관대학교 전자전기
컴퓨터공학과 석박사 통합과정
[주 관심분야] 밀리미터파 집적회로 설계

김 준 성 [성균관대학교/석박사 통합과정]

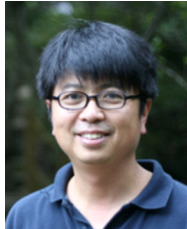
<https://orcid.org/0000-0003-0036-4034>



2014년 2월: 광운대학교 전자재료공학과
(공학사)
2014년 3월~현재: 성균관대학교 전자전기
컴퓨터공학과 석박사 통합과정
[주 관심분야] 밀리미터파 집적회로 설계

김 병 성 [성균관대학교/교수]

<https://orcid.org/0000-0003-3084-6499>



1989년 2월: 서울대학교 전자공학과 (공학
사)
1991년 2월: 서울대학교 전자공학과(공학
석사)
1997년 2월: 서울대학교 전자공학과(공학
박사)
1997년 3월~현재: 성균관대학교 정보통신

대학 교수

[주 관심분야] RFIC 설계, RF 소자 모델링