

## 2차 고조파 정합 네트워크를 포함하는 저손실 PCB 발룬을 이용한 고효율 CMOS 전력증폭기

### High-Efficiency CMOS Power Amplifier using Low-Loss PCB Balun with Second Harmonic Impedance Matching

김현규 · 임원섭 · 강현욱 · 이우석 · 오성재 · 오한식 · 양영구

Hyungyu Kim · Wonseob Lim · Hyunuk Kang · Wooseok Lee · Sungjae Oh · Hansik Oh · Youngoo Yang

#### 요 약

본 논문에서는 long term evolution(LTE) 통신을 위한 900 MHz 대역에서 동작하는 CMOS 전력증폭기 집적회로 설계 결과를 제시한다. 출력단에서의 적은 손실을 위해 트랜스포머를 이용한 출력 정합 회로가 printed circuit board(PCB) 상에 구현되었다. 동시에, 2차 고조파 임피던스의 조정을 통해 전력증폭기의 고효율 동작을 달성하였다. 전력증폭기는 0.18  $\mu\text{m}$  CMOS 공정을 이용하여 설계되었으며, 10 MHz의 대역폭 및 7.2 dB 첨두 전력 대 평균 전력비(PAPR)의 특성을 갖는 LTE up-link 신호를 이용하여 측정되었다. 제작된 전력증폭기 모듈은 평균 전력 24.3 dBm에서 34.2 %의 전력부가효율(PAE) 및 -30.1 dBc의 인접 채널 누설비(ACLR), 그리고 24.4 dB의 전력 이득을 갖는다.

#### Abstract

In this paper, a complementary metal oxide semiconductor(CMOS) power amplifier(PA) integrated circuit operating in the 900 MHz band for long-term evolution(LTE) communication systems is presented. The output matching network based on a transformer was implemented on a printed circuit board for low loss. Simultaneously, to achieve high efficiency of the PA, the second harmonic impedances are controlled. The CMOS PA was fabricated using a 0.18  $\mu\text{m}$  CMOS process and measured using an LTE uplink signal with a bandwidth of 10 MHz and peak to average power ratio of 7.2 dB for verification. The implemented CMOS PA module exhibits a power gain of 24.4 dB, power-added efficiency of 34.2%, and an adjacent channel leakage ratio of -30.1 dBc at an average output power level of 24.3 dBm.

Key words: CMOS, Power Amplifier, Harmonic Impedance Control, LTE

#### I. 서 론

전력증폭기는 송신부에서 가장 많은 전력을 소모하며, 시스템 효율에 큰 영향을 주는 중요한 부분이다. 특히 모

바일 무선통신 시스템을 위한 전력증폭기는 고효율 및 높은 선형성의 특성을 필요로 한다. 화합물 반도체를 이용하여 설계된 전력증폭기는 높은 전력 밀도 및 높은 효율을 갖지만, 가격이 높다는 단점이 있다. 하지만 CMOS

「이 연구는 2018년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2018R1A2B3005479).」

성균관대학교 정보통신대학(School of Information and Communication Engineering, Sungkyunkwan University)

· Manuscript received October 26, 2018 ; Revised December 24, 2018 ; Accepted January 4, 2019. (ID No. 20181026-110)

· Corresponding Author: Youngoo Yang (e-mail: yang09@skku.edu)

를 이용한 설계는 낮은 가격 및 높은 집적도라는 장점이 있다<sup>[1]</sup>. 또한, 최근 공정 기술이 발달함에 따라 CMOS 공정을 이용한 전력증폭기 설계에 대한 연구가 활발히 진행되고 있다<sup>[1]~[10]</sup>.

본 논문에서는  $0.18\ \mu\text{m}$  CMOS 공정을 이용하여 900 MHz 대역에서 동작하는 CMOS 전력증폭기를 설계 및 제작하였다. 전력증폭기의 높은 전력 이득을 위해 차동 구조 및 이단 구조가 사용되었고, 주 증폭단의 소스와 드레인 2차 고조파 임피던스를 정합하여 높은 효율을 얻었다. 소스 2차 고조파 임피던스는 본드와이어와 직렬 커패시터의 공진 효과를 이용하였다. 출력단에는 PCB 상에 구현된 저손실 트랜스포머로 기본파 및 2차 고조파 임피던스를 정합하였다.

## II. 설계 및 시뮬레이션

그림 1은 설계된 CMOS 전력증폭기의 회로도이다. 전력증폭기는 공통 소스 차동 구조에서 오는 가상 접지 효과로 소스 축퇴 효과를 최소화한다. 또한, 보조 증폭단과 주 증폭단으로 구성된 이단 구조를 사용하여 높은 전력 이득을 갖는다.

주 증폭단의 단일 트랜지스터는  $0.35\ \mu\text{m}$  길이와  $8\ \mu\text{m}$  폭의 14개 finger를 가지며, 64개의 트랜지스터를 사용하여  $7,168\ \mu\text{m}$ 의 폭을 갖는다. 보조 증폭단에서는 주 증폭단에서 이용한 것과 같은 단일 트랜지스터를 16개 사용하여  $1,792\ \mu\text{m}$ 의 폭을 갖는다. 또한 저항을 이용하여 게이트 바이어스를, 차동 인덕터 및 트랜스포머의 center-tap에서 3.3 V의 드레인 바이어스를 인가한다.

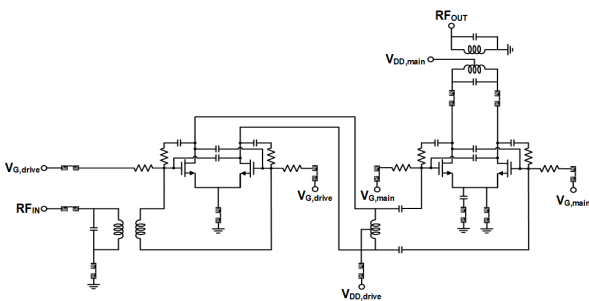


그림 1. 설계된 CMOS 전력증폭기의 회로도  
Fig. 1. Schematic diagram of the designed CMOS PA.

주 증폭단은 고효율과 높은 출력 전력을 위해 AB급 바이어스로 동작하며, 고효율 및 고선형성을 위해 소스와 드레인의 2차 고조파를 정합하여 설계하였다<sup>[8]~[11]</sup>. 보조 증폭단은 높은 선형성으로 주 증폭단 구동에 영향을 미치지 않고, 주 증폭단의 부족한 전력 이득을 보충할 수 있는 A급 바이어스로 설계하였다. 주 증폭단 및 보조 증폭단의 설계에서 source- 및 load-pull 시뮬레이션을 통해 최적의 임피던스를 얻었고, 각 단 안정도의 보상을 위해 RC 피드백과 cross-coupled capacitor(CCC)를 사용하였다<sup>[12]</sup>. 또한 입력단 임피던스 정합에는 집적된 트랜스포머를, 중간단 정합에는 병렬 인덕터와 직렬 커패시터를 사용하였다. CMOS 공정에서의 전도성 Si 기판의 영향으로, 집적된 출력 트랜스포머는 높은 손실을 갖는다<sup>[13][14]</sup>. 출력 단에서의 손실은 전력증폭기의 효율과 출력 전력 등 성능에 큰 영향을 미치므로, 출력단 정합을 위한 저손실 트랜스포머를 PCB 상에 off-chip으로 구현하였다<sup>[2][4]</sup>.

그림 2는 주 증폭단의 소스 2차 고조파 임피던스 정합 네트워크를 나타낸다. 주 증폭단의 소스 2차 고조파 정합은 접지로부터 연결된 본드와이어와 이에 직렬 연결된 커패시터로 2차 고조파 주파수에서의 공진 효과를 이용하여 이루어진다. 주 증폭단의 드레인 2차 고조파 정합은 off-chip 트랜스포머에서 구현되었다. 이 때, 소스 및 드레인 2차 고조파 정합 회로는 기본파 가상 접지가 형성되는 지점에 적용되어 기본파 임피던스에 영향을 미치지 않는다.

그림 3은 전력증폭기 주 증폭단의 드레인 2차 고조파 정합 유무에 따른 성능을 비교한 two-tone 시뮬레이션 결

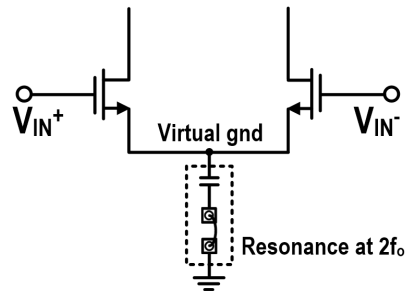
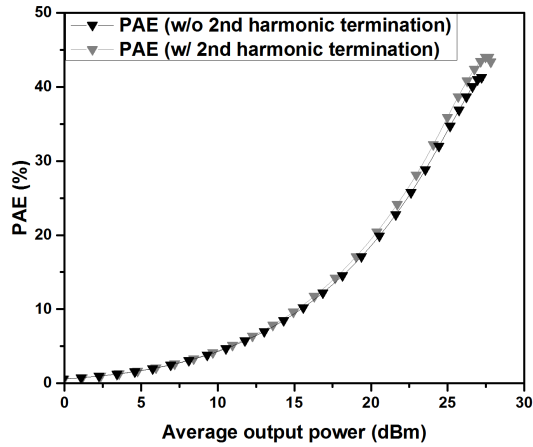
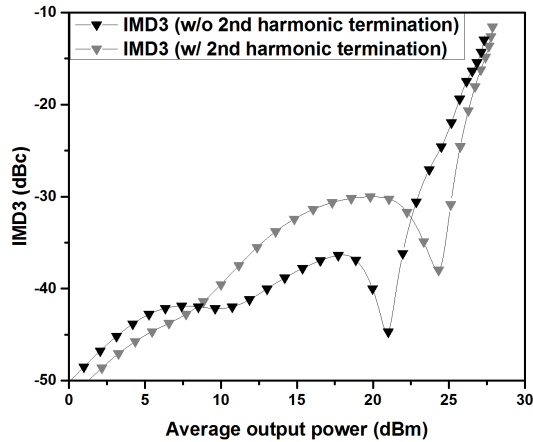


그림 2. 주 증폭단 소스 2차 고조파 임피던스 정합 네트워크  
Fig. 2. Second harmonic impedance matching network at the source of the main stage.



(a) 전력 부가 효율  
(a) PAE

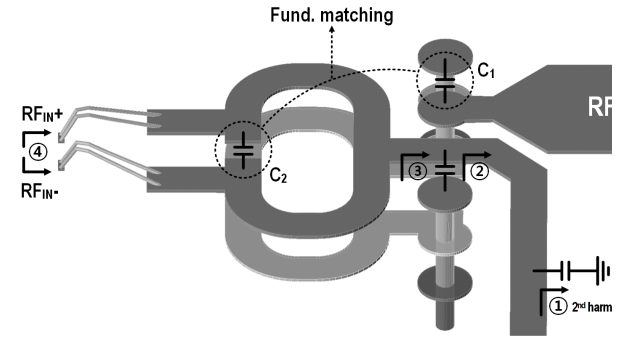


(b) 3차 상호 변조 왜곡  
(b) IMD3

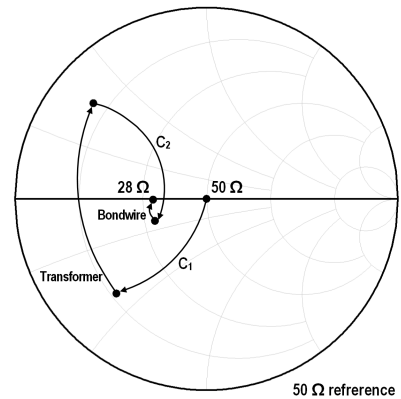
그림 3. 주 증폭단 드레인 2차 고조파 임피던스 정합 유무에 따른 성능 비교

Fig. 3. Performance comparisons with respect to 2<sup>nd</sup> harmonic impedance matching at the drain of the main stage.

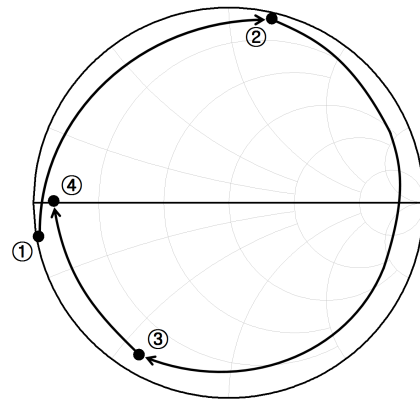
과를, 그림 4는 주 증폭단의 드레인 임피던스 정합 네트워크와 드레인 기본파 및 2차 고조파 임피던스의 정합 궤적을 나타낸다. 기본파 임피던스의 정합은 트랜스포머와 두 개의 커패시터 및 본드와이어로 이루어진다. 2차 고조파의 정합은 2차 고조파 단락을 형성하는 병렬 커패시터에서 시작하여, PCB 메탈과 2차 고조파 조정 커패시터, 그리고 이어지는 PCB 메탈과 본드와이어로 이루어진다. 드레인 임피던스 정합 네트워크는 4.2의 유전율을 갖는



(a) 주 증폭단 드레인 임피던스 정합 네트워크  
(a) Impedance matching network at the drain of the main stage



(b) 드레인 기본파 임피던스의 정합 궤적  
(b) Matching trajectory of the fundamental impedance at the drain



(c) 드레인 2차 고조파 임피던스의 정합 궤적  
(c) Matching trajectory of the second harmonic impedance at the drain

그림 4. 주 증폭단 드레인 임피던스 정합 네트워크

Fig. 4. Impedance matching network at the drain of the main stage.

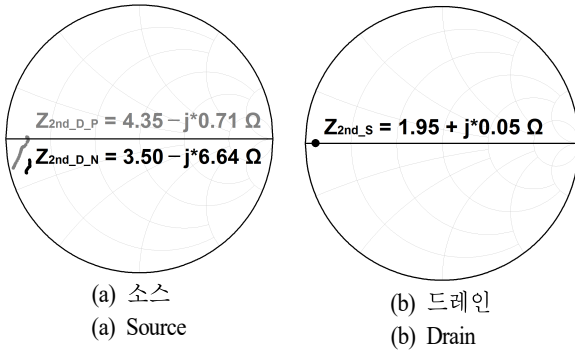


그림 5. 주 증폭단의 2차 고조파 임피던스  
Fig. 5. Second harmonic impedances of the main stage.

4-layer FR4 PCB 상에 본드와이어의 영향을 고려하여 설계되었고, 0.5 dB 미만의 낮은 손실을 갖는다.

정합된 소스 및 드레인의 2차 고조파 임피던스를 그림 5에 나타내었다. Positive 및 negative cell의 드레인 2차 고조파 임피던스를 구분하여 나타냈으며, P1dB에서의 임피던스 값을 표기하였다.

### III. 제작 및 측정 결과

그림 6은 제작된 CMOS PA IC의 die와 평가 보드 사진이다. IC는 Magnachip사의 2.08  $\mu\text{m}$  두께의 알루미늄 top-metal을 갖는 1P6M 0.18  $\mu\text{m}$  CMOS 공정을 이용하여 제작하였다. 제작된 IC는 bonding pad를 포함하여 1.78×0.88 mm<sup>2</sup>의 크기를 갖는다.

평가 보드는 4-layer FR4 PCB 기판을 사용하였고, 8.9×5.7 mm<sup>2</sup>의 크기를 갖는다. 중심 주파수 900 MHz에서 3.3 V 드레인 전압을 인가하여 측정하였고, 정지 전류는 보조 증폭단이 10 mA, 주 증폭단이 44 mA이다.

그림 7은 S-parameters 시뮬레이션 결과 및 측정값을 나타내며, 두 결과가 상당히 일치하는 것을 확인할 수 있다. 이는 EM 시뮬레이션이 적절하게 이루어졌음을 보인다.

그림 8은 제작된 CMOS 전력증폭기의 two-tone 신호 및 변조 신호에 대한 측정 결과이다. 제작된 전력증폭기는 중심 주파수 900 MHz의 one-tone 신호를 인가했을 때 27.1 dBm의 P1dB에서 44.8 %의 전력부가효율, 24.7 dB의 전력이득을 보인다. 또한 1 MHz의 tone-spacing을 갖는 two-

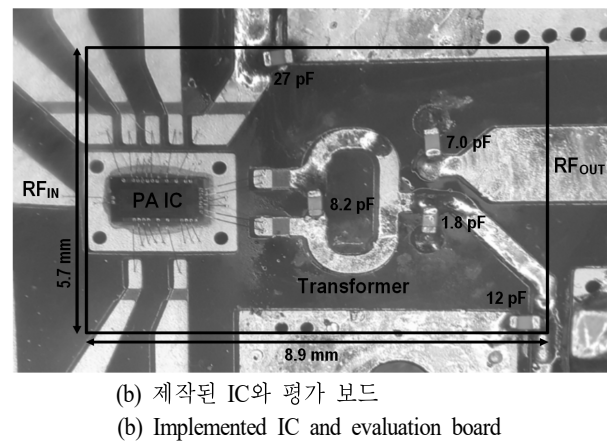
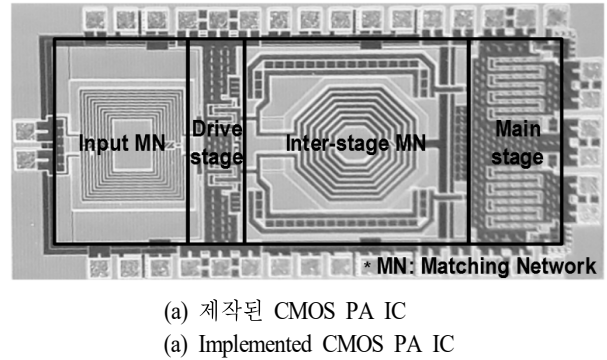


그림 6. 제작된 전력증폭기  
Fig. 6. Photographs of the implemented CMOS PA.

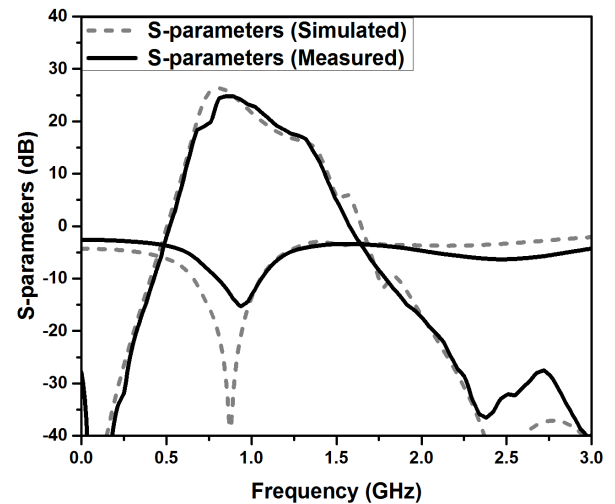
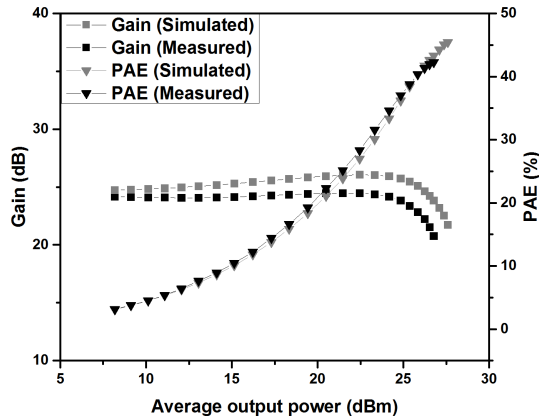
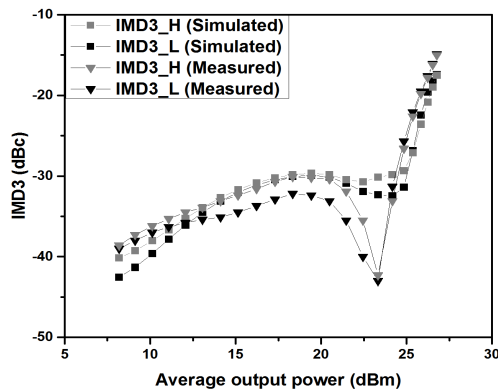


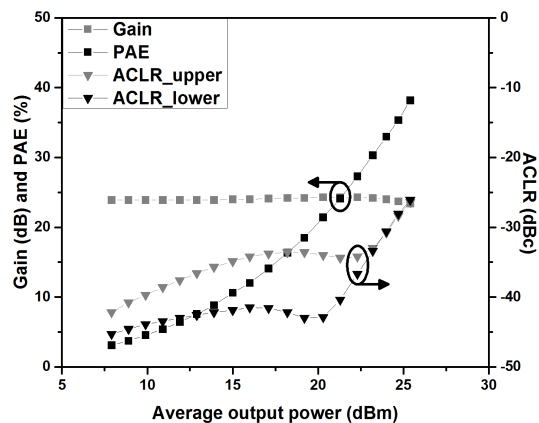
그림 7. 시뮬레이션 결과 및 측정된 산란 계수  
Fig. 7. Simulated and measured S-parameters.



(a) 전력이득, 전력부가효율  
(a) Power gain, PAE



(b) 3차 상호 변조 왜곡  
(b) IMD3



(c) 전력이득, 전력부가효율, 인접 채널 누설비  
(c) Gain, PAE, ACLR

그림 8. CMOS 전력증폭기의 측정된 성능

Fig. 8. Measured performances of the CMOS PA.

tone 신호를 인가했을 때 24.4 dBm의 평균 전력에서  $-30.0$  dBc의 IMD3를 만족하고, 35.6 %의 전력부가효율을 보이며 24.5 dB의 전력 이득을 갖는다.

전력 증폭기의 변조 신호(LTE up-link 16 QAM 10 MHz)에 대한 측정 결과, 24.3 dBm의 평균 전력에서  $-30.1$  dBc의 ACLR을 만족하고 34.2 %의 전력부가효율을 보이며 24.4 dB의 전력 이득을 갖는다.

#### IV. 결 론

본 논문에서는 CMOS 0.18  $\mu\text{m}$  공정을 이용하여 900 MHz 대역에서 동작하는 전력증폭기를 제시하였다. 2차 고조파에 대한 직렬 공진 회로를 이용하여 소스 2차 고조파를 정합하였고, 낮은 손실을 갖는 PCB 트랜스포머를 이용, 출력에서의 기본파 및 2차 고조파 임피던스를 정합하여 높은 효율을 얻었다. 제작된 전력증폭기는 one-tone 신호에 대한 측정 결과, 27.1 dBm의 P1dB에서 44.8 %의 전력부가효율과 24.7 dB의 전력 이득을 갖는다. 1 MHz tone-spacing을 갖는 two-tone 신호를 인가했을 때, 24.4 dBm의 평균 전력에서  $-30.0$  dBc의 IMD3를 만족하고, 35.6 %의 전력부가효율을 보이며, 24.4 dB의 전력 이득을 갖는다. 또한 변조 신호를 인가했을 때 24.3 dBm의 평균 전력에서  $-30.1$  dBc의 ACLR을 만족하고, 34.2 %의 전력부가효율을 보이며, 24.4 dB의 전력 이득을 갖는다. 따라서 제안된 전력증폭기는 2차 고조파의 정합으로 높은 효율을 보이며, 무선통신 시스템에 적합한 성능을 가짐을 확인하였다.

#### References

- [1] B. Francois, P. Reynaert, "A fully integrated watt-level linear 900-MHz CMOS RF power amplifier for LTE-applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 6, pp. 1878-1885, Jun. 2012.
- [2] D. Kang, B. Park, C. Zhao, D. Kim, J. Kim, and Y. Cho, et al., "A 34% PAE, 26-dBm output power envelop-tracking CMOS power amplifier for 10-MHz BW LTE applications," in *2012 IEEE/MTT-S International Microwave Symposium Digest*, Montreal, QC, Jun. 2012, pp. 1-3.
- [3] S. Jin, K. Moon, M. Kwon, B. Park, H. Jin, and J. Park,

- et al., "Development of a highly efficient and linear differential CMOS power amplifier with harmonic control," in *2013 Asia-Pacific Microwave Conference Proceedings (APMC)*, Seoul, 2013, pp. 757-759.
- [4] B. Park, D. Kang, D. Kim, Y. Cho, C. Zhao, and J. Kim, et al., "A 31.5%, 26 dBm LTE CMOS power amplifier with harmonic control," in *2012 7th European Microwave Integrated Circuit Conference*, Amsterdam, Oct. 2012, pp. 341-344.
- [5] J. Ham, J. Bae, H. Kim, M. Seo, H. Lee, and K. Hwang, et al., "CMOS power amplifier integrated circuit with dual-mode supply modulator for mobile terminals," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 63, no. 1, pp. 157-167, Jan. 2016.
- [6] J. Kim, D. Kim, Y. Cho, D. Kang, B. Park, and B. Kim, "Envelope-tracking two-stage power amplifier with dual-mode supply modulator for LTE applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 1, pp. 543-552, Jan. 2013.
- [7] F. Wang, D. F. Kimball, D. Y. Lie, P. M. Asbeck, and L. E. Larson, "A monolithic high-efficiency 2.4-GHz 20-dBm SiGe BiCMOS envelop-tracking OFDM power amplifier," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 6, pp. 1271-1281, Jun. 2007.
- [8] D. Kang, B. Park, D. Kim, J. Kim, Y. Cho, and B. Kim, "Envelope-tracking CMOS power amplifier module for LTE applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 10, pp. 3763-3773, Oct. 2013.
- [9] J. Kang, K. Lee, J. Yoon, Y. Chung, S. Hwang, and B. Kim, "Differential CMOS linear power amplifier with 2nd harmonic termination at common source node," in *2005 IEEE Radio Frequency integrated Circuits(RFIC) Symposium - Digest of Papers*, Long Beach, CA, Jun. 2005, pp. 443-446.
- [10] J. Kang, J. Yoon, K. Min, D. Yu, J. Nam, and Y. Yang, et al., "A highly linear and efficient differential CMOS power amplifier with harmonic control," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 6, pp. 1314-1322, Jun. 2006.
- [11] J. Brinkhoff, A. E. Parker, "Effect of baseband impedance on FET intermodulation," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 3, pp. 1045-1051, Mar. 2003.
- [12] H. Asada, K. Matsushita, K. Bunsen, K. Okada, and A. Matsuzawa, "A 60 GHz CMOS power amplifier using capacitive cross-coupling neutralization with 16% PAE," in *2011 41st European Microwave Conference*, Manchester, Oct. 2011, pp. 1115-1118.
- [13] D. H. Lee, C. Park, J. Han, Y. Kim, S. Hong, and C. H. Lee, et al., "A load-shared CMOS power amplifier with efficiency boosting at low power mode for polar transmitters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 7, pp. 1565-1574, Jun. 2008.
- [14] P. Haldi, D. Chowdhury, P. Reynaert, G. Lie, and A. M. Niknejad, "A 5.8 GHz 1 V linear power amplifier using a novel on-chip transformer power combiner in standard 90 nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 5, pp. 1054-1063, Aug. 2003.

김 현 규 [성균관대학교/석사과정]



2017년 2월: 국민대학교 전자공학부 (공학사)  
2017년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정  
[주 관심분야] RF/mm-wave Power Amplifier, Linearization and Efficiency Enhancement Techniques

오 성 재 [성균관대학교/박사과정]



2015년 2월: 성균관대학교 전자전기공학과 (공학사)  
2015년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정  
[주 관심분야] RF/mm-wave Power Amplifier, Linearization and Efficiency Enhancement Techniques, Analog/Mixed-Signal IC

임 원 섭 [성균관대학교/박사과정]



2012년 2월: 한양대학교 전자 및 통신공학과 (공학사)  
2013년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정  
[주 관심분야] RF/mm-wave Power Amplifier, Linearization and Efficiency Enhancement Techniques, Analog/Mixed-Signal IC

오 한 식 [성균관대학교/박사과정]



2016년 2월: 성균관대학교 전자전기공학과 (공학사)  
2016년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정  
[주 관심분야] RF/mm-wave Power Amplifier, Linearization and Efficiency Enhancement Techniques, Analog/Mixed-Signal IC

강 현 옥 [성균관대학교/박사과정]



2014년 2월: 목포해양대학교 전자공학과 (공학사)  
2014년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정  
[주 관심분야] RF/mm-wave Power Amplifier, Broadband and Linearization Techniques

양 영 구 [성균관대학교/교수]



1997년 2월: 한양대학교 전자공학과 (공학사)  
2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)  
2002년 3월~2002년 7월: 포항공과대학교 전자전기공학과 박사후 연구원  
2002년 8월~2005년 2월: Skyworks Solutions Inc., Senior Electronic Engineer  
2005년 3월~현재: 성균관대학교 정보통신공학부 교수  
[주 관심분야] 초고주파 회로 설계, 무선통신 송/수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구

이 우 석 [성균관대학교/박사과정]



2014년 2월: 충남대학교 전자공학과 (공학사)  
2014년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정  
[주 관심분야] RF/mm-wave Power Amplifier, Broadband and Linearization Techniques