

자기공진 무선전력전송 수신부용 이중 대역 CMOS 정류기 IC 설계

Dual-Band Complementary Metal-Oxide-Semiconductor Rectifier Integrated Circuit for Magnetic Resonance Wireless Power Transfer Receivers

전 지 호 · 김 창 우

Ji-Ho Jun and Chang-Woo Kim

요 약

본 논문에서는 MRWPT(자기공진 무선전력전송) 시스템에서 활용 가능한 이중 대역(6.78 MHz/13.56 MHz) 수신부 정류기 CMOS IC를 제안한다. 제안하는 정류회로는 능동 다이오드 역할을 하는 비교기회로, 자기 바이어스회로와 Cross-coupled 형태로 연결된 PMOS로 구성하고 있다. 임계전압에 의한 손실을 최소화하기 위해 비교기 기반 능동 다이오드 정류기로 설계하였으며, 비교기에서 생기는 누설전류 문제를 offset 전압을 걸어주어 능동 다이오드의 on-off 타임을 조절해 제거하여 정류효율을 최대화시키도록 설계하였다. 본 정류회로는 65 nm RF CMOS 공정으로 제작되었으며, 시뮬레이션 결과, 전력 변환효율은 6.78/13.56 MHz에서 최대 95.5 %를 보이고 있다.

Abstract

A dual-band(6.78/13.56 MHz) complementary metal-oxide-semiconductor(CMOS) rectifier integrated circuit(IC) for magnetic resonance wireless power transfer(MRWPT) systems is proposed in this study. The proposed rectifier is designed as a comparator-based active diode rectifier to minimize the losses caused by the threshold voltage of the metal-oxide-semiconductor field-effect transistor (MOSFET). The rectifier consists of two comparators: a self-biasing circuit block and cross-coupled PMOSFET s. The power conversion efficiency(PCE) of the rectifier was maximized by eliminating the reverse current of the comparator by controlling the on-off time of the active diode. The rectifier chip was fabricated following Samsung's 65 nm CMOS process. The results of the simulation showed that the PCE of the rectifier at 6.78/13.56 MHz increased up to 95.5 %.

Key words: Rectifier, Wireless Power Transmission, High Efficiency Rectifier, Comparator Based Activer Diode Rectifier, RF Power Receiver

I. 서 론

무선전력전송 기술은 자기유도방식, 자기공진방식, 전자기파 방식이 있으며, 현재 상용화된 자기유도방식은 초

근거리에서 밖에 충전이 되지 않는 불편함이 있다. IoT 시장과 스마트시티, 팩토리 등의 시장이 급성장함에 따라 무선충전에 대한 요구는 끊임없이 증가하며 많은 수의 device와 sensor의 관리를 위해서는 자기유도방식으로는

「본 연구는 과학기술정보통신부의 재원으로 정보통신기술진흥센터의 대학 ICT연구센터육성지원사업(IITP-2019-2016-0-00291)과 한국연구재단의 기초연구지원사업(NRF-2019R1F1A1052728)으로 수행되었음.」

경희대학교 전자공학과(Department of Electronic Engineering, Kyung Hee University)

· Manuscript received October 30, 2019 ; Revised December 2, 2019 ; Accepted December 20, 2019. (ID No. 20191030-117)

· Corresponding Author: Chang-Woo Kim (e-mail: cwkim@khu.ac.kr)

많은 한계점이 존재하므로 자기공진방식을 적용하기 위한 많은 연구가 되고 있다. 자기공진방식은 자기유도방식에 비해 거리에 대한 자유도가 높지만, 효율성과 시스템의 한계로 이를 극복하기 위한 연구가 진행되고 있다^[1]. 현재 무선전력전송 기술은 송신부 시스템 (안테나, 회로, 전파알고리즘)에 대한 연구는 활발히 이루어지고 있으나, 수신부 시스템에 대한 연구는 비교적 부족하다. 전체 시스템의 효율을 위해서는 송신부, 수신부 시스템의 효율이 모두 중요하므로 수신부 시스템의 효율을 개선하고 무선전력전송 시스템의 최적화에 대한 연구가 필수적이다.

수신부의 정류기는 WPT 시스템의 모든 블록들 중에서 시스템의 전력 변환 효율(power conversion efficiency, PCE)를 결정하는 가장 큰 역할을 하는 회로이다. 가장 기본적인 정류회로는 full bridge 정류회로로 다이오드의 임계전압에 의해 매우 낮은 PCE를 보이며, IC제조에 적합하지 않다. 무선전력전송의 다양한 응용 및 상용화를 위해서는 수신기의 크기가 작아지는 것이 중요하며, 같은 면적으로 다양한 대역폭에서 작동하는 것이 중요하다. 본 논문에서는 IC를 이용하여 이중대역의 자기공진대역(6.78/13.56 MHz)에서 사용이 가능하며, 임계전압을 최소화하는 회로로 PCE를 최대화하기 위해 자기공진 방식대역에서는 비교기 기반 능동다이오드 정류기 형태를 제안한다.

II. 정류기 회로 설계

정류기 회로 설계에서 중요한 두 가지 파라미터는 전압 변환비율 VCR(Voltage Conversion Ratio)과 전력전환비율 PCE(Power Conversion Ratio)이다. 전압변환비율은 식 (1)과 같이 정의되고, 전력전환비율은 식 (2)와 같이 정의된다^[2].

$$\text{전압변환비율(VCR)} = \frac{\text{Output DC Voltage}}{\text{input AC Voltage}} = \frac{V_{out,DC}}{V_{in,AC}} \quad (1)$$

$$\text{전력전환비율(PCE)} = \frac{\text{Output DC Power}}{\text{input AC Power}} = \frac{P_{out,DC}}{P_{in,AC}} \quad (2)$$

그림 1은 본 논문에서 제안한 자기공진방식 정류기의 블록도이다. 2개의 PMOS(M_{P1} , M_{P2}), 비교기(COMP1,2)와 바이어스 회로로 이루어져 있다. 차동입력을 통해 $V_{ac2} - V_{ac1} > |V_{THP}|$ (M_{P1} 의 문턱전압)이면 M_{P1} 이 동작하며,

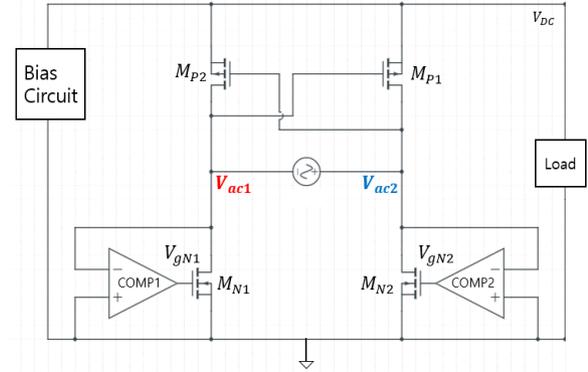


그림 1. 이중대역 수신부의 정류기 블록도
Fig. 1. Block diagram of the dual band rectifier.

V_{ac1} 이 0 V 이하로 스윙될 시 COMP1 (비교기 1)에서 V_{gN1} 파형을 생성하고, M_{N1} 이 동작하게 된다. 즉, M_{P1}, M_{N1} 이 동시에 켜지게 되며, 전류가 흐르게 되고, 반대로 $V_{ac1} - V_{ac2} > |V_{THP}|$ 인 경우, M_{P2}, M_{N2} 가 동시에 켜지며, 전류가 흐르게 되어 정류기로 동작을 한다.

입력에 따라 출력 DC가 변화하는 정류기의 특성상 기존의 diode-connected MOSFET로 바이어스 회로를 구성하면 입력의 변화에 따라 바이어스 회로에서 출력되는 전류가 비례하여 커지게 되며, 이는 비교기회로에서 동작하는 파형에 delay 문제를 일으킨다. 그림 2는 비교기를 동작시키기 위해 인가되는 전압 V_B 와 입력전력에 따라 변화하는 출력 전류 V_{DC} 에 변화에도 일정한 출력전류를 생성하는 이중 피킹 자기 바이어스(dual peaking self biasing) 회로도이다. $M1, M2, M3$ 의 W/L 비율과 걸리는 전압들을 조절해 주어 I_1, I_2 의 전류파형의 최대값을 겹치지 않게 서로 멀리 떨어지게 위치하면 I_3 는 $I_1 + I_2$ 이기 때문에 V_{DC} 의 변화에 둔감한 출력전류를 가지게 된다. 그림 3은 그림 2의 바이어스 회로의 전류파형을 보이고 있다. 그림에서 설계된 바이어스 회로의 출력전류 I_3 가 I_1, I_2 의 조절을 통해 V_{DC} 의 변화에 둔감한 구간을 갖는 것을 확인할 수 있다^[3].

그림 4는 이중대역 수신부의 비교기의 회로도이다. 비교기 기반 능동 다이오드 정류기는 스위칭 작용을 통해 높은 PCE를 가지는 장점이 있지만, MOSFET의 스위칭 속도가 신호의 delay로 인해 완벽하게 on-off되지 않으면 V_{ac1} 나 V_{ac2} 가 0 V 이상일 때도 M_{N1}, M_{N2} 가 켜지게 되면

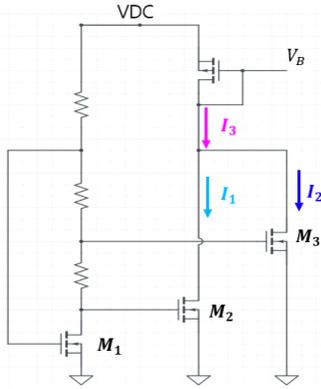


그림 2. 그림 1의 바이어스 회로도
Fig. 2. Schematic diagram of the bias circuit in Fig. 1.

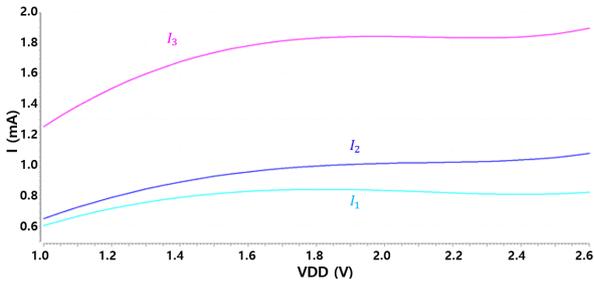


그림 3. 그림 2의 바이어스 회로의 전류파형
Fig. 3. Current waveforms of the bias circuit of Fig. 2.

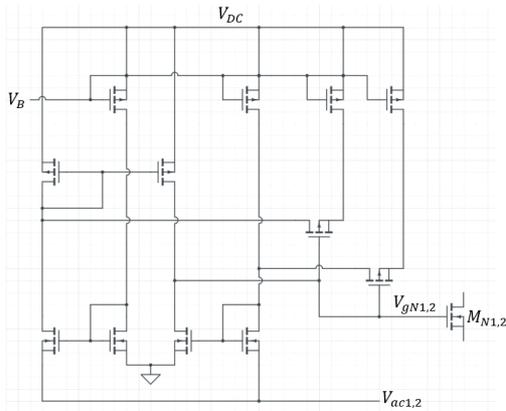


그림 4. 이중대역 수신부의 비교기 회로도
Fig. 4. Schematic diagram of the comparator circuit.

서 역전류가 흐르는 경우가 생기게 되며, 이는 전체 정류기의 PCE에 매우 치명적인 손실을 초래한다. 이를 방지

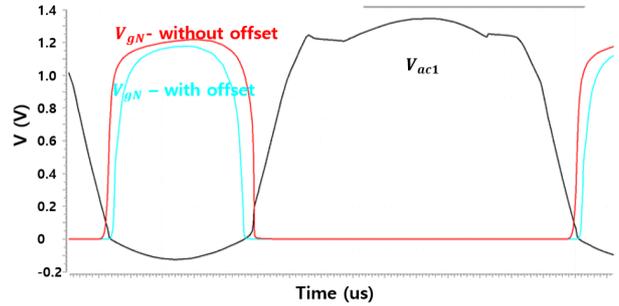


그림 5. 입력전압 V_{ac1} 과 오프셋이 적용된 회로와 적용되지 않은 회로의 V_{gN} 파형
Fig. 5. Input voltage V_{ac1} waveforms and V_{gN} waveforms with/without the offset.

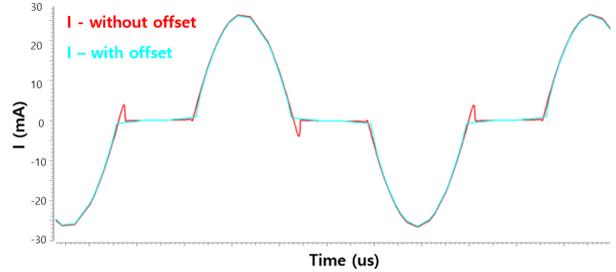


그림 6. 오프셋이 적용된 회로와 적용되지 않은 회로의 전류 파형
Fig. 6. Current waveforms with/without the offset.

하기 위해 비교기에 오프셋 전압을 가하는 보상회로를 추가하여 M_{N1}, M_{N2} 을 on-off하는 $V_{gN1,2}$ 전압신호를 조절한다. 그림 5는 입력신호인 V_{ac1} 가 0 이하로 떨어질 때 생기는 오프셋이 적용된 V_{gN} 신호와 오프셋이 적용되지 않은 V_{gN} 신호의 출력파형이다. 오프셋이 적용된 V_{gN} 신호는 V_{ac1} 이 0 이하일 때만 커지도록 설정된 것을 확인할 수 있다. 그림 6에서 오프셋이 적용된 전류파형과 적용되지 않은 전류파형으로 역전류가 제거된 것을 확인할 수 있다.

III. 시뮬레이션 결과

본 논문에서 제안하는 정류회로의 모든 소자는 65 nm CMOS 공정으로 설계되었으며, 그림 7은 설계된 비교기 기반 능동다이오드 정류기의 주요 출력 전압 파형이다. 그림 8은 설계된 정류기의 입출력 전압파형과 출력 전류

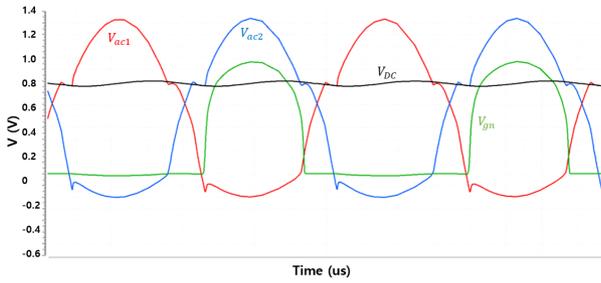


그림 7. 정류기의 V_{ac1} , V_{ac2} , V_{DC} , V_{gN} 출력 파형
Fig. 7. V_{ac1} , V_{ac2} , V_{DC} , V_{gN} waveforms of the rectifier.

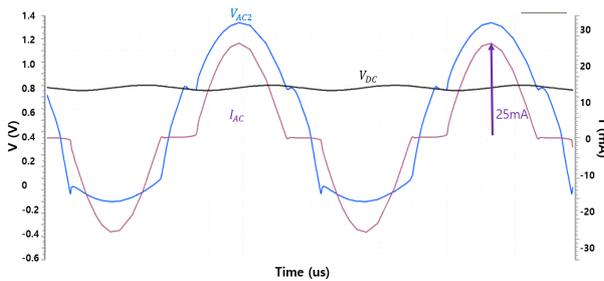


그림 8. 정류기의 V_{ac1} , V_{DC} , I_{ac} 출력 파형
Fig. 8. V_{ac1} , V_{DC} , I_{ac} waveforms of the rectifier.

파형이다. 누설전류가 발생하지 않는 것을 확인할 수 있으며, 입력 전압은 0.5~2 V 인가하여 0.35~1.5 V의 DC 출력을 가진다.

그림 9는 13.56 MHz에서 정류기의 VCR과 DC 출력전압에 대한 그래프이다. VCR은 0.5~2 V의 입력범위에서

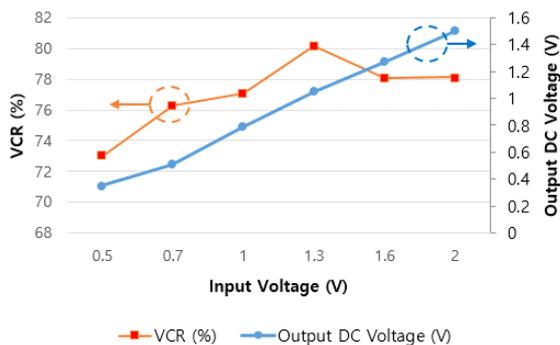


그림 9. 13.56 MHz에서 정류기의 VCR & DC 출력 전압
Fig. 9. VCR & output DC voltage of the rectifier at 13.56 MHz.

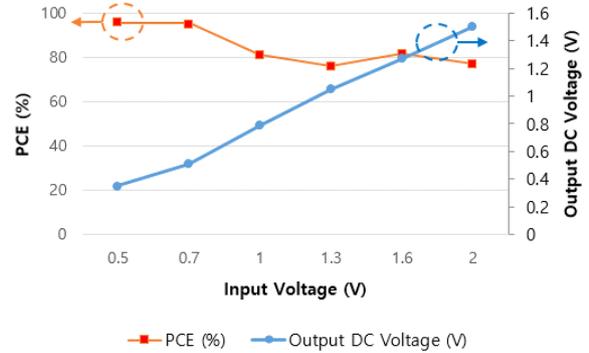


그림 10. 13.56 MHz에서 정류기의 PCE & DC 출력 전압
Fig. 10. PCE & output DC voltage of the rectifier at 13.56 MHz.

75%~80%인 것을 확인할 수 있다. 그림 10은 13.56 MHz에서 정류기의 PCE와 DC 출력전압에 대한 그래프이다. PCE는 최대 95.5%이며, 입력전압이 높아질수록 80%까지 떨어지는 것을 확인할 수 있다.

그림 11 및 그림 12는 동일한 조건에서 6.78 MHz의 입력에 대한 VCR, DC 출력 전압, PCE에 대한 그래프이다. PCE는 최대 95.5%에서 커질수록 70%까지 떨어지는 것을 확인할 수 있으며, VCR의 경우 평균 75%인 것을 확인할 수 있다.

그림 13은 설계된 비교기 기반 정류기의 레이아웃이며, 회로의 코어 면적은 0.25 mm²이며, 출력 부하 200 Ω 저항과 3 nF 커패시터를 사용하였다. 표 1은 이전에 보고된

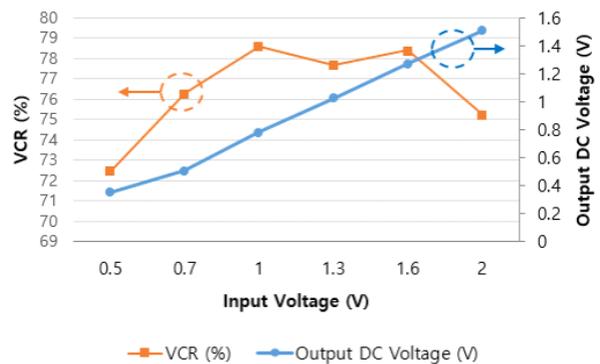


그림 11. 6.78 MHz에서 정류기의 VCR & DC 출력 전압
Fig. 11. VCR & output DC voltage of the rectifier at 6.78 MHz.

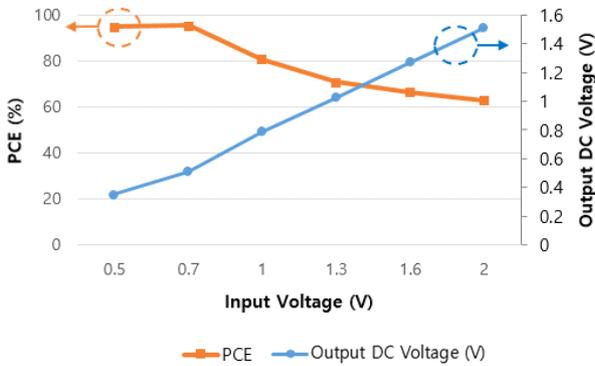


그림 12. 6.78 MHz에서 정류기의 PCE & DC 출력 전압
Fig. 12. PCE & output DC voltage of the rectifier at 6.78 MHz.

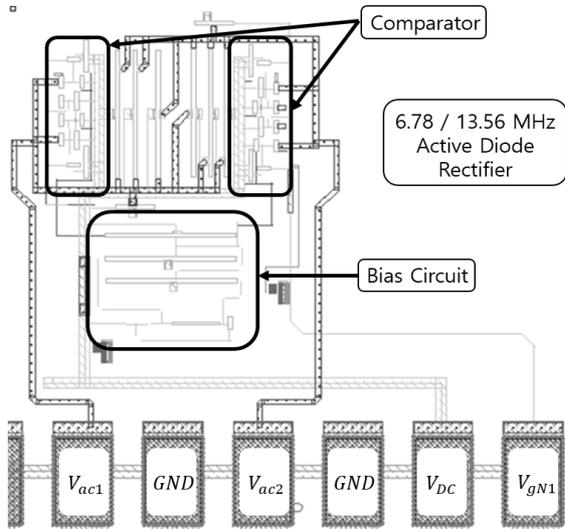


그림 13. 설계된 정류기의 레이아웃
Fig. 13. Pattern layout schematic of the designed rectifier.

비교기 기반 CMOS 정류기와 본 연구의 포스트 시뮬레이션한 결과를 비교하여 정리하였다. 낮은 부하 저항을 사용한 다른 정류기에 비해 VCR이 조금 부족하나, PCE의 최고값이 월등하게 높음을 알 수 있다.

본 논문의 모든 시뮬레이션 결과값은 기생성분이 포함된 포스트 시뮬레이션으로 진행되었다. COB 형태로 제작하여 측정할 예정이며, PCB상의 성능 열화는 주파수 대역이 높지 않기 때문에 큰 영향을 미치지 않을 것이라고 예상된다.

표 1. CMOS 능동 정류기와의 성능 비교표

Table 1. Comparison with CMOS active rectifiers.

	Ref. [4]	Ref. [5]	Ref. [6]	본 연구
Frequency(MHz)	1.5	13.56	13.56	6.78 & 13.56
Process	0.35 um CMOS	0.18 um CMOS	0.5 um CMOS	65 nm CMOS
Input voltage(V)	1.2~2.4	1.5	3.8	0.5~2
Output DC(V)	0.98~2.08	1.33	3.12	0.35~1.5
Load R(Ω)	100	1 k	100	200
MAX VCR	84 %	89 %	82 %	80 %
MAX PCE	87 %	81.9 %	80.2 %	95.5 %
Chip area(mm ²)	1.03	0.009	0.18	0.25

IV. 결 론

자기공진 무선전력 전송에서 높은 전력 효율을 가진 이중대역 수신부 정류기를 65 nm CMOS 공정으로 설계 및 제작하였다. 제안하는 비교기 기반 능동다이오드 정류기의 PCE를 극대화하기 위해 바이어스 회로와 Offset 회로를 추가하여 구성하였다. 총 면적 0.25mm²로 부하저항 200 Ω , 부하 커패시터 3 nF을 사용하였으며, 6.78/13.56 MHz 입력에 대해 최대 95.5 %의 PCE를 가지며, 최대 80 %의 VCR을 가진다. RF 입력신호가 13.56 MHz일 때 2 V가 인가될 때도 80 % 이상의 PCE를 유지하는 성능을 보인다.

References

[1] A. Kurs, A. Karalis, R. Moffatt, J. D. Joannopoulos, P. Fisher, and M. Soljacic, "Wireless power transfer via strongly coupled magnetic resonances," *Science*, vol. 317, no. 5834, pp. 83-86, Jul. 2007.

[2] N. H. Jeong, Y. J. Bae, and C. S. Cho, "CMOS rectifier for wireless power transmission using multiplier configuration," in *2013 IEEE MTT-S International Microwave Workshop Series on RF and Wireless Technologies for Biomedical and Healthcare Applications(IMWS-BIO)*, Singapore, 2013, pp. 1-3.

[3] Y. Lu, W. H. Ki, and J. A. Yi, "13.56 MHz CMOS

rectifier with switched-offset for reversion current control," in *2011 Symposium on VLSI Circuits-Digest of Technical Papers*, Jun. 2011, pp. 246-247.

- [4] S. Guo, H. Lee, "An efficiency-enhanced CMOS rectifier with unbalanced-biased comparators for transcutaneous-powered high-current implants," *IEEE Journal of Solid State Circuits*, vol. 44, no. 6, pp. 1796-1804, Jun. 2009.
- [5] H. K. Cha, W. T. Park, and M. Je, "A CMOS rectifier with a cross-coupled latched comparator for wireless

power transfer in biomedical applications," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 59, no. 7, pp. 409-413, Jul. 2012.

- [6] H. M. Lee, M. Ghovanloo, "An integrated power-efficient active rectifier with offset-controlled high speed comparators for inductively powered implants," *IEEE Transactions Circuits Systems I: Regular Papers*, vol. 58, no. 8, pp. 1749-1760, Aug. 2011.

전 지 호 [경희대학교/석사과정]

<https://orcid.org/0000-0002-7315-1649>



2018년 2월: 경희대학교 전자공학과 (공학사)

2018년 3월 ~ 현재: 경희대학교 전자공학과 석사과정

[주 관심분야] MMIC/RFSOC 설계, 무선전력전송 시스템 설계 등

김 창 우 [경희대학교/교수]

<https://orcid.org/0000-0002-0837-3835>



1984년 2월: 한양대학교 전자공학과 (공학사)

1986년 2월: 한양대학교 전자공학과 (공학석사)

1992년 3월: 일본 Shizuoka 전자공학과 (공학박사)

1992년 4월 ~ 1996년 2월: (주) NEC 마이크로 일렉트로닉스 연구소 주임연구원

1996년 3월 ~ 현재: 경희대학교 전자정보대학 교수

[주 관심분야] MMIC/RFSOC 설계, 초고주파 능동소자 모델링, IoT시스템 설계, 무선전력전송 시스템 설계 등