

110 GHz까지 CMOS 트랜지스터 평가를 위한 mTRL 교정 표준기 설계 및 특성 임피던스 추출법

Design of Multi-Line Thru-Reflect-Line Calibration Standards and Extraction Method of Characteristic Impedance for Complementary Metal-Oxide-Semiconductor Transistor Characterization Up to 110 GHz

구현지 · 홍영표 · 이승경* · 홍성철* · 김완식** · 김소수***

Hyunji Koo · Young-Pyo Hong · Seungkyeong Lee* · Songcheol Hong* · Wansik Kim** · Sosu Kim***

요 약

본 논문에서는 칩 상에서 multi-line THRU-REFLECT-LINE(mTRL) 교정을 이용 시, 전파상수법을 기초로 한 LINE 표준기의 특성 임피던스 획득 방식의 정확성을 높이기 위한 방법을 제안하였다. 이 방식은 전파상수 법에서 필요한 단위 길이 당 캐패시턴스를 전자기 시뮬레이션을 이용하여 구할 때, 기본 기판 정보를 이용하지 않고 mTRL 교정으로 얻은 전파상수 측정값과 근접한 결과를 얻도록 유전 정보를 보정한 기판을 이용함으로써, 정확도를 향상시켰다. 상용 off-chip 임피던스 표준기를 이용한 결과와 저주파수 대역에서 비교하여 개선되었음을 검증하였다. 또한, 밀리미터파 대역에서 이용되었던 시뮬레이션 결과만으로 특성 임피던스를 얻는 방식을 함께 비교하였고, 전파상수의 측정값을 이용하는 전파상수법이 칩 상의 특성 임피던스를 구하는 데 적합함을 보였다. 최종적으로 CMOS 28 nm 공정을 이용해서 제작한 트랜지스터의 고유특성을 110 GHz까지 추출하였고, 사용한 특성 임피던스에 따른 결과 값을 비교하였다.

Abstract

In this study, we propose a method for improving the accuracy of the characteristic impedance extraction method of line standards when using multiline thru-reflect-line(mTRL) calibration on chips based on the propagation constant method. This method uses a substrate with corrected dielectric properties to obtain a result that is close to the value of the measured propagation constant, which is obtained by mTRL calibration without using basic substrate information when determining the capacitance per unit length using electromagnetic simulation. We observed a slight improvement in the accuracy of the proposed method. This improvement was verified by comparing the results with a commercial off-chip impedance standard in a low-frequency band. In addition, we compared the method of obtaining the characteristic impedance only with the electromagnetic simulation results and demonstrated the accuracy limit of the low-frequency band using this method. Finally, the intrinsic characteristics of transistors were determined using a fabricated complementary metal-oxide-semiconductor transistor.

Key words: Characteristic Impedance, De-Embedding, Transistor Characterization, TRL Calibration

「이 논문은 2018년도 엘이제넥스원(주)의 W-대역 탐지용 송수신기 집적화 기술을 위한 모듈단위 정밀측정 및 분석, 점검장비 개발 재원으로 지원을 받아 수행된 연구임 (LIGNEX1 - 2018-0190(00))」

한국표준과학연구원 전자기표준센터 (Center of Electromagnetic Metrology, Korea Research Institute of Standards and Science)

*한국과학기술원 전기 및 전자공학부 (School of Electrical Engineering, Korea Advanced Institute of Science and Technology)

**LIG 넥스원(주) (LIG Nex1 Co., Ltd.)

***국방과학연구소 (Agency for Defense Development)

· Manuscript received August 27, 2019 ; Revised October 18, 2019 ; Accepted December 10, 2019. (ID No. 20190827-078)

· Corresponding Author: Hyunji Koo (e-mail: hyunji.koo@kriss.re.kr)

I. 서 론

밀리미터파 대역에서 송수신기에 대한 수요가 높아짐에 따라, 이 주파수 대역에서 회로 설계의 높은 신뢰도가 요구되고 있다. 설계된 회로의 신뢰도는 공정에서 제공하는 RF 소자 모델의 정확도에 의존하고, 이것은 소자의 측정 값을 이용하기 때문에, 결과적으로 소자의 측정 정확도가 신뢰도에 영향을 미친다. 칩 상에서 RF 소자의 정확한 측정을 위한 여러가지 디임베딩 방식들이 소개되었고^{[1]~[3]}, multi-line THRU-REFLECT -LINE (mTRL) 교정도 그 중 하나이다^{[4]~[10]}.

mTRL 교정을 이용하기 위해서는 LINE 표준기의 특성 임피던스를 평가하는 것이 중요하다. mTRL 교정으로 얻어지는 측정 시료(device under test: DUT)의 S -파라미터는 그림 1(a)와 같이 LINE 표준기의 특성 임피던스 Z_0 를 기준으로 얻어진다. 따라서 측정 시료 산란계수의 기준 임피던스를 그림 1(b)와 같이, Z_0 에서 50 Ω 으로 재정규화 (renormalization)해야 한다.

제작된 전송선로의 특성 임피던스를 결정하는 방법은 여러 가지가 있다. 가장 간단하게는 전자기 시뮬레이션과 식 (1)을 이용해서 임피던스를 구하는 방법이다^[11].

$$Z_{0,S} = Z_{sys} \sqrt{\frac{(1+S_{11})^2 - S_{21}^2}{(1-S_{11})^2 - S_{21}^2}} \quad (1)$$

위 식은 균일한 전송선로에 대하여 임피던스를 구할 때 적용할 수 있다. 여기서 $Z_{0,S}$ 는 전자기시뮬레이션을 이용해 추출한 LINE의 특성 임피던스이고, Z_{sys} 는 그림 2(a)와 같이 전자기 시뮬레이션의 기준 임피던스로 보통 50 Ω 이다. 이 방식은 선행 연구에서 밀리미터파 대역의 mTRL 교정에 이용되었다^[11].

교정비교법^{[12],[13]} 또한 임피던스 추출에 많이 이용되는 방식으로, 그림 2(b)와 같이 먼저 두 번의 교정을 통해서 패드부터 on-wafer 기준면까지의 Error box(디임베딩이 이루어지는 구간)의 산란계수를 결정한다. 이 산란계수의 T-매트릭스와 Error box를 패드 어드미턴스(Y_{PAD})와 트랜스포머로 모델링을 해서 얻은 T-매트릭스를 비교하여 반사계수를 구하고, 최종적으로 전송선로의 임피던스를 추출하는 방식이다. 이 방식은 패드의 영향을 최소화하여

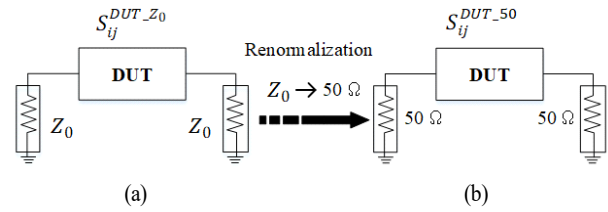
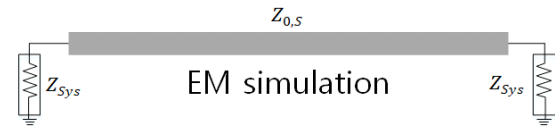
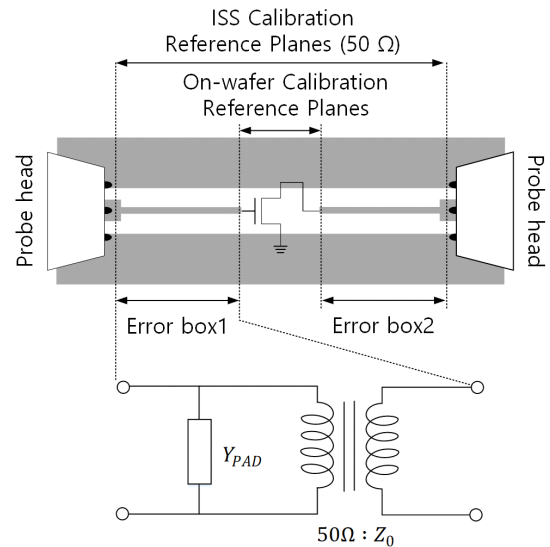


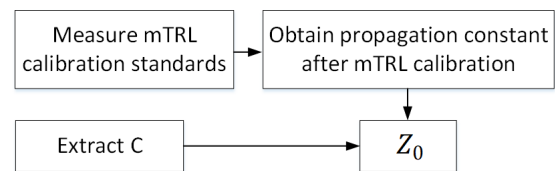
그림 1. 측정시료 산란계수 임피던스 재정규화
Fig. 1. Impedance renormalization of DUT S -parameter.



(a) 전자기 시뮬레이션 방식
(a) Electromagnetic simulation



(b) 교정비교 방식
(b) Calibration comparison



(c) 전파상수법
(c) Propagation constant

그림 2. LINE 표준기 특성 임피던스를 얻는 대표적인 방식
Fig. 2. Method for determining characteristic impedance of LINE standard, based on.

정확도를 높였으나, Error box에 해당하는 fixture에 via가 포함이 되거나, 패드 폭과 전송선로의 폭 차이가 클 경우 발생하는 인덕턴스의 영향에 의해 정확도가 떨어진다^{[11][13]}. 또한 첫 번째 교정에서 정확히 얻은 임피던스가 정확히 50 옴이 아닐 경우, 이에 대한 오차가 특성 임피던스에 나타나 밀리미터파대역에서 낮은 정확도를 보인다^[10].

마지막으로, 반도체 칩과 같이 기판의 손실이 적은 경우, 전파상수 γ 와 단위 길이 당 캐패시턴스 C 를 이용하여 식 (2)를 통해 임피던스를 구하는 방식(이하, 전파상수 법)이 있다^[14].

$$Z_0 = \frac{\gamma}{j\omega C + G} \sim \frac{\gamma}{j\omega C} \quad (2)$$

여기서 기판 손실 G 는 무시할 만큼 작다고 가정한다. 전파상수 γ 는 mTRL 교정 과정에서 얻을 수 있는 값으로, 교정 표준기의 측정값을 이용하면 실제 전송선로의 전파상수 값을 얻을 수 있다. 즉, 실제 전송선로의 손실과 위상속도가 반영된 값이다. 전송선로의 C 를 추출한 후, 식 (2)를 이용해서 특성임피던스 Z_0 를 얻는다. 이 과정을 그림 2(c)에 나타내었다.

C 를 구하는 여러 가지 방식들도 이전 논문에서 소개되었다^[15]. 전송선로의 dc 저항을 측정하여 계산하는 방법, 전송선로 끝단에 dc 저항을 위치시켜 반사계수를 이용하는 방법, 전송선로 치수를 이용해서 계산하는 방법 등이 제안되었다. 이 중, 칩 상에서 전파상수법을 사용한 선행연구^[6]에서는 전송선로 끝단에 off-chip 저항을 위치시켜 dc 저항 값과 반사계수를 측정하여 C 를 추출하였고, off-chip 저항으로 인해 큰 불확도를 야기하였다. 측정을 통해 C 를 평가하는 방법은 Error box를 포함한 전송선로 상에 큰 반사를 야기할 수 있는 변화 구간이 포함될 경우, 오차를 야기할 수 있어 선로 설계 시 주의를 기울여야 한다. 전송선로의 치수를 이용해서 계산식을 이용하는 방법은 복잡한 다층 구조에 적합하지 않다.

본 논문에서는 칩 상의 트랜지스터를 평가하기 위해 mTRL 교정기를 CMOS 28 nm 공정을 이용하여 설계하였고, 전파상수법을 이용하여 LINE 표준기의 특성 임피던스를 구하였다. 이때, C 는 다층 기판의 임베디드 선로의 복잡한 구조를 계산하기 위하여 전자기 시뮬레이션을 이용하였고, 정확도를 향상시키기 위하여 시뮬레이션에 이용

한 기판의 유전 정보를 측정된 전파상수를 바탕으로 보정한 후 이용하였다. 또한, 보정된 기판의 전자기 시뮬레이션 결과에 식 (1)을 적용하여 구한 임피던스와 제안한 방식으로 구한 임피던스를 비교하여, 저주파수 대역에서 전파상수법이 칩 상의 전송선로 특성 임피던스를 평가하는데 적합함을 보였다. 최종적으로 동일한 칩 상에 제작한 트랜지스터의 고유 특성을 특성 임피던스에 따라 어떻게 변하는 지를 살펴보았다.

II. mTRL 교정 표준기 설계

먼저, mTRL 교정에 이용할 50 Ω 전송선로를 설계하였다. 삼성 CMOS 28 nm 공정은 10개의 도체 층으로 구성되어 있고, 가장 두꺼운 최상위 도체판의 두께는 3.01 μm 이다. 본 논문에서는 최상위 도체판을 이용하여 전송선로를 제작하였고, 맨 아래 4개층의 도체판을 이용하여 접지면을 구현하였다. 이 접지 도체판은 공정가이드에 따라 메시(mesh) 구조로 설계하여, 아래층 실리콘 기판의 영향을 최소화하도록 하였다. 접지 패드와 연결되는 접지 벽(wall)은 신호 선으로부터 150 μm 의 거리로 충분히 넓은 공간에 배치하였다. 유전체의 비유전율은 3~4.5 사이의 값으로 층마다 다른 값을 가지며, Loss tangent는 0.002이다^[16]. 높이와 각 층의 비유전율 값을 이용하여 유효 유전율 값을 얻었고, 마이크로스트립 선로 공식으로부터 선로의 폭을 결정하였다. 그림 3과 같은 기판 구조를 모두 반영한 전자기 시뮬레이션과 식 (1)을 통해 선로 폭을 조정하였고, 최종적으로 4.5 μm 로 설계하였다. 본 논문에서 전자기 시뮬레이터로 Keysight Advanced Design System (ADS)의 Momentum을 이용하였다.

위 전송선로를 이용하여 mTRL 교정을 위한 THRU,

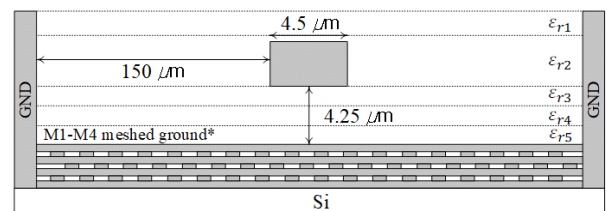


그림 3. 칩 상 마이크로스트립 전송선로 단면
Fig. 3. Cross-section of on-chip microstrip transmission line.

REFLECT, LINE 표준기를 설계하였다. 110 GHz 대역까지 넓은 주파수 대역에서 mTRL 교정을 하기 위해서 여러 개의 LINE 표준기가 필요하다. 특정 주파수에서 가장 낮은 불확도를 얻기 위해서 90도의 선로 길이가 필요하다. 모든 주파수에서 90도 선로의 길이를 제작할 수 없기 때문에 통상 20도에서 160도 이내의 길이를 이용한다. LINE 표준기가 큰 면적을 차지하기 때문에, 적절한 길이의 선택으로 LINE 표준기 수를 제한할 필요가 있다. 본 논문에서는 위상 조건을 최대한 충족시키도록 150 μm (LINE 1), 650 μm (LINE 2), 2,800 μm (LINE 3) 세 가지 길이로 선택하였다. 설계된 LINE 표준기를 이용하여 mTRL 교정 시, 교정과정에서 산출되는 error term의 표준편차를 그림 4에 점선(원형)으로 나타내었다. 이는 mTRL의 정확도를 평가하기 위한 값이며, 작을수록 더욱 정확한 교정이 가능함을 나타낸다^[17]. 그림 4의 28 GHz 대역에서 표준편차가 높게 나타나는 것은 LINE 2의 길이를 조절하여 낮출 수도 있지만, 본 논문에서는 1,400 μm (LINE 4) 하나 더 추가하여 그림 4의 실선과 같이 표준편차를 낮추었다. 한 칩에 그릴 수 있는 선로의 최대길이가 2,800 μm 이기 때문에, 낮은 주파수에서는 표준편차가 증가한다. 이는 mTRL 교정이 저주파대역에서 불확도가 증가함을 의미한다.

THRU 표준기는 프루브팁 간의 커플링 효과를 줄이기 위하여, 측정 시료로부터 150 μm 만큼 거리를 두어 패드를 배치하였다^[6]. REFLECT 표준기는 특정 값을 가질 필

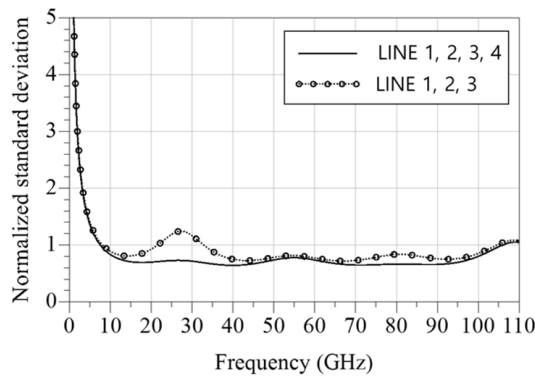


그림 4. mTRL 과정에서 산출되는 error term의 정규화된 표준편차

Fig. 4. Normalized standard deviation of error terms calculated during the process of mTRL.

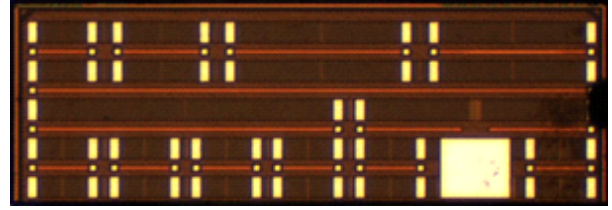


그림 5. 삼성 CMOS 28 nm 공정을 이용한 칩 사진

Fig. 5. Photograph of chip fabricated by Samsung CMOS 28 nm foundry.

요는 없으며, 큰 반사계수를 갖도록 OPEN이나 SHORT를 이용할 수 있다. 본 논문에서는 OPEN을 이용하였다.

그림 5는 삼성 CMOS 28 nm 공정으로 제작한 칩의 사진이다. 온-웨이퍼 교정법을 채택하여 mTRL 표준기와 측정시료가 동일한 반도체 칩 상에 제작하였다. 신호 패드의 사이즈는 32 $\mu\text{m} \times 32 \mu\text{m}$ 이며, 접지를 위한 패드는 75 μm 부터 150 μm 까지 간격을 갖는 GSG 프루브 측정이 가능하도록 설계 하였다.

III. 특성 임피던스 결정

측정 시료 산란계수를 50 Ω 으로 재정규화하기 위해 전송선로의 특성 임피던스를 정확히 평가하는 것이 중요하다. 교정비교법의 경우, 첫번째 교정에서 50 Ω 으로 정확히 교정이 되어야 하고, 패드와 전송선로 간의 인덕턴스가 무시할 만큼 작아야 하는 조건이 만족되어야 한다. 하지만, 첫번째 교정을 위해 잘 평가된 교정 표준기의 부재와 패드와 전송선로간의 via로 인한 인덕턴스를 높은 주파수대역에서 무시할 수 없어 교정비교법을 채택하지 않았다.

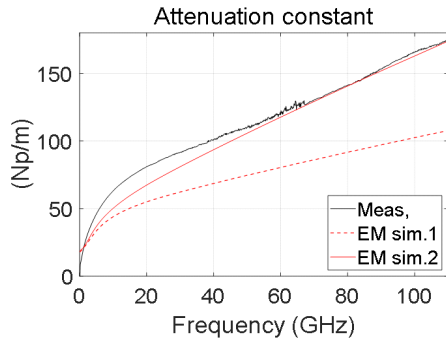
전자기 시뮬레이션과 식 (1)을 이용하여 특성 임피던스를 얻는 방법은 실제 제작 환경을 그대로 시뮬레이션에 반영하기 힘든 어려움이 있다. 계산량을 줄이기 위해 가정한 평평하고 무한한 접지면은 실제 메시 형태의 유한한 접지면이 줄 수 있는 유효 유전율과 실리콘 기판의 손실을 반영할 수 없다. 또한, 제작상의 공정오차도 알 수 없고, 다층으로 구성된 유전체의 비유전율 및 손실도 정확히 반영하기 어렵다. 특히, 파장이 길어 주변 환경의 영향을 많이 받는 낮은 주파수 대역일수록, 전자기 시뮬레

이선으로 예측하기 어려워진다.

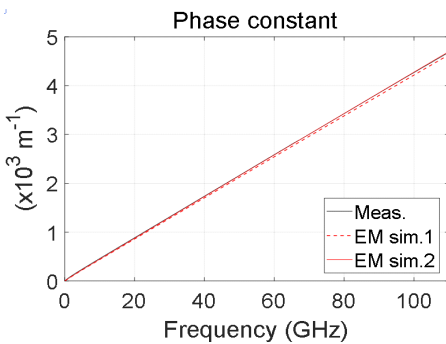
이것을 확인하기 위하여 전송선로 전파상수의 측정값과 시뮬레이션 값을 비교해 보았다. 먼저, 측정값은 제작한 표준기들을 측정한 후, mTRL 교정을 시행하는 과정에서 얻을 수 있다. 시뮬레이션값은 전송선로를 전자기 시뮬레이션을 통해 산란계수를 얻고, 식 (3)을 이용하여 전파상수를 얻을 수 있다.

$$\gamma_s = -\frac{1}{l_{TL}} \ln(S_{21}) \quad (3)$$

여기서 l_{TL} 은 전송선로의 길이이고, 아래첨자 S 는 시뮬레이션을 나타낸다. 이렇게 얻은 측정값(검정)과 시뮬레이션 값(빨강)을, 실수부인 감쇠상수와 허수부인 위상상



(a) 감쇠 상수
(a) Attenuation constant



(b) 위상 상수
(b) Phase constant

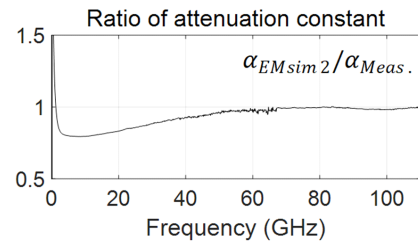
그림 6. 측정 후 mTRL 교정(검정) 및 전자기 시뮬레이션 (빨강)

Fig. 6. mTRL calibration (black) and electromagnetic simulation (red).

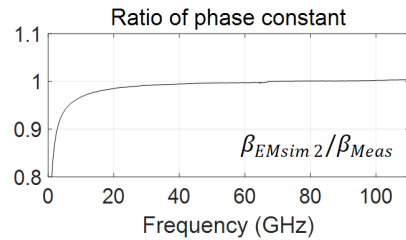
수로 나누어, 그림 6에 나타내었다. EM sim.1은 파운더리 회사에서 제공한 비유전율과 이전 논문^[16]을 참고한 loss tangent 값, 0.002를 이용한 결과이고, EM sim.2는 모든 유전층에 대하여 비유전율은 3 %, loss tangent는 15배를 증가시켜 측정으로 얻은 전파 상수와 매우 근접시킨 결과이다. 차이를 자세히 살펴보기 위하여, EM sim.2와 측정값의 비를 그림 7에 나타내었다. 감쇠상수는 50 GHz 이상에서 일치하였고, 저주파수로 갈수록 값의 차이가 커진다. 위상 상수의 경우도 밀리미터파 대역에서는 거의 일치하는 결과를 보이지만, 저주파수로 갈수록 차이가 급격히 증가한다. 이렇듯, 저주파수 대역에서는 유전체 특성 조절만으로 예측하기 어려운 주변 환경의 영향이 있고, 주파수가 낮아질수록 그 영향은 더 커진다.

저주파수 대역에서 실제 칩 환경을 반영하여 임피던스를 추출하기 위해서는 전파상수의 측정값을 이용하는 전파상수법이 적합하다. 식 (2)를 실수부와 허수부로 나누어 나타내면, 식 (4)와 같이 나타낼 수 있다.

$$Z_0 \sim \frac{\gamma}{j\omega C} = \frac{\beta}{\omega C} - j \frac{\alpha}{\omega C} \quad (4)$$



(a) 감쇠상수
(a) Attenuation constant



(b) 위상상수
(b) Phase constant

그림 7. 측정값과 시뮬레이션 값의 비

Fig. 7. Ratio of measured value and simulated value.

여기서 α 는 전파상수의 실수부, 즉 감쇠상수이고, β 는 전파 상수의 허수부, 즉 위상상수이다. C 는 단위 길이당 캐패시턴스로 본 논문에서는 전송선로의 전자기 시뮬레이션 산란계수와 식 (1), 식 (3), 식 (5)를 이용하여 도출하였다.

$$C = \text{imag}\left(\frac{\gamma_S}{Z_{0,S}}\right) \frac{1}{\omega} = \text{imag}\left(\frac{\alpha_S + j\beta_S}{Z_{0,S}}\right) \frac{1}{\omega} \quad (5)$$

이전 논문^[16]에서는 마이크로스트립라인 구조에 단층 구조로 전송선로의 치수를 이용하여 C 의 간단한 수식적 계산이 가능했지만, 본 논문에서 다루는 칩 기판은 다층 구조이고, 임베디드 마이크로스트립 라인의 복잡한 기판 구조로 이루어져 있어 전자기 시뮬레이션을 활용했다. C 를 구할 때, 식 (5)에서 $\frac{\gamma_S}{Z_{0,S}}$ 의 허수부만 관여를 하고, $Z_{0,S}$ 의 허수부는 작은 값을 갖기 때문에^[11], γ_S 실수부인 감쇠상수 α_S 의 영향은 거의 나타나지 않는다. EM sim. 2의 결과에서 감쇠상수를 두 배 변화시켜도 C 의 값은 0.1 %만 변함을 확인하였다. 전자기 시뮬레이션에서 나타나는 감쇠량의 측정값과의 차이는 무시할 수 있다. 위상 상수 β_S 는 값이 증가할 때 $Z_{0,S}$ 를 감소시켜 C 에 더 큰 영향을 준다. EM sim.1과 EM sim. 2로 얻은 C 값을 그림 8에 나타내었다. 전 주파수 대역에서 대체적으로 평탄한 특성을 가지지만, 높은 주파수에서 감소하는 경향을 나타내는 것은 전송선로의 길이가 $\lambda/2$ 정수배가 될 때마다 나타나는 공진현상이 원인으로, 그림 9(a)에 보여지 듯 $Z_{0,S}$ 실수부의 증가가 약하게 나타나기 때문이다. 이 영향을 최소화하기 위해 평탄한 특성을 가지는 50 GHz에서의 C 값을 이용하였다. EM sim. 2로 얻은 C 값은 1.395 pF/cm로 EM sim.1의 결과인 1.355 pF/cm로 2.8 % 정도의 차이를

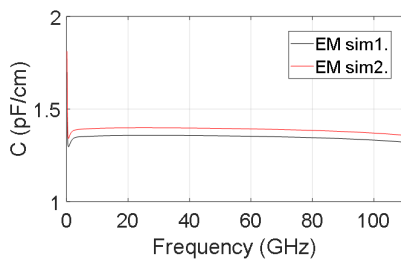


그림 8. 단위 길이 당 캐패시턴스
Fig. 8. Capacitance per unit length.

보인다.

전자기 시뮬레이션으로 얻은 C 와 식 (4)를 이용해서 계산한 특성 임피던스를 식 (1)을 이용해서 계산한 결과와 함께 그림 9에 도시했다. 비유전율을 조절하기 전 EM sim.1에 비해 EM sim.2의 결과는 실수부에서 0.7 Ω의 차이를 보인다. 빨간 선은 각각의 기판 정보를 이용해서 전자기 시뮬레이션을 통해 산란계수를 얻고, 식 (1)을 이용해서 얻은 특성 임피던스이다. 그림 9(a)에 나타나듯이, 식 (4)를 이용한 특성 임피던스 실수부는 식 (1)을 사용한 결과에 비해 저주파수 대역에서 변화가 완만하고, 고주파수 대역에서 평탄한 특성을 보인다. 그림 7 (b)에서 위상 상수의 측정값이 저주파수 부근에서 나타났던 차이가 위상상수에 민감한 특성 임피던스 실수부를 계산할 때 반영되어 개선된 것으로 볼 수 있다. 식 (1)을 이용한 결과가 주파수가 올라가면서 증가하는 것은 앞서 C 에서도 설

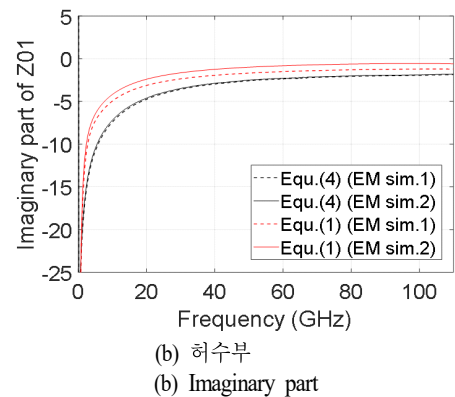
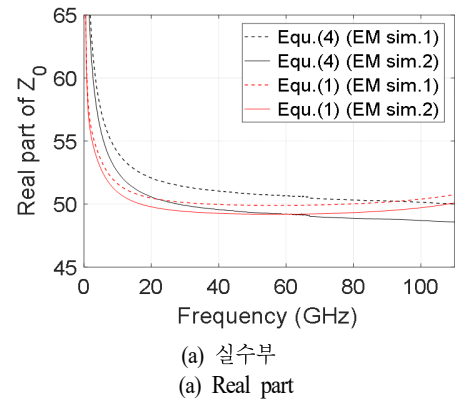


그림 9. 특성 임피던스
Fig. 9. Characteristic impedance.

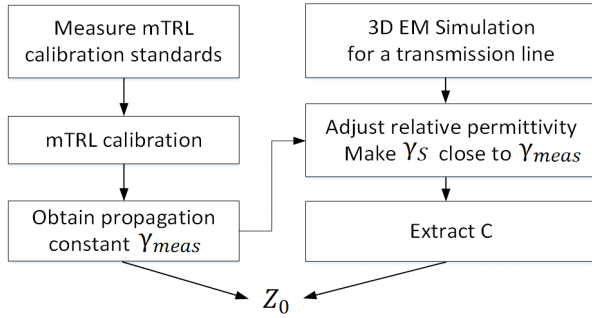


그림 10. 제안한 특성임피던스 추출 방식
Fig. 10. Proposed method for determining characteristic impedance.

명한 바와 같이, 전송선로의 길이가 $\lambda/2$ 정수배가 될 때 마다 나타나는 공진현상이 원인으로 길이에 따라 조금씩 다른 결과를 보인다. 위상상수 측정값을 이용한 결과는 전송선로의 길이에 대한 영향 없이, 높은 주파수 대역에서 일정한 값을 나타낸다. 그림 9(b)는 특성 임피던스의 허수부로 식 (4)에서 확인할 수 있듯이 감쇠상수에 큰 영향을 받는다. 허수부도 측정값을 반영함으로써 저주파수로 갈수록 값의 차이가 크게 나타남을 확인할 수 있다. 이 차이로 개선된 결과는 다음 장의 재정규화된 산란계수를 살펴보면서 확인할 수 있다.

이 장에서는 전파상수의 측정값을 이용하고, 비유전율이 조절된 기판정보를 이용하여 전송선로의 단위길이당 캐패시턴스를 사용해서 특성 임피던스를 계산하는 방식을 제안하였다. 이 방식의 순서도를 그림 10에 나타내었다.

IV. 산란계수의 임피던스 재정규화

앞 장에서 구한 특성 임피던스를 이용하여 측정 시료의 산란계수를 재정규화하였다. 측정 시료로 사용한 트랜지스터 게이트의 길이와 넓이는 각각 28 nm, 20 μm 이고, 게이트 및 드레인 전압으로 모두 1 V를 인가해 주었다. 측정은 Keysight PNA N5247A를 이용하였고, mTRL 교정은 Wincal 소프트웨어를 이용하였다. 재정규화는 식 (5)를 이용하였다^{[18],[19]}.

$$S' = S - (I + S)G(1 - S \cdot G)^{-1}(1 - S) \quad (5)$$

S' 는 50 Ω 기준 산란계수, S 는 LINE 표준기 임피던스 기준 산란계수, I 는 단위행렬 (n 포트 일 경우, $n \times n$)이다. G 는 식 (7)로 얻은 반사계수의 대각행렬로 식 (6)과 같이 나타낼 수 있으며, 포트 별로 다른 반사계수를 설정할 수 있다. 여기서는 동일하다고 가정하였다.

$$G = \begin{bmatrix} \Gamma_1 & 0 \\ 0 & \Gamma_2 \end{bmatrix} \quad (6)$$

$$\Gamma_1 = \Gamma_2 = \frac{Z_0 - 50}{Z_0 + 50} \quad (7)$$

재정규화를 통해 얻은 게이트-드레인 종단에서 바라본 트랜지스터의 S_{11} 과 S_{21} 의 크기를 그림 11에 나타내었다. Off-chip 교정으로 이용하는 Impedance Standard Substrate (ISS)의 SHORT-OPEN-LOAD-THRU (SOLT) 교정을 이용해서 칩을 측정 한 결과도 함께 도시하여 저주파

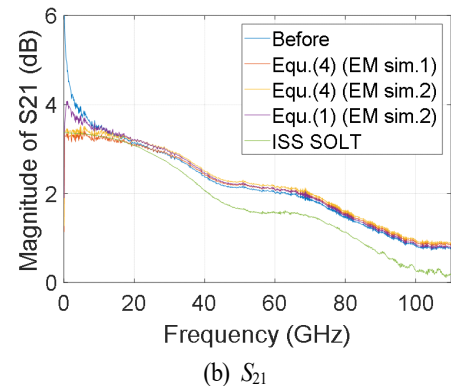
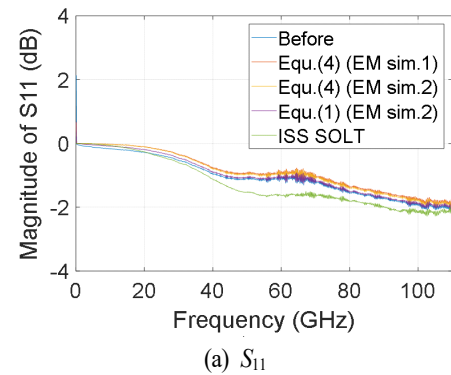


그림 11. 임피던스 재정규화를 통해 얻은 트랜지스터 크기
Fig. 11. Magnitude of the transistor after impedance renormalization.

대역 결과의 기준으로 삼았다. 그림 11(a)의 S_{11} 의 크기는 크게 차이가 나타나지 않으나, 그림 11(b)의 S_{21} 결과는 저주파 구간에서는 특성임피던스에 따라 차이가 크게 나타남을 보여준다. 특히, 식 (1)로부터 구한 특성 임피던스를 이용한 결과(보라)는 ISS SOLT 결과로부터 많이 벗어난다. 앞서 살펴본 바와 같이 간략화한 시뮬레이션 환경이 저주파수대역에서 전송선로의 특성을 정확히 예측하기 어려움을 보여준다. 이와 다르게 전파상수의 측정값과 식 (4)를 이용해서 구한 특성 임피던스를 이용한 결과(주황, 노랑)는 ISS SOLT 결과와 거의 일치하는 결과를 보여준다. 이것은 전파상수 실제 측정값이 반영되어, 저주파수 대역의 특성 임피던스가 바르게 얻어졌음을 보여준다.

실제 전파 상수와 유사한 값을 얻기 위해 비유전율을 조절해서 얻은 EM sim.2의 결과는 ISS SOLT의 S_{21} 보다 조금 더 큰 값을 나타낸다. 이것은 칩 상의 패드로부터 게이트-드레인 종단까지 이르는 전송선로의 손실이 제거함으로써 얻을 수 있는 합당한 결과로 EM sim.1의 결과보다 개선된 결과임을 확인할 수 있다.

V. 트랜지스터 고유 특성 추출

트랜지스터 고유 특성을 추출하기 위해서 한 가지 디임베딩 방식을 더 적용하였다. OPEN- SHORT 디임베딩 방식^[1]으로 mTRL 교정 기준면으로부터 평가하고자 하는 트랜지스터의 도체판 층까지 이어진 access line에 대하여 추가 디임베딩을 수행함으로써, 주변 메탈을 제외한 트랜지스터 고유특성을 더욱 가깝게 얻을 수 있다^[6]. 추가로 제작한 OPEN, SHORT 측정 시료에 대해서도 동일한 특성 임피던스를 이용하여 산란계수의 임피던스를 재정규화 하였다. 그리고 식 (8)을^[1] 이용하여 추가 디임베딩한 어드미턴스 Y^{OS} 를 얻었다.

$$Y^{OS} = ((Y^{DUT} - Y^{OPEN})^{-1} - (Y^{SHORT} - Y^{OPEN})^{-1})^{-1} \quad (8)$$

여기서 Y^{DUT} , Y^{OPEN} , Y^{SHORT} 는 각각 트랜지스터, OPEN, SHORT 측정 시료의 산란계수로부터 얻은 어드미턴스이다. 이후, 식 (9)를 이용하여 트랜지스터 등가 모델의 대표적인 파라미터들의 근사치를 계산하였다^{[20]~[22]}.

$$\begin{aligned} C_{gs} &\approx \frac{\text{Im}(Y_{12}^{OS} + Y_{11}^{OS})}{\omega} \\ R_{in} &\approx \text{Re}(h_{11}) \equiv \text{Re}\left(\frac{1}{Y_{11}^{OS}}\right) \\ g_{ds} &\approx \text{Re}(Y_{22}^{OS}) \\ C_{dg} &\approx -\frac{\text{Im}(Y_{12}^{OS})}{\omega} \\ C_{ds} &\approx \frac{\text{Im}(Y_{22}^{OS} + Y_{21}^{OS})}{\omega} \\ g_m &\approx \text{Re}(Y_{21}^{OS}) \end{aligned} \quad (9)$$

제안한 방식으로 얻은 임피던스를 이용한 결과를 그림 12에 검정 실선으로 나타내었다. 이 파라미터들은 트랜지스터의 고유특성으로 주파수의 의존도가 낮아, 주파수 전 영역에서 평탄한 특성을 갖는다. 본 논문에서는 트랜지스터 finger를 구성하는 메탈과 이를 합쳐서 게이트/드레인의 한 터미널로 연결하는 메탈층이 포함되었기 때문에, 평탄성이 깨어지는 구간이 있지만, 대체적으로 일정한 값을 나타낸다. 검정 점선은 기관의 유전정보를 보정하기 전의 값으로, 보정 후 C_{gs} 와 C_{dg} 에서 5 % 정도의 개선효과를 얻었다. 빨간 점선은 EM sim.1의 산란계수를 이용해 식 (1)로 구한 임피던스를 이용했을 때의 결과를 나타낸다. 기준 값에서 벗어났던 산란계수의 결과로부터 예측할 수 있듯이 밀리미터파 대역에서는 큰 차이가 나지 않지만, 저주파수 대역에서는 그 차이가 급격히 증가한다.

VI. 결 론

본 논문에서는 CMOS 28 nm 칩 상의 트랜지스터를 평가하기 위한 mTRL 교정을 위한 교정 표준기를 설계하였다. mTRL 교정으로 측정한 트랜지스터 산란계수를 LINE 표준기의 특성 임피던스에서 50 Ω 으로 재정규화하기 위하여 LINE 표준기 특성 임피던스를 추출하였다. 기존의 전파상수 법을 이용하였고, 단위 길이 당 캐패시턴스를 전자기 시뮬레이션을 이용하여 계산하였다. 이 논문에서는 파운더리에서 제공받은 기관의 유전정보를 그대로 이용하지 않고, 측정값으로 얻은 전파상수에 맞춰 기관의 유전정보를 보정하였다. 수정된 기관을 이용하여 얻은 전자기 시뮬레이션 결과로부터 단위 길이 당 캐패시턴스를

(a) C_{gs} (b) C_{dg} (c) R_{in} (d) g_m (e) g_{ds} (f) C_{ds}

그림 12. 트랜지스터 고유 특성 값

Fig. 12. Transistor intrinsic properties.

얻었고, 이 값으로부터 얻은 특성 임피던스를 이용하여 재정규화된 산란계수의 결과에서 개선된 결과를 얻었다. 본 논문에서 이용한 CMOS 28 nm 공정은 비유전을 평가가 잘 되어 있어 큰 보정이 이뤄지지 않았지만, 공정에 따라 큰 개선도 가능할 것으로 예상된다.

또한, 전자기 시뮬레이션과 식 (1)로 부터 얻은 특성 임피던스를 이용한 결과와도 비교하였다. 간략화한 시뮬레이션 환경이 저주파수 대역에서 그 영향이 커져, 임피던스를 제대로 예측하지 못하였다. 이 방식은 이전 논문^[11]에서 밀리미터파대역의 특성 임피던스 추출 방식으로 제안되었지만, 저주파수의 한계를 보여주지는 않았다. 본 논문에서는 그 한계를 산란계수뿐 아니라, 고유특성에서도 어떻게 나타나는지를 보여주었다.

References

- [1] L. F. Tiemeijer, R. J. Havens, A. B. M. Jansman, and Y. Bouttement, "Comparison of the 'pad-open-short'; and 'open-short-load' deembedding techniques for accurate on-wafer RF characterization of high-quality passives," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 2, pp. 723-729, Feb. 2005.
- [2] X. S. Loo, K. W. J. Chew, K. S. Yeo, M. Z. Win, and C. C. Boon, "A hybrid pad-line-finger de-embedding technique for broadband modeling of CMOS transistor," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 7, pp. 507-509, Jul. 2016.
- [3] A. M. Mangan, S. P. Voinigescu, M. T. Yang, and M. Tazlauanu, "De-embedding transmission line measurements for accurate modeling of IC designs," *IEEE Transactions on Electron Devices*, vol. 53, no. 2, pp. 235-241, Feb. 2006.
- [4] D. F. Williams, A. C. Young, and M. Urteaga, "A prescription for sub-millimeter-wave transistor characterization," *IEEE Transactions on Terahertz Science and Technology*, vol. 3, no. 4, pp. 433-439, Jul. 2013.
- [5] H. Kim, J. Kim, and Y. Eo, "Broadband thin-film transmission-line characterization for accurate high-frequency measurements of on-wafer components," *IEEE Transac-*

- tions on *Microwave Theory and Techniques*, vol. 64, no. 3, pp. 931-938, Mar. 2016.
- [6] D. F. Williams, P. Corson, J. Sharma, H. Krishnaswamy, W. Tai, and Z. George, et al., "Calibrations for millimeter-wave silicon transistor characterization," *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 3, pp. 658-666, 2014.
- [7] L. Galatro, A. Pawlak, M. Schroter, and M. Spirito, "Capacitively loaded inverted CPWs for distributed TRL-based de-embedding at (sub) mm-waves," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 12, pp. 4914-4924, Dec. 2017.
- [8] S. Fregonese, M. Deng, M. Potereau, C. Ayela, K. Aufferinger, and T. Zimmer, "On-wafer characterization of silicon transistors up to 500 GHz and analysis of measurement discontinuities between the frequency bands," *IEEE Transactions on Microwave Theory and Techniques*, vol. 66, no. 7, pp. 3332-3341, Jul. 2018.
- [9] D. F. Williams, J. Cheron, B. Jamroz, and R. Chamberlin, "On-wafer transistor characterization to 750 GHz - The approach, results, and pitfalls," in *2018 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, San Diego, CA, 2018, pp. 1-5.
- [10] D. F. Williams, P. Corson, J. Sharma, H. Krishnaswamy, W. Tai, and Z. George, et al., "Calibration-kit design for millimeter-wave silicon integrated circuits," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 7, pp. 2685-2694, Jul. 2013.
- [11] L. Galatro, M. Spirito, "Millimeter-wave on-wafer TRL calibration employing 3-D EM simulation-based characteristic impedance extraction," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 4, pp. 1315-1323, Apr. 2017.
- [12] D. F. Williams, R. B. Marks, "Accurate transmission line characterization," *IEEE Microwave and Guided Wave Letters*, vol. 3, no. 8, pp. 247-249, Aug. 1993.
- [13] D. F. Williams, U. Arz, and H. Grabinski, "Characteristic-impedance measurement error on lossy substrates," *IEEE Microwave and Wireless Components Letters*, vol. 11, no. 7, pp. 299-301, Jul. 2001.
- [14] R. B. Marks, D. F. Williams, "Characteristic impedance determination using propagation constant measurement," *IEEE Microwave and Guided Wave Letters*, vol. 1, no. 6, pp. 141-143, Jun. 1991.
- [15] D. F. Williams, R. B. Marks, "Transmission line capacitance measurement," *IEEE Microwave and Guided Wave Letters*, vol. 1, no. 9, pp. 243-245, Sep. 1991.
- [16] U. Arz, "Microwave substrate loss tangent extraction from coplanar waveguide measurements up to 125 GHz," in *83rd ARFTG Microwave Measurement Conference*, Tampa, FL, 2014, pp. 1-3.
- [17] R. B. Marks, "A multilane method of network analyzer calibration," *IEEE Transactions on Microwave Theory and Techniques*, vol. 39, no. 7, pp. 1205-1215, Jul. 1991.
- [18] J. C. Tippet, R. A. Speciale, "A rigorous technique for measuring the scattering matrix of a multiport device with a 2-port network analyzer," *IEEE Transactions on Microwave Theory and Techniques*, vol. 30, no. 5, pp. 661-666, May 1982.
- [19] H. Dropkin, "Comments on 'A rigorous technique for measuring the scattering matrix of a multiport device with a two-port network analyzer'," *IEEE Transactions on Microwave Theory and Techniques*, vol. 31, no. 1, pp. 79-81, Jan. 1983.
- [20] D. Lovelace, J. Costa, and N. Camilleri, "Extracting small-signal model parameters of silicon MOSFET transistors," in *1994 IEEE MTT-S International Microwave Symposium Digest*, San Diego, CA, 1994, vol. 2, pp. 865-868.
- [21] S. H. M. Jen, C. C. Enz, D. R. Pehlke, M. Schroter, and B. J. Sheu, "Accurate modeling and parameter extraction for MOS transistors valid up to 10 GHz," *IEEE Transactions Electron Devices*, vol. 46, no. 11, pp. 2217-2227, Nov. 1999.
- [22] J. Jang, R. W. Dutton, "Small-signal modeling of RF

CMOS," in *Simulation of Semiconductor Processes and*

Devices 2004, Vienna, Springer, pp. 371-374, 2004.

구 현 지 [한국표준과학연구원/선임연구원]

<https://orcid.org/0000-0002-8337-1821>



2008년 2월: 한국과학기술원 전기 및 전자
공학과 (공학사)

2015년 2월: 한국과학기술원 전기 및 전자
공학과 (공학박사)

2015년 3월~8월: 한국과학기술원 전기 및
전자공학과 연구 연구원

2015년 9월~현재: 한국표준과학연구원 전

자기표준센터 선임연구원

2018년 4월~7월: 영국 국립물리연구소 (NPL) 객원연구원

[주 관심분야] 전자파 임피던스 측정 표준, 반도체 측정, 초고
주파 회로 설계

홍 성 철 [한국과학기술원/교수]

<https://orcid.org/0000-0002-3675-1565>



1982년 2월: 서울대학교 전자과 (공학사)

1984년 2월: 서울대학교 전자과 (공학석
사)

1989년 4월: The University of Michigan 전
기과 (공학박사)

1989년 5월~현재: 한국과학기술원 전기
및 전자공학부 교수

[주 관심분야] 밀리미터파 전치단 칩 설계, 밀리미터파 통신,
레이다

홍 영 표 [한국표준과학연구원/선임연구원]

<https://orcid.org/0000-0002-2970-041X>



2011년 2월: 연세대학교 전기 및 전자공학
과 (공학박사)

2011년 11월~2013년 10월: University of
California San Diego 박사후연구원

2013년 11월~현재: 한국표준과학연구원
전자자기표준센터 선임연구원

[주 관심분야] 전자파 임피던스 측정 표

준, 반도체 측정, 광-전자파 융합기술, 고출력/고효율/광대역
전력증폭기 개발, mm-Wave 소자 및 회로

김 완 식 [LIG넥스원/수석연구원]

<https://orcid.org/0000-0002-2198-8754>



1991년 2월: 건국대학교 전자공학과 (공학사)

1993년 2월: 건국대학교 전자공학과 (공학석
사)

2004년 2월: 건국대학교 정보통신공학과
(공학박사)

1992년 11월~2001년 11월: (주)대우전자
선임연구원

2001년 12월~2005년 7월: 고등기술연구원 수석연구원

2005년 8월~현재: LIG 넥스원 수석연구원

[주 관심분야] 초고주파 회로설계, 밀리미터파 시스템 및
MMIC, 레이더 및 각종 센서 시스템

이 승 경 [한국과학기술원/박사과정]

<https://orcid.org/0000-0002-0932-1666>



2016년 2월: 한국과학기술원 전기 및 전자
공학과 (공학사)

2018년 2월: 한국과학기술원 전기 및 전자
공학과 (공학석사)

2018년 3월~현재: 한국과학기술원 전기
및 전자공학과 박사과정

[주 관심분야] 초고주파 회로 설계 고주

파 회로 설계, 반도체 측정, CMOS 소자 디임베딩

김 소 수 [국방과학연구소/책임연구원]

<https://orcid.org/0000-0002-1110-7896>



1993년 2월: 경북대학교 전자공학과 (공학
사)

1996년 2월: 경북대학교 전자공학과 (공학
석사)

2014년 2월: 충남대학교 전파공학과 (공학
박사)

1996년 1월~현재: 국방과학연구소 3본부

3부 책임연구원

[주 관심분야] 마이크로웨이브 탐색기 시스템 개발