

## 이동체 탐지를 위한 동기화 구조의 7~9 GHz CMOS UWB 레이더 송수신기

### Coherent 7~9 GHz CMOS UWB Radar Transceiver for Moving Target Detection

유준영 · 박병규 · 김상균\* · 정승환\* · 어윤성

Jun-young Yoo · Byeong-gyu Park · Sang-gyun Kim\* · Seung-hwan Jung\* · Yun-seong Eo

#### 요 약

이 논문에서는,  $0.13\mu\text{m}$  CMOS 공정을 이용한 사람을 탐지를 위해 완전히 집적된 7~9 GHz UWB 레이더 센서를 제안한다. 고해상도와 긴 탐지범위를 위해, 수신기는 등가 시간 샘플링 기법과 기준 local oscillator를 사용하는 하향 주파수 혼합기를 적용하였다. 또한, 반송파 기반 송신기는 중심주파수와 대역폭을 디지털적으로 가변이 가능하다. 사람 탐지 범위는 최대 5.7 m로 예상된다. 칩의 크기는  $2.8\times 2\text{ mm}^2$ 이고, 공급전압이 1.2 V일 때, 96 mW의 전력을 소모한다.

#### Abstract

In this paper, a fully integrated 7~9 GHz UWB radar sensor to detect moving targets is presented using the  $0.13\mu\text{m}$  CMOS technology. For achieving a high resolution and long detection range, a receiver using the equivalent time sampling method and a mixer with reference LO are adopted. Furthermore, a carrier-based transmitter can be used to digitally tune the center frequency and bandwidth. The expected target detection range is up to 5.7 m. The chip size is  $2.8\times 2\text{ mm}^2$ , and the power consumption is 96 mW at 1.2 V supply voltage.

Key words: UWB Radar IC, Coherent Radar, CMOS Radar, Carrier-Based Impulse Generator

#### I. 서 론

최근 이동체 감시와 탐지를 위한 저전력, 소형의 레이더 센서의 급증하는 수요로 단일칩으로 집적된 초광대역 (ultra-wide band: UWB) 레이더 IC(Integrated Circuit) 솔루션에 관심이 높아지고 있다. 3~5 GHz의 낮은 UWB 대역과 비교하여, 6~10 GHz의 높은 대역은 더 작은 안테나

및 소형의 센서 모듈 구현이 가능한 이점을 가지고 있으며, 상용 이동통신 주파수와와의 간섭요인이 거의 없다. 그러나 경로손실이 주파수의 제곱에 비례하고 거리의 4제곱에 비례하는 특성상 주파수가 2배가 되면 손실이 4배가 되어 탐지거리는  $\sqrt{2}$  배 짧아지는 결과가 나온다. 이처럼 주파수가 높아짐에 따라 감쇄가 심해지고, 탐지거리도 줄어드는 문제를 해결하여 높은 주파수에서도 충

「이 연구는 민·군기술협력사업(Civil-Military Technology Cooperation Program)의 지원으로 연구되었음.」

「이 연구는 2019년도 산업통상자원부 및 산업기술평가관리원(KEIT) 연구비 지원에 의한 연구임(20004325).」

광운대학교 전자공학과(Department of Electronic Engineering, Kwangwoon University)

\*실리콘 R&D(Silicon R&D)

· Manuscript received September 26, 2019 ; Revised October 28, 2019 ; Accepted November 26, 2019. (ID No. 20190926-092)

· Corresponding Author: Yun-seong Eo (e-mail: yseo71@kw.ac.kr)

분한 탐지거리를 확보하기 위해 본 연구에서는 LO(Local Oscillator)를 이용한 mixer기반 레이더 수신기를 제안하여 적용하였다.

이전의 self-mixing을 사용하는 포락선 검출 방식은 구현이 비교적 쉽지만, 입력 전력이 작은 구간에서의 변환 이득이 매우 낮은 수준이다. 시뮬레이션을 통해 비교한 결과인 그림 1을 보면 낮은 수신기 입력 영역에서 LO-mixer를 이용한 구조가 이전의 self mixing 방식의 포락선 검출 구조보다 변환이득이 훨씬 크기 때문에 작은 수신입력에도 수신기 출력에서 충분한 SNR(Signal to Noise Ratio)을 확보할 수 있어 결과적으로 탐지 가능한 거리가 크게 향상된다<sup>[1][2]</sup>. 수 cm의 고해상도 달성을 위해 등가 시간 샘플링(equivalent time sampling: ETS) 기법을 채택하였으며, 10 MHz의 저속의 샘플링 clock을 이용하여 등가적으로 고속의 샘플링 데이터를 얻었다. ETS 방식은 10 MHz의 crystal clock에 동기화된 DLL(Delay Locked Loop) 회로에서 PRI(Pulse Repetition Interval)인 100 ns 주기와 0.5 ns의 시간 간격을 가진 200개의 clock들을 생성한다. 이 경우, 100 ns 주기이므로 15 m의 탐지거리를 갖게 되고, 7.5 cm의 분해능을 갖게 된다. 기준이 되는 clock을 6-bit ADC의 샘플링 clock으로 사용하며, 송신기의 clock의 경우 200개의 clock을 순서대로 이동시켜 사용하므로 송신과 수신 clock간의 시간간격이 거리에 해당하여 200개의 탐지거리에서 샘플링 데이터를 얻게 된다<sup>[3][4]</sup>.

Carrier 기반 송신기는 10 MHz의 기준 클럭을 DLL 회

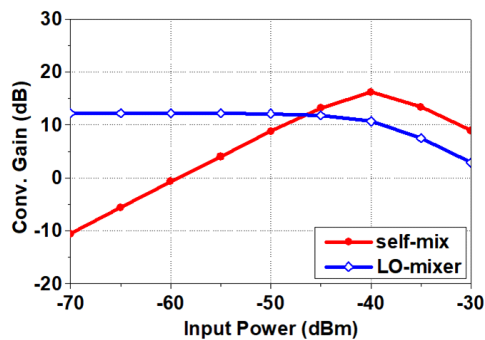


그림 1. 수신기 입력기준 self-mixing과 LO mixer 구조의 입력전력 대비 변환 이득 비교

Fig. 1. Comparison of conversion gain vs Rx input power of self-mixing and LO mixer topology.

로에서 공급받아 짧은 펄스를 생성하는 pulse generator와 펄스의 모양을 변형하는 pulse shaper를 포함한다. 수신기의 구조는 송신기와 동일한 국부 발진기를 사용하는 direct conversion 수신기 구조를 채택했다. 동일한 LO를 사용함으로써 이전 포락선 검출구조 방식의 수신기와 비교할 때, 위상 정보뿐만 아니라 개선된 수신기의 이득과 확장된 탐지거리를 얻을 수 있다<sup>[2]</sup>.

## II. UWB 레이더 송수신기 설계

그림 2는 본 논문에서 제안하는 7~9 GHz에서 동작하는 LO mixer를 수신부에 적용한 UWB 레이더 IC의 블록 다이어그램이다. 송수신 사이의 시간 간격이 PRI인 100 ns 미만으로 매우 짧기 때문에, 위상 잡음에 의한 영향이 송신펄스와 수신 LO간의 차이는 거의 없다. 따라서 PLL (Phase Locked Loop)을 사용하지 않은 VCO(Voltage Controlled Oscillator)만 사용하여도 주파수 하향 변환기의 국부 발진 신호 LO는 수신된 신호의 위상과 거의 일치하므로 최종 수신파형이 위상차에 의해 시간에 따라 변하는 현상을 막을 수 있고, 높은 이득, 위상정보를 갖는 안정된 출력 파형을 생성할 수 있다. 송신기는 수신기와 전압 제어 발진기를 공유하는 반송파 기반 impulse generator를 포함한 구조이다.

### 2-1 UWB 레이더 수신기 설계

그림 3은 등가 시간 샘플링 기술을 사용하는 UWB 레

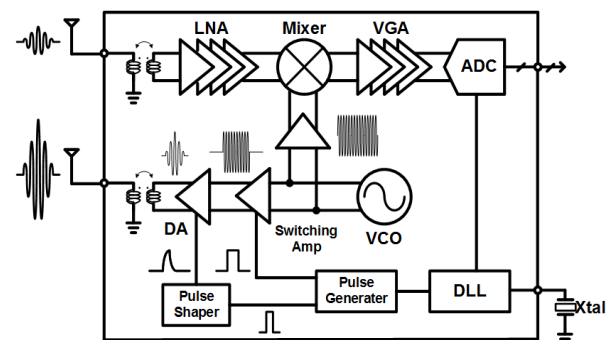


그림 2. 제안된 UWB 레이더 IC의 블록 다이어그램

Fig. 2. Proposed block diagram of UWB sensor IC.

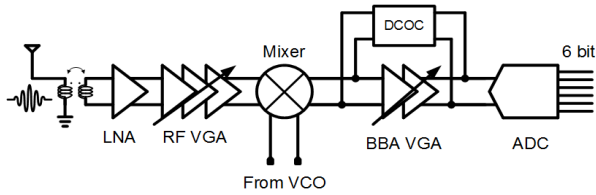


그림 3. 전체 수신기의 구조

Fig. 3. Overall receiver architecture.

이더 센서 IC의 전체 블록 다이어그램을 보여준다. 이 수신기는 저잡음 증폭기, RF 가변이득 증폭기, 주파수 하향 변환기, 기저대역부(base band analog: BBA)의 가변 이득 증폭기, 아날로그-디지털 변환기로 구성된다. 내부에 집적되어 있는 balun은 안테나에서 수신된 single ended 신호를 차동 신호로 변환하는 역할을 한다. 그림 4는 첫 번째 단의 저잡음 증폭기의 구조를 나타내고 있다.

차동 신호의 capacitive cross coupled 방식을 이용한 공통 게이트 증폭기의 구조를 갖고 있으므로, 일반적인 공통 소스 증폭기보다 상대적으로 낮은 입력 임피던스와 큰 trans-conductance로 인하여 쉬운 입력 정합과 큰 전압 이득을 갖는 구조이다. 또한, 차동 신호의 capacitive cross coupled 구조로 인하여 차동 신호의 진폭 및 위상 부정합

을 감소시키는 역할을 한다. RF 가변이득 증폭기는 이득 조정을 위한 병렬스위치를 출력단에 포함하며, 광대역 특성을 위하여 cascode 증폭기 출력에 inductive shunt peaking을 사용한다. 저잡음 증폭기를 포함한 RF 가변이득 증폭기의 이득 가변범위는 7.9~36.3 dB이다. 주파수 하향 변환기는 double balanced Gilbert cell 구조이며, 주파수 하향 변환기의 출력은 TIA(Trans-Impedance Amplifier)를 통해 21.8 dB의 변환 이득을 갖는다. 추가적으로 국부 발진 신호가 주파수 하향 변환기 자체의 기생 성분 때문에 RF 입력 신호로 들어가는 self mixing으로 인하여 생기는 DC 오프셋을 제거하는 회로를 추가하였다. 다만 BBA 가변 이득 증폭기는 광대역의 신호를 증폭하기 위하여 공통 소스 증폭기 구조를 사용하였다. 모든 analog부의 회로들은 CMFB(Common Mode Feedback) 회로를 가지고 있으며, 이는 다음 단의 입력 바이어스를 잡아주는 역할과 mismatch 등으로 출력단 DC 전압이 편향되는 문제를 해결하고, 0.5  $V_{DD}$ 의 안정된 전압 바이어스를 보장해 준다. BBA 가변이득 단계에서도 주파수 하향 변환기와 마찬가지로 DC 오프셋 제거 회로를 추가하였다. BBA 가변이득 증폭기의 이득 가변 범위는 0.2~23.5 dB이며, 5.8 dB 단계로 변환이 가능하다. 주파수 하향 변환기와 BBA 가변이득 증폭기는 최대  $\pm 320$  mV의 DC 오프셋을 제거할 수 있다. 6-bit의 아날로그-디지털 변환기 또한 집적되어 있으므로 외부 보드를 통해 고속의 아날로그 신호가 전달되지 않고 칩 내부에서 BBA와 ADC간 신호전달이 이루어질 수 있으며, 외부의 소자를 최소화하여 전체 모듈 크기를 소형화 하였다.

## 2-2 UWB 레이더 송신기 설계

UWB 레이더 송신기의 구조는 그림 5에 표현되어 있다. 송신기는 버퍼 증폭기(buffer amplifier)와 pulse generator, pulse shaper, 출력 드라이버 증폭기(output driver amplifier), VCO를 포함하고 있다. 첫 번째 버퍼 증폭기는 VCO의 출력에 연결된 회로에 의한 로딩에 의해 VCO의 성능과 주파수가 편이 되는 문제를 해결하고, UWB 신호를 생성하기 위한 스위칭 증폭기의 영향을 줄이기 위해 사용되었다. 두 번째 단의 스위칭 증폭기는 그림 6에 표현되어 있다.

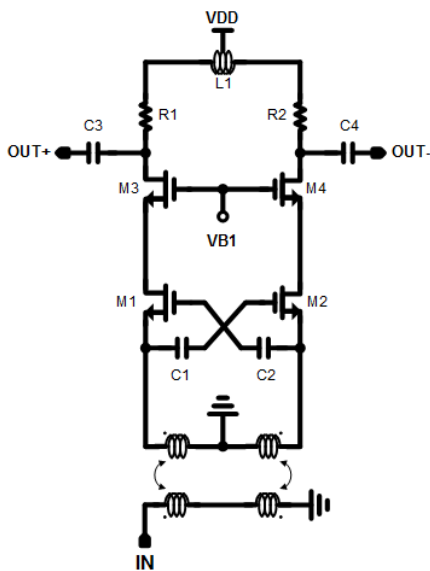


그림 4. 저잡음 증폭기 회로도

Fig. 4. Low-noise amplifier circuit.

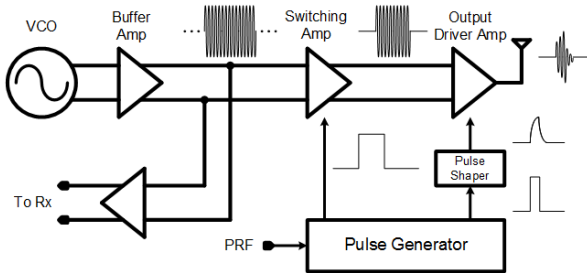


그림 5. 반송파 기반 UWB pulse generator  
Fig. 5. Carrier-based UWB pulse generator.

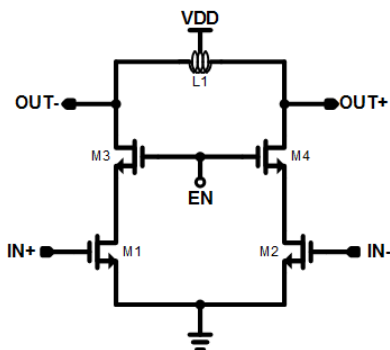


그림 6. 두 번째 단 스위칭 증폭기 회로도  
Fig. 6. Second stage switching amplifier circuit.

수 ns의 펄스를 100 ns의 PRI로 송신하는 UWB 레이더의 원리상 전력소모가 많은 송신부의 구동증폭기들은 항상 동작하지 않고 임펄스가 방사되는 시간 구간에서만 켜져 있게 해서 저전력 특성을 개선할 수 있다. 따라서 두 번째 단인 스위칭 증폭기는 항상 동작하지 않고 제어신호에 의해 수 ns 미만의 시간 동안만 동작을 하도록 cascode 상단 트랜지스터의 게이트 바이어스를 스위칭하여, 불필요한 시간 동안에 낭비되는 전력 소모를 획기적으로 줄였다. Pulse generator는 DLL에서 받은 10 MHz의 clock을 사용하여 최종적인 임펄스의 UWB 신호를 생성하기 위한 두 가지 짧은 펄스를 생성하며, 두 번째 단인 스위칭 증폭기와 출력 드라이버 증폭기를 스위칭한다. Pulse generator에서 생성하는 출력 드라이버 증폭기의 스위칭 펄스는 가변 가능한 RC time constant에 의한 삼각형 모양의 제어 펄스신호를 만들고, 이를 출력 드라이버 증폭기에서 cascode 단의 게이트 바이어스로 입력하여 pulse shaping 기능을 하여 최

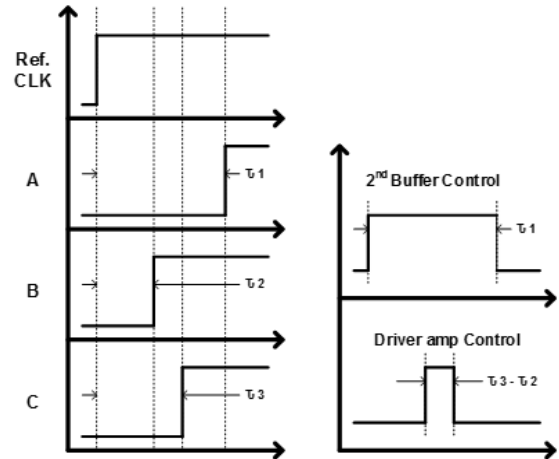


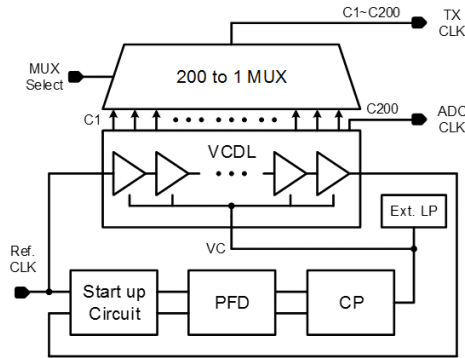
그림 7. Pulse generator 타이밍 다이어그램  
Fig. 7. Pulse generator timing diagram.

종적으로 삼각형 모양의 포락선을 갖는 UWB 신호를 생성한다.

Pulse generator 회로는 가변 전압제어 지연 라인(voltage controlled delay line: VCDL)과 MUX(multiplexer)를 이용하여 인버터(inverter) 체인의 수를 조정하여 제어신호를 가변할 수 있도록 구현되었다. 그림 7과 같이 지연된 신호 A, B, C를 이용하여  $\tau_1$ 의 펄스폭을 갖는 두 번째 스위칭 증폭기의 제어신호와  $\tau_3 - \tau_2$ 의 펄스폭을 갖는 출력 드라이버 증폭기의 제어신호를 생성한다. 출력 드라이버 증폭기 제어신호의 펄스폭은 0.5~2 ns 범위에서 가변이 가능하며, 이는 UWB 출력 신호의 대역폭을 2~0.5 GHz로 가변이 가능하다는 것을 의미한다. 또한 pulse shaper를 통해 출력 드라이버 증폭기의 제어 신호를 변형하여 전압의 상승시간과 하강 시간을 삼각과 형태의 포락선으로 만들어 주어 결과적으로 출력되는 UWB 신호의 sidelobe 크기를 줄이는 역할을 한다<sup>[5],[6]</sup>. 송신기의 중심주파수 가변 범위는 7.1~10.2 GHz이며, 대역폭 가변 범위는 0.5~2 GHz이다.

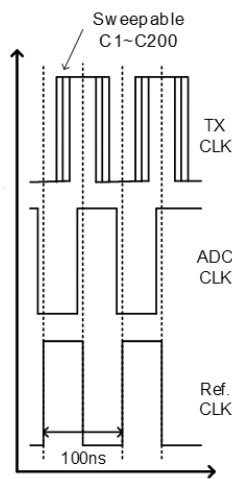
### 2-3 Delay Locked Loop 설계

그림 8(a)는 등가 시간 샘플링을 위한 0.5 ns의 오프셋 시간을 갖는 200개의 샘플링 clock을 생성하는 고정 지연 루프의 블록 다이어그램이다. DLL은 VCDL cell들과 start



(a) 블록 다이어그램

(a) Block diagram



(b) 타이밍 다이어그램

(b) Timing diagram

그림 8. 지연 고정 루프

Fig. 8. Delay locked loop.

up 회로, phase-frequency detector, charge pump, 외부 loop filter, MUX로 구성되어 있다. Start up 회로는 잘못된 clock 및 주파수에서의 lock을 방지하는 역할을 한다<sup>[7]</sup>. 초기 상태에서 control voltage는 VDD의 값을 가지며, 전압 제어 지연 라인은 가장 작은 지연 값을 갖는다. 기준 clock이 입력되면 구동회로가 동작하여 위상 주파수 탐지기가 작동하기 시작한다. 결과적으로, 전압 제어 지연 라인의 총 지연 시간은 기준 clock 및 위상과 동일한 주기가 된다. 전압 제어 지연 셀의 각 출력은 MUX로 연결되어 있다. MUX의 출력은 송신기의 기준 clock으로 사용되고, C200의 clock은 아날로그-디지털 변환기의 샘플링 clock으로

사용된다. 그림 8(b)는 잠금 상태에서의 송신기와 아날로그-디지털 변환기의 clock을 나타내고 있다.

### III. 측정 결과

그림 9는 0.13  $\mu\text{m}$  CMOS 공정을 사용하여 제작된 7~9 GHz UWB 레이더 IC 및 측정을 위한 모듈의 사진이다. 본딩 패드를 포함한 칩의 크기는  $2.8 \times 2 \text{ mm}^2$ 이다. 타이밍 신호 생성을 위한 DLL 회로가 lock이 되었는지를 확인하기 위해 0.5 ns만큼씩 지연된 200개의 전압제어 지연 셀의 출력단 clock을 MUX로 선택하여 오실로스코프로 각각을 모니터링하는 것으로 확인이 가능하다. 송신된 UWB 신호는 PSA(Power Spectrum Analyzer, Agilent E4403A)를 사용하여 측정하였으며, 그림 10은 PSA로 측정한 중심주파수와 대역폭 가변 제어에 대한 결과를 보여준다. 측정된 중심주파수 가변 제어 범위는 7.5~8.6 GHz이고, 송신 대역폭은 0.8~1.3 GHz이다.

그림 11은 측정된 전체 수신기의 최대 이득 및 잡음지수(noise figure)이며, flat 영역에서의 이득은 75 dB이며, 대역폭은 700 MHz, 잡음지수는 10.6 dB이다. 다양한 클러터(clutter)가 있는 복잡한 환경을 측정하면 레이더 RF IC의 성능평가에 어려움이 있어 케이블과 감쇄기(step attenuator)로 송신기와 수신기를 바로 연결하여 평가하는 루프백(loopback) 테스트를 진행하였으며, 물리적인 루프의 길이가 6 m, 7 m, 8 m인 케이블을 유전율을 고려한 실질적인

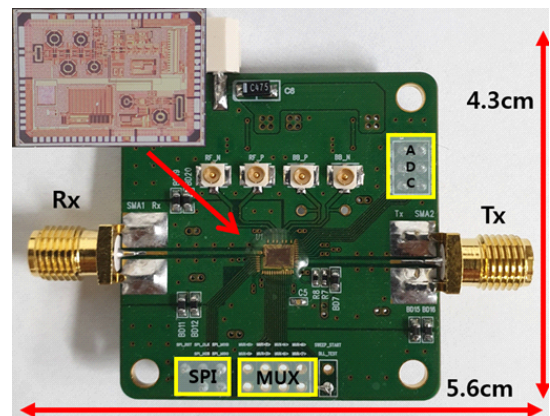
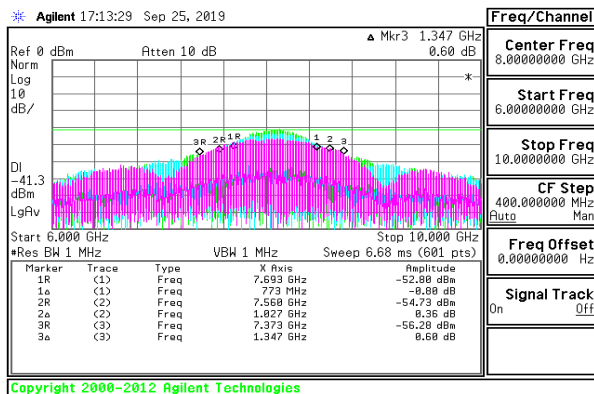


그림 9. 측정 모듈 및 제작된 UWB 레이더 IC

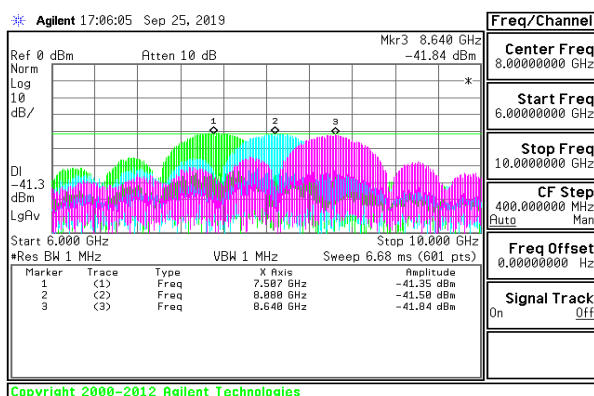
Fig. 9. Measurement module and fabricated UWB radar IC.





(a) 대역폭 제어

(a) BW control



(b) 중심 주파수 제어

(b) Center frequency control

그림 10. 측정된 송신기 출력

Fig 10. Measured transmitter output.

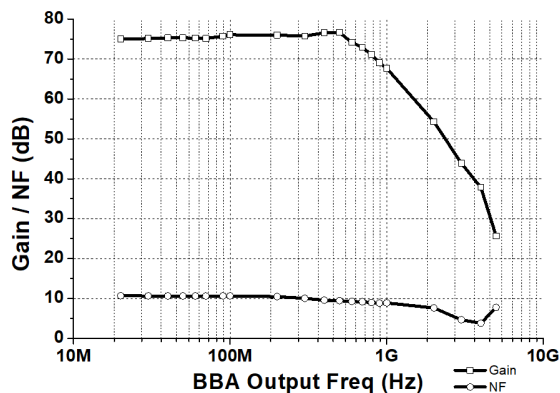


그림 11. 측정된 전체 수신기 변환 이득 및 NF

Fig. 11. Measured full-chian Conv. gain and NF.

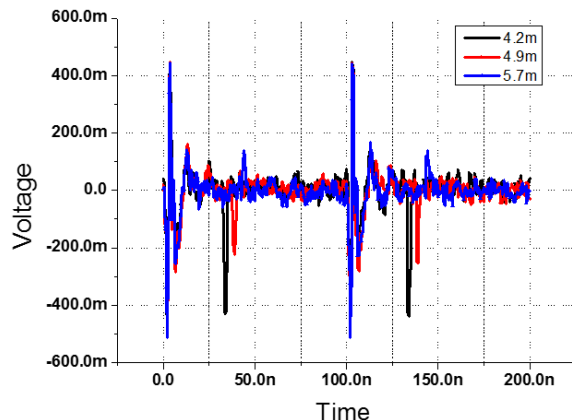


그림 12. UWB 레이더 IC의 루프백 측정결과

Fig. 12. Loopback measurement results of the UWB radar IC.

거리로 환산하였고, 이들의 전기적인 거리에 해당하는 경로손실을 감쇄기의 값으로 반영하여 측정하였다. 그림 12는 루프백 테스트에서 측정된 BBA 출력 결과를 보여준다. 송신기와 수신기의 누설신호로 인하여 공통적으로 거의 0 m에 해당하는 송신지점에서 큰 누설신호에 의한 펄스가 탐지되었다. 이 누설신호는 디지털 신호처리를 이용하여 제거할 수 있으며, 감쇄기의 값은 탐지 대상이 0 dBsm RCS(radar cross section)라는 조건에서 케이블의 전기적인 길이에 맞는 계산된 경로손실 값으로 설정되어 있다. 루프백 테스트로 얻은 유효 감지 범위는 포락선 검출 방식과 비교하여 1.5~2배의 탐지 거리 개선에 해당하는 10 dB 이상의 수신기 감도가 향상되는 것으로 확인할 수 있다<sup>[2]</sup>.

## IV. 결 론

본 논문에서는 기준 국부 발진기를 사용하여 하향 변환하는 수신기 구조의 7~9 GHz UWB 레이더 IC를 0.13  $\mu\text{m}$  CMOS 공정을 이용하여 제작하였다. 레이더 IC의 크기는  $2.8 \times 2 \text{ mm}^2$ 이며, 1.2 V의 공급 전압에서 96 mW의 전력을 소모한다. 기준 국부 발진 신호를 사용한 하향 주파수 변환기를 사용하면, 포락선 검출기를 사용하였을 때보다 수신기의 이득 및 감도가 향상되어 감지 거리가 크게 확장된다. 송신기의 중심주파수는 7.5~8.6 GHz으로 가변이 가능하며, 송신 대역폭 역시 최대 1.3 GHz까지 제어가

가능하다. 루프백 실험으로 예상되는 탐지거리는 RCS가 0 dBsm인 물체에 대하여 최대 5.7 m이다.

## References

- [1] S. H. Jung, S. G. Kim, W. S. Choi, J. Y. Jeon, J. G. Kim, and Y. S. Eo, et al., "A CMOS UWB radar sensor for high speed moving objects," in *2016 46th European Microwave Conference(EuMC)*, London, 2016, pp. 1489-1492.
- [2] B. J. Seo, J. Y. Yoo, S. G. Kim, and Y. S. Eo, "A 7~9 GHz UWB radar sensor module with single chip radar IC and on-board antenna," in *Asia-Pacific Microwave Conference(APMC)*, Kyoto, 2018, pp. 1244-1246.
- [3] T. Chu, J. Roderick, S. Chang, T. Mercer, C. Du, and H. Hashemi, "A short-range UWB impulse-radio CMOS sensor for human feature detection," in *2011 IEEE International Solid-State Circuits Conference*, San Francisco, CA, 2011, pp. 294-296.
- [4] S. Tseng, H. Chou, B. Hu, Y. Kao, Y. Huang, and T. Chu, "Equivalent-time direct-sampling impulse-radio radar with rotatable cyclic vernier digital-to-time converter for wireless sensor network localization," *IEEE Transactions on Microwave Theory and Techniques*, vol. 66, no. 1, Jan. 2018, pp. 485-508.
- [5] W. S. Choi, M. C. Park, H. J. Oh, and Y. S. Eo, "A switched VCO-based CMOS UWB transmitter for 3~5 GHz radar and communication systems," *Journal of Semiconductor Technology and Science(JSTS)*, vol. 17, no. 3, pp. 326-332, 2017.
- [6] R. Xu, Y. Jin, and C. Nguyen, "Power-efficient switching-based CMOS UWB transmitters for UWB communications and radar systems," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 8, pp. 3271-3277, Aug. 2006.
- [7] C. Lu, H. Hsieh, and L. Lu, "A 0.6 V low-power wide-range delay-locked loop in 0.18  $\mu$ m CMOS," *IEEE Microwave and Wireless Component Letters*, vol. 19, no. 10, pp. 662-664, Oct. 2009.

유 준 영 [광운대학교/석사과정]

<https://orcid.org/0000-0001-5747-0482>



2018년 2월: 광운대학교 전자공학과 (공학사)  
 2018년 3월~현재: 광운대학교 전자공학과 석사과정  
 [주 관심분야] CMOS RF/Analog 집적회로 및 시스템, 레이더 IC

박 병 규 [광운대학교/석사과정]

<https://orcid.org/0000-0001-8570-6309>



2015년 2월: 광운대학교 전자공학과 (이학사)  
 2014년 11월~2017년 8월: (주)알에프텍 기업부설연구소 연구원  
 2018년 3월~현재: 광운대학교 전자공학과 석사과정  
 [주 관심분야] RF System, CMOS IC 설계, MMIC 설계, 이동통신 시스템 설계, 초고주파 시스템

# 김 상 균 [실리콘알엔디(주)/책임연구원]

<https://orcid.org/0000-0001-9157-6635>



2012년 2월: 광운대학교 전자공학과 (공학사)  
 2014년 2월: 광운대학교 전자공학과 (공학석사)  
 2017년 8월: 광운대학교 전자공학과 (공학박사)  
 2017년 9월~현재: 실리콘알엔디(주) 책임

연구원

[주 관심분야] CMOS RF/Analog 집적회로 및 시스템, 레이더 IC

# 어 윤 성 [광운대학교/교수]

<https://orcid.org/0000-0003-4508-6672>



1993년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)  
 1995년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)  
 2001년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)  
 2000년 8월~2002년 8월: LG 전자기술원

RF Team 선임연구원

2002년 9월~2005년 8월: 삼성종합기술원 Chip Solution Center/삼성전자 DM연구소 책임연구원

2004년 3월~2004년 5월: 그리스 Athena Semi사 파견 공동연구

2005년 9월~현재: 광운대학교 전자공학과 교수

2009년 9월~현재: 실리콘알엔디(주) 대표이사

[주 관심분야] UWB CMOS 레이더 IC 및 센서모듈, FMCW CMOS 레이더 IC 및 모듈, 초고주파 CMOS 시스템 설계, CMOS/GaN 전력증폭기 설계

# 정 승 환 [실리콘알엔디(주)/책임연구원]

<https://orcid.org/0000-0002-3985-6071>



2006년 2월: 광운대학교 전자공학과 (공학사)  
 2008년 2월: 광운대학교 전자공학과 (공학석사)  
 2012년 2월: 광운대학교 전자공학과 (공학박사)  
 2009년 9월~현재: 실리콘알엔디(주) 책임

연구원

[주 관심분야] UWB CMOS 레이더 IC 및 센서모듈, FMCW CMOS 레이더 IC 및 모듈