

40-nm CMOS 공정을 이용한 220~260 GHz 대역 주파수 체배기 설계

Design of a 220~260-GHz Frequency Doubler for 40-nm CMOS Technology

강 동 우

Dong-Woo Kang

요 약

본 논문에서는 40-nm CMOS 전자소자를 이용하여 220~260 GHz 대역의 신호를 생성할 수 있는 주파수 체배기에 대한 설계가 제시되었다. 마이크로스트립 구조를 이용하여 입력단매칭, Marchand balun 설계, 중간단 매칭 및 출력단 매칭회로가 구현되었다. 입력 주파수 110~130 GHz 신호를 인가하였을 때, 주파수 체배기는 220~260 GHz 대역에서 -6.5~-13 dBm의 출력을 전달한다. 전원전압은 1.1 V이고, 소비전력은 단지 0.66 mW만 소모한다. 회로의 면적은 PAD를 포함하여 $477\mu\text{m}\times 486\mu\text{m}$ 이다.

Abstract

In this paper, we present the design of a frequency doubler to generate a signal in the range of 220~260 GHz for 40-nm complementary metal oxide semiconductor(CMOS) technology. The circuit is composed of input, inter-change, and output matching as well as Marchand balun circuits in the form of microstrips. For an input frequency of 110~130 GHz, the doubler generates an output power between -6.5 dBm and -13 dBm with an output frequency of 220~260 GHz. The circuit consumes a power of only 0.66 mW with a supply voltage of 1.1 V. The dimensions of the chip, including pads, are $477\mu\text{m}\times 486\mu\text{m}$.

Key words: Millimeter-Wave, Frequency Doubler, CMOS

I. 서 론

최근 밀리미터 웨이브에서 서브 테라헤르츠 대역의 신호원은 이미징, 분광, 통신 등의 다양한 분야에서 적용되어 연구가 진행되고 있다. 특히 기존의 광학적 기법을 이용하여 테라헤르츠 신호원을 구현하는 것과 달리 소자의 최대 동작 주파수가 1 THz 급으로 동작하는 InP 기반의 전자소자가 개발되기 시작하면서부터 전자소자를 이용한

테라헤르츠 시스템 설계가 가능해졌다^[1]. 최근에는 SiGe 소자의 성능이 500 GHz 대역에까지 발전하고 있으며, CMOS 공정도 소자의 게이트가 짧아지면서 동작속도가 급속도로 빨라지고 있다. 따라서 200~300 GHz 대역의 주파수를 발생시키는 신호원 개발이 CMOS 공정으로 가능해지고 있으며, 주파수 안정성을 높이기 위해 PLL에 대한 연구도 활발히 진행되고 있다. 직접적으로 PLL을 구현해야 할 경우, 주파수 분주기에 의해 최대 동작 주파수

「이 논문은 2019년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구(No. 11711081142, 멀티밴드 신호전송을 위한 다중 광채널 발생/조형 기술 개발)와 2018년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구임(No. 1711065308, 초고속 통신 및 영상 신호처리를 위한 광/THz 원천기술 연구개발).」

한국전자통신연구원(Electronics and Telecommunications Research Institute)

· Manuscript received October 18, 2019 ; Revised November 8, 2019 ; Accepted November 14, 2019. (ID No. 20191018-105)

· Corresponding Author: Dong-Woo Kang (e-mail: dw77.kang@etri.re.kr)

가 제한이 되는 반면, 낮은 주파수에서 구현된 PLL을 이용하여 주파수를 체배시켜 나가면 안정성과 높은 동작 주파수를 모두 만족시킬 수 있다. 따라서 SiGe HBT 소자^[2], CMOS SOI 소자^[3], CMOS diode^[4] 등을 이용하여 주파수 체배기에 대한 연구가 지속적으로 진행되고 있다.

본 논문에서는 40-nm CMOS 공정의 소자를 이용하여 차동신호 기반의 능동형 주파수 체배기의 설계를 제시하고자 한다. 소자의 f_T 가 250 GHz에 달하기 때문에 100 GHz 대역에서 충분히 전류 증폭이 이루어져 능동소자의 적용이 가능하며, 마이크로스트립 구조의 매칭회로를 이용하여 200 GHz 대역에서 충분한 출력을 확보할 수 있다.

II. 설 계

200 GHz 대역의 신호를 생성하기 위한 주파수 체배기는 그림 1과 같이 차동형구조를 이용하여 2차하모닉의 성분을 최대화 하는 구조로 설계하였다. 능동형 소자를 이용한 차동 체배기는 전통적으로 HEMT, HBT와 같은 소자를 이용하여 다양하게 연구되었다^[5]. 마찬가지로 CMOS 소자의 게이트 바이어스를 문턱전압 근처로 설정하면, 각 트랜지스터의 게이트에 인가되는 전압 신호는 드레인에서 반파 정류된 형태의 전류로 변환되고 각각의 전류는 아래 식과 같이 표현된다.

$$I^+ = I_{MAX} \left[\frac{1}{\pi} + \frac{1}{2} \left(1 + \frac{\epsilon}{2} \right) \cos(\omega t + \frac{\theta}{2}) + \frac{2}{3\pi} \left(1 + \frac{\epsilon}{2} \right) \cos(2\omega t + \theta) + \dots \right]$$

$$I^- = I_{MAX} \left[\frac{1}{\pi} + \frac{-1}{2} \left(1 - \frac{\epsilon}{2} \right) \cos(\omega t - \frac{\theta}{2}) + \frac{2}{3\pi} \left(1 - \frac{\epsilon}{2} \right) \cos(2\omega t - \theta) + \dots \right]$$

여기서 ϵ 과 θ 는 각 트랜지스터의 게이트에 인가되는 차동신호의 진폭과 위상 오차를 나타낸다. 따라서 진폭과 위상오차가 없는 이상적인 차동신호의 경우, 두 전류를 더하게 되면 입력 주파수 성분(ωt)은 서로 위상이 반대로 나타나서 상쇄가 되고, 2배의 주파수 성분($2\omega t$)은 동위상으로 결합이 된다. 따라서 2차 하모닉 성분을 최대화 추출할 수 있게 된다.

그림 1에서 입력 신호(RF_{IN})로부터 각 트랜지스터 코어에 차동신호를 인가하기 위해 3단으로 설계가 되었다. 먼

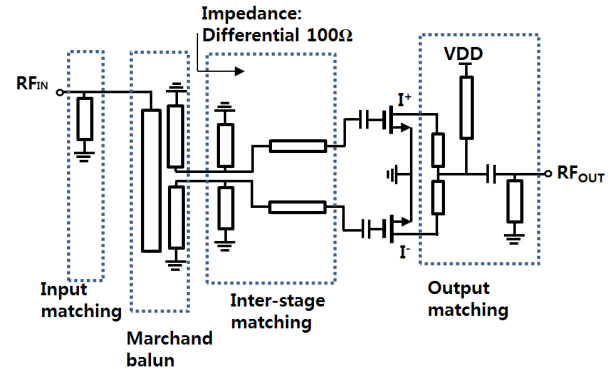


그림 1. 차동형 주파수 체배기 회로도

Fig. 1. The schematic of the balanced frequency doubler.

저 광대역한 차동신호를 인가하기 위해 marchand balun 구조로 설계가 되었다. Marchand balun은 한쪽 끝이 단락이 되어 있는 두 개의 $\lambda/4$ 길이를 가지는 결합 선로를 이용하여 구현되었다. 결합선로를 구성하는 전송선로는 마이크로스트립 구조를 이용하여 구현되었다. 설계에 사용한 프로세스는 1-poly, 10-metal을 지원하는 40-nm CMOS 공정을 이용하였다. 마이크로스트립의 구조는 최고층 메탈을 신호선으로하고, 바닥층 메탈을 접지층으로 설계가 되었다(그림 2). 50Ω 특성 임피던스를 구현하기 위해 최고층 신호선의 폭은 4 μm 로 설계되었다. 결합선로는 두 개의 최고층 메탈을 나란히 두고, 그 간격은 1.8 μm 로 하였고, 각 $\lambda/4$ 에 해당하는 유효길이는 약 300 μm 로 설계가 되었다.

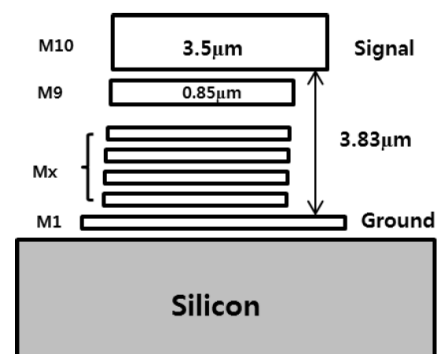


그림 2. 마이크로스트립 전송선로 구현을 위한 메탈 구조

Fig. 2. The metal stack-up for the implementation of the microstrip line.

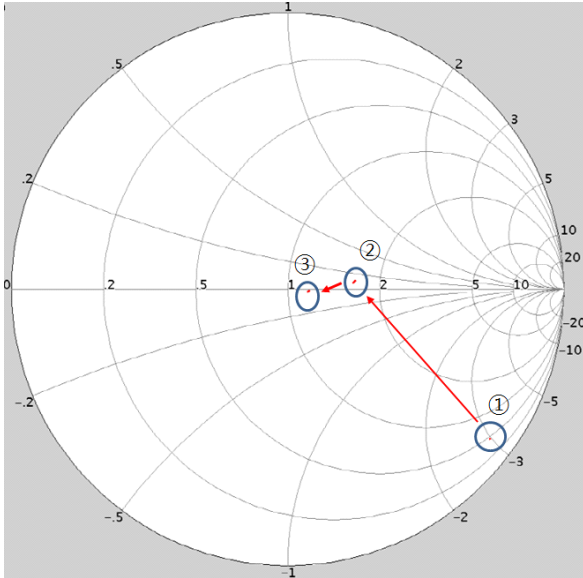


그림 3. 입력부 매칭회로에 의한 임피던스 매칭 변환 절차
Fig. 3. The impedance transformation order by the input matching circuits.

각 코어 트랜지스터의 게이트 전압을 문턱전압으로 설정하면, 드레인으로 전류가 거의 흐르지 않고 게이트에 보이는 임피던스가 커패시턴스로 보이게 된다. 게이트에서 보이는 차동 임피던스는 120 GHz의 주파수에서 그림 3의 ①에 해당된다. Marchand balun에서 보이는 차동 임피던스를 100 Ω 으로 옮기기 위해 중간단 매칭회로를 추가하였다. 중간 매칭회로는 접지형 스텐브와 직렬 전송선로로 구성되어 있고, 임피던스가 ①지점에서 ②지점으로 임피던스를 변환시킨다. 최종적으로 marchand balun에 의해 ②지점에서 ③지점(50 Ω)으로 옮겨지게 된다. 추가적으로 입력부 매칭회로는 입력부 PAD에서 발생하는 기생 커패시턴스를 접지형 스텐브와 공진시키기 위해 추가되었다.

출력부 매칭회로는 240 GHz에서 출력이 최대로 나오도록 최적화 설계를 하였다. 마찬가지로 출력 PAD의 기생 커패시턴스를 제거하기 위해 접지형 스텐브를 이용하여 매칭하였다. 그림 4에서는 120 GHz 입력주파수에서 7 dBm의 신호를 인가하였을 때 각 트랜지스터의 드레인에서 시뮬레이션한 전류 파형이다. I^+ 와 I^- 전류는 위상이 반대이고 반파정류된 형태로 나타나고, 두 전류가 합쳐져 정파정류 형태의 2차 하모닉 전류성분이 주로 나타나게 된다.

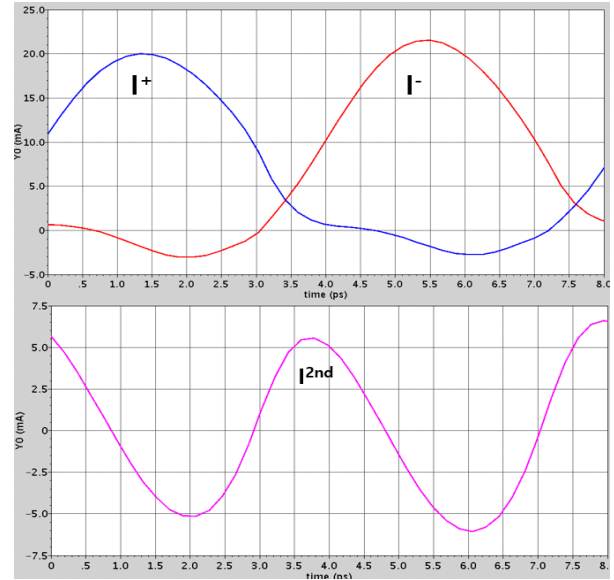


그림 4. 각각의 트랜지스터 드레인 전류 파형과 출력 전류 파형
Fig. 4. The drain current wave of each transistor and output current.

III. 제작 및 측정

그림 5는 40-nm CMOS 공정을 이용하여 제작된 칩 사진을 나타낸다. 칩 크기는 RF, DC 패드를 포함하여 $477 \mu\text{m} \times 486 \mu\text{m}$ 이다. 그림 1의 회로도를 구성하는 부분을 제작된 칩 상에 일치되도록 표시하였다. 각 트랜지스터 코어의 게이트 폭은 20 μm 이고, DC 전압-전류 그래프의 선형 외삽법으로 도출된 문턱전압은 0.4 V이다. 전원전압은 1.1 V를 이용하였고, 트랜지스터가 class B으로 동작하기 위해서 게이트 전압을 0.3 V로 인가하였다. 따라서 전체 정적 전류는 약 0.6 mA(0.66 mw) 소모되고 있다. 제작된 칩의 측정은 probe station 상에서 on-wafer 기반의 probing을 하여 측정하였다. 먼저 소신호 특성을 파악하기 위해 회로망분석기를 이용하여 입출력 매칭특성을 확인하였다. 입력 주파수 범위는 110~130 GHz, 출력 주파수 범위는 220~260 GHz이기 때문에 입력은 WR8.0 probe를 이용하였고, 출력은 WR3.4 probe를 사용하였다. 110 GHz 이상의 밀리미터파 대역의 회로망분석기는 주파수 대역별로 측정 가능한 모델이 주파수 대역별로 나누어져 있고, 본 실험에서 측정

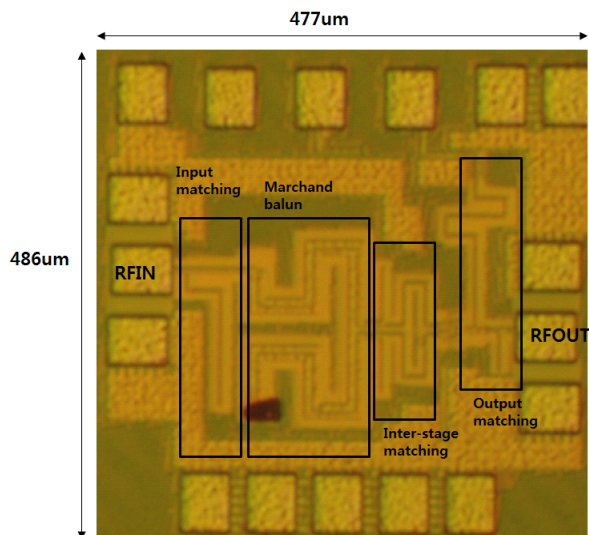


그림 5. 제작된 칩 사진
Fig. 5. The fabricated chip photo.

가능하였던 주파수 대역은 110~150 GHz(WR6.0) 대역과 220~260 GHz(WR3.4) 대역이다. 따라서 입력 매칭 특성은 설계된 주파수 대역에서 측정과 비교가 가능하나, 출력 매칭특성은 전체적인 경향성으로 시뮬레이션과 비교하기 위해 두 주파수 대역을 측정하여 비교를 하였고,中间的 150~220 GHz 주파수는 해당 대역의 회로망 분석기 모듈의 부재로 측정을 하지 못하였다. 그림 6에서 보여주듯이, 입력 매칭특성은 설계보다 주파수가 위(150 GHz 부근)로 옮겨졌고, 출력 매칭특성은 전체적으로 시뮬레이션과 유사한 경향성을 보여주고 있다. 입력 매칭의 차이는 3영역(입력부 매칭, marchand balun, inter-stage 매칭)의 각 부분별 EM simulation의 오차에 기인한 것으로 추정된다. 그림 7은 입력 주파수를 110~130 GHz 변화시키면서 출력값을 측정한 값을 시뮬레이션 값과 비교하였다. 220~260 GHz에서 출력전력은 $-6.5 \sim -13$ dBm의 값으로 측정되었다. 시뮬레이션과 최대 약 5 dBm의 차이가 보이는 것은 입력 매칭이 시뮬레이션에 비해 저하된 점과 200 GHz 대역에서 소자의 모델 부정확성에 기인한 것으로 판단된다.

IV. 결 론

40-nm CMOS 공정을 이용하여 220~260 GHz 대역의

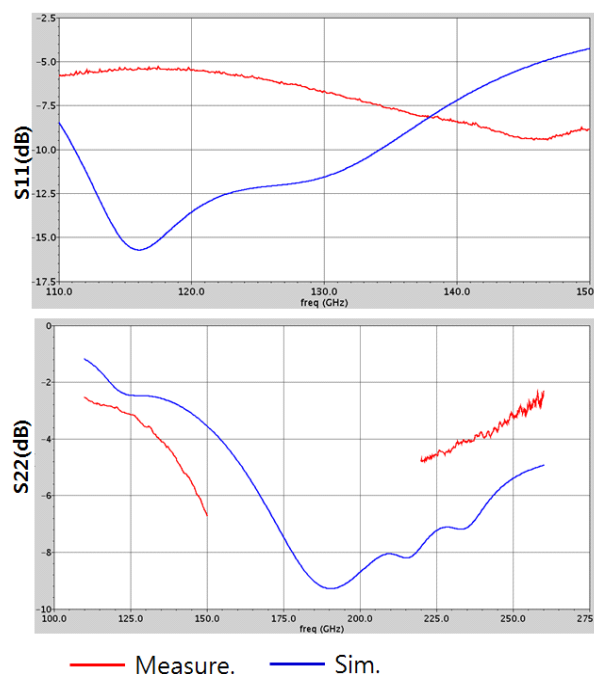


그림 6. 시뮬레이션과 측정된 S-parameter
Fig. 6. The simulated and measured S-parameter.

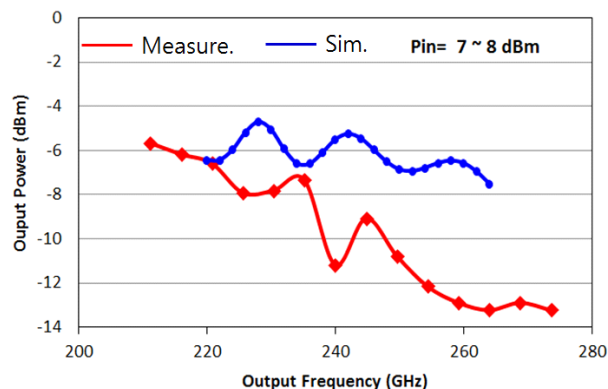


그림 7. 출력 전력 측정 및 시뮬레이션
Fig. 7. The measured and simulated output power versus frequency at the input power of 7~8 dBm.

신호원을 생성할 수 있는 주파수 체배기를 설계 및 제작하였다. Class B 모드로 동작하기 때문에 소비전력을 최소화할 수 있고, 최대 -6.5 dBm의 출력 확보가 가능하므로, 향후 CMOS 기반의 송수신단에 사용되는 믹서의 LO를 구동하기에 충분할 것으로 사료된다.

References

- [1] M. Urteaga, Z. Griffith, M. Seo, J. Hacker, and M. J. W. Rodwell, "InP HBT technologies for THz integrated circuits," in *Proceedings of the IEEE*, May 2017, vol. 105, no. 6, pp. 1051-1067.
- [2] E. Ojefors, B. Heinemann, and U. R. Pfeiffer, "Active 220- and 325-GHz frequency multiplier chains in an SiGe HBT technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, no. 5, pp. 1311-1318, May 2011.
- [3] M. Abbasi, D. S. Ricketts, "275~285 GHz balanced frequency quadrupler chain in 45 nm SOI CMOS," *Electronics Letters*, vol. 51, no. 18, pp. 1424-1426, Aug. 2015.
- [4] D. Shim, C. Mao, S. Sankaran, and K. O. Kenneth, "150 GHz complementary anti-parallel diode frequency tripler in 130 nm CMOS," *IEEE Microwave and Wireless Components Letters*, vol. 21, no. 1, pp. 43-45, Jan. 2011.
- [5] G. Y. Chen, H. Y. Chang, S. H. Weng, C. C. Shen, Y. L. Yeh, and J. S. Fu, et al., "Design and analysis of a Ka-band monolithic high-efficiency frequency quadrupler using GaAs HBT-HEMT common-base/common-source balanced topology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 10, pp. 3674-3689, Aug. 2013.

강 동 우 [한국전자통신연구원/선임연구원]

<https://orcid.org/0000-0003-4091-3253>



2001년 2월: 한국과학기술원 전기 및 전자
공학과 (공학사)

2003년 2월: 한국과학기술원 전기 및 전자
공학과 (공학석사)

2007년 2월: 한국과학기술원 전기 및 전자
공학과 (공학박사)

2013년 5월~현재: 한국전자통신연구원

선임연구원

[주 관심분야] Millimeter Wave, CMOS, Phased Array, Terahertz