

# 기본 주파수 불요파를 억제한 30 GHz 주파수 3체배기 설계

## Design of a 30-GHz Frequency Tripler to Suppress the Fundamental Spurious Tone

윤 규 원 · 김 준 성 · 김 병 성\*

Gyu-Won Yoon · Jun-Seong Kim · Byung-Sung Kim\*

### 요 약

본 논문은 28 nm FD-SOI 공정을 이용한 30 GHz 주파수 3체배기를 제시한다. 3체배기의 기본 구조는 단일 평형주파수 혼합기 방식으로 LO에 기본 주파수를 IF 입력에 푸시-푸시 2체배기를 이용한 2차 고조파를 주입하여 상향변환을 통해 3차 고조파를 얻는 방식이다. 제안 구조는 기본 주파수 불요파를 억제하기 위해 하향 변환된 기본 주파수 성분과 LO 피드스루로 나타나는 기본 주파수간의 위상을 제어하여 상쇄시키는 구조이다. 이를 위해 푸시-푸시 체배기의 입력에 90도 위상 천이된 차동신호를 입력하였으며, 이를 통해 추가적인 미세 조정 없이 9.4 dB의 불요파 억제를 달성하였다. 제작한 주파수 체배기는 3.8 GHz의 대역폭을 가지며, 29 dBc의 기본주파수 불요파 억제, 27 dBc의 2차 고조파 억제를 보였다. 공급 전원은 1 V이며, 이 때 21 mW의 DC 전력을 소모한다.

### Abstract

A design for a 30-GHz frequency multiplier using a Samsung 28-nm fully depleted silicon-on-insulator process is presented. The basic topology of the tripler is a single balanced mixer, which up-converts the fundamental LO signal and the second harmonic tone from a push-push doubler to achieve the third harmonic tone. The method suggested controls the phase of the down-converted signal and the fundamental tone from LO feedthrough to cancel each other. Additional fundamental spur suppression of 9.4 dB was achieved by applying 90° phase-shifted signals to the input of the push-push doubler, without additional fine tuning. The measurement shows that this tripler has a 3-dB bandwidth of 3.8 GHz, fundamental tone rejection of 29 dBc, and second harmonic rejection of 27 dBc. This amplifier consumes 21 mW of DC power from a 1 V supply voltage.

Key words: Frequency Tripler, FD-SOI, Harmonic Rejection

### I. 서 론

최근 들어 밀리미터파 대역을 이용한 센서 및 무선 통신 시장이 큰 관심을 받고 있으며, 이를 위한 송수신기 설

계에 있어 높은 동작 주파수를 갖는 주파수 합성기의 설계가 필수적이다. 그러나 높은 동작 주파수를 가지는 기본 주파수 발진기는 주파수가 증가할수록 높은 소모전력, 높은 위상 잡음을 가지는 등, 좋은 성능을 보장하지 못한다.

「이 연구는 2019학년도 한국산업기술평가위원회의 산업기술혁신사업 지원을 받아 연구되었음(NO.10051928).」

성균관대학교 정보통신대학(College of Information & Communication Engineering, Sungkyunkwan University)

· Manuscript received September 16, 2019 ; Revised October 11, 2019 ; Accepted October 23, 2019. (ID No. 20190916-086)

· Corresponding Author: Byung-Sung Kim (e-mail: bskimice@skku.edu)

따라서 적절한 주파수 대에서 최적의 발진기를 설계하고, 주파수 체배기를 통해 높은 동작 주파수를 구현시키는 방법이 선호된다. 가장 널리 사용되는 주파수 체배기는 2체배기 또는 3체배기이며, 체배율이 높고 차동 출력을 구현하기 쉬운 3체배기가 여러모로 시스템 구현에 유리하다.

3체배기의 설계 기법은 여러 가지가 있다<sup>[1]</sup>. 그 중 가장 단순한 방법은 트랜지스터의 3차 비선형성을 그대로 이용, 해당 고조파를 증폭하는 방식이다<sup>[2]</sup>. 이 구조는 가장 간단한 구조라는 이점을 가지지만, 고조파의 낮은 출력 때문에 추가적인 증폭단이 필요하다는 단점이 있다. 또 하나는 자유 발진하는 발진기에 3차 고조파를 입력하여 주입-동기식으로 고정하는 방법이다<sup>[3]</sup>. 이 경우 높은 출력 스윙을 확보하기 쉬우나, 3차 고조파의 약한 주입 전력 때문에 동기 범위가 좁고, 동기 범위를 벗어났을 경우 자유 발진하는 발진기로 동작하기 때문에 안정성이 떨어진다는 단점이 있다. 본 논문에서 사용하는 방법은 자가 혼합 방법으로, 2체배기의 출력과 기본 주파수를 혼합하여 3배 주파수를 생성하는 기법이다<sup>[4]</sup>. 역시 출력 스윙 확보가 쉽다는 장점이 있지만, LO 피드스루로 인한 높은 기본 주파수 불요파가 생성된다는 단점이 있다.

본 논문은 28-nm FD-SOI 공정을 이용한 30 GHz 주파수 체배기의 설계 방안을 제시한다. 해당 공정은 nfet, 폭  $1\ \mu\text{m} \times 20$ , 길이  $0.03\ \mu\text{m}$ ,  $V_{DS}=1\ \text{V}$ 일 때 236.2 GHz의  $F_t$ , 353.3 GHz의  $F_{max}$ 를 가진다. II 장에서는 해당 체배기의 설계 방안을 설명하고, III 장에서는 측정 결과를 제시하며, IV 장에서는 결론을 제시한다.

## II. 회로 설계

본 연구에서 제시하는 주파수 체배기는 푸시-푸시로 동작하는 주파수 2체배기와 단일 평형변환 혼합기, RC-CR 다상 여과 회로, 버퍼로 이루어져 있으며, 그림 1(a)~그림 1(c)은 각 회로들의 회로도이다.

기본 주파수 입력을 발진의 입력단에 입력하면 해당 신호는 차동으로 변환되어 RC-CR 다상 여과 회로를 거쳐 각각 푸시-푸시 2체배기의 입력단과 혼합기의 LO단에 입력된다. 이렇게 확보된 3배 주파수 성분은 트랜스포머를 통해 버퍼에 입력되며, 버퍼의 출력단은 패드 커패시

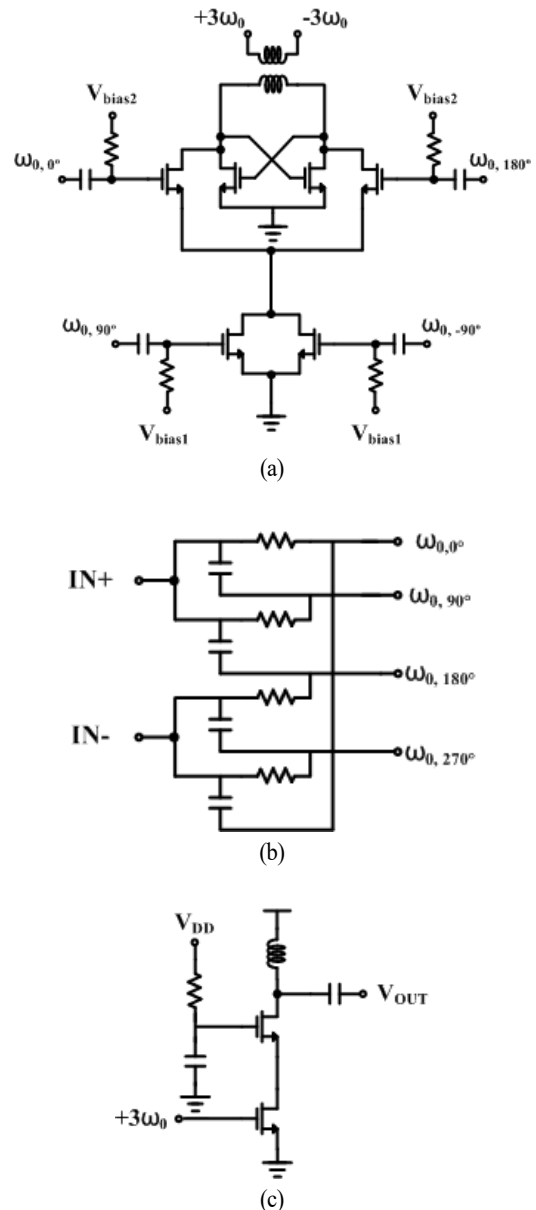


그림 1. (a) 3배 체배기의 회로도, (b) RC-CR 다상 여과 회로의 회로도, (c) 출력 버퍼의 회로도

Fig. 1. Schematic of the (a) frequency tripler, (b) RC-CR poly-phase filter, (c) output buffer.

턴스를 고려하여 50옴에 정합된다.

해당 28 nm FD-SOI 공정의 경우, 설계 규칙이 까다로워 레이아웃 시 난점이 존재한다. 특히 metal density rule의 경우 waive가 가능한 rule이 드물고, 이는 인덕터 및 트

랜스포머의 설계를 어렵게 한다. 이를 감안하여 트랜스포머는 EMX를 통한 전자기 해석을 기반으로 설계하였고, 단일-차동 변환과 합성기 출력단 및 버퍼단의 부하, 임피던스 정합 용도로 사용되었다.

푸시-푸시 주파수 2배배기는 간단한 구조와 넓은 출력 대역폭이란 이점을 갖는 구조로, 소스단을 접지하고 드레인단을 서로 묶음으로써 홀수 차수 고조파들은 상쇄되고, 짝수 차수 고조파들이 남게 된다. 이 때, 2배수 성분이 가장 지배적이므로, 해당 회로는 2배수 체배기로서 동작하게 된다. 반면에 차동출력이 불가능하다는 문제점이 있기 때문에 본 논문에서는 단일평형 주파수 혼합기의 IF 입력에 사용하였다.

혼합기는 부하가 달린 트랜지스터 한 쌍으로 가장 간단한 구조의 단일 평형변환 혼합기이다. 소스단에 2배수 성분, 게이트단에 기본 주파수 성분을 입력함으로써 드레인단에 3배수 차동 출력이 나타난다. 출력 전압 스윙의 확보를 위해 크로스 커플된 트랜지스터 한 쌍을 출력단에 연결하여 부저항을 확보하고, 공진단을 3배 주파수 근방으로 설정하였다. 간단한 구조라는 이점이 있으나, IF 입력이 불평형 구조이기 때문에 LO 피드스루가 나타나는 문제점이 있다. 아울러 혼합기에는 하향 변환되어 나타나는 기본 주파수 성분이 나타나기 때문에 두 신호가 합쳐지면 3배배기의 가장 큰 불요파 성분이 된다.

본 논문에서는 기본구조의 3배배기가 갖는 기본 주파수 불요파를 억제하기 위해, 푸시-푸시 2배배기의 입력단에 RC-CR 다상 여파 회로를 이용하여 90도 위상 천이된 차동 신호를 가해준다. 이렇게 함으로써 푸시-푸시 2배배기의 출력엔 역위상의 2배수 성분이 나타나게 되며, 이를 혼합기로 입력할 경우 정위상인 LO 피드스루 성분과 상쇄되도록 설계하였다. 여파 회로는 10 GHz에서 90도 위상차가 나도록 R과 C값을 조절하였다.

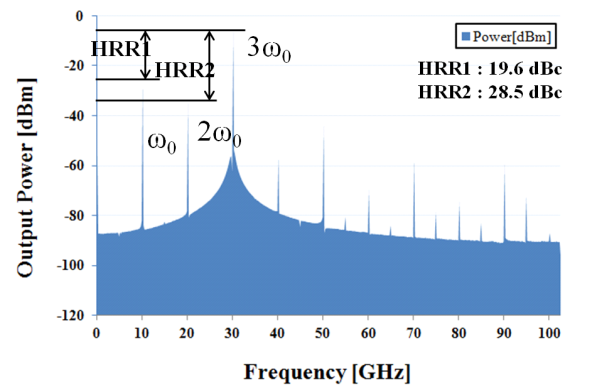
버퍼단의 경우는 캐스코드 구조로, 인덕터 부하와 커패시터를 사용하여 출력단에서 패드와 임피던스 결합이 되도록 설계하였다.

### III. 측정 결과

측정은 온 웨이퍼 프로빙 방식으로 진행하였으며, Keysight

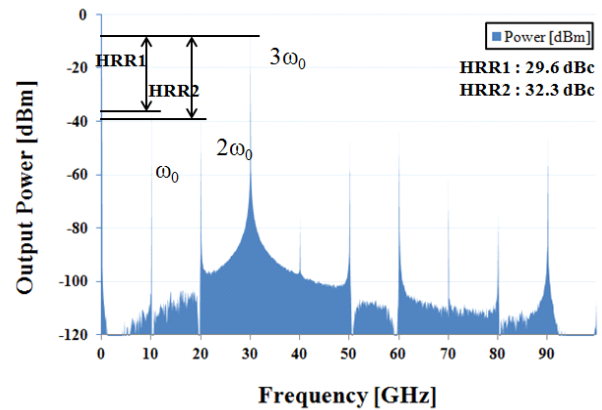
N5173B 아날로그 신호 생성기를 사용하여 10 GHz의 입력을 가하고, Agilent N9030A 스펙트럼 신호 분석기를 사용하여 출력 스펙트럼을 확인하였다. 10 GHz 입력 시 출력 스펙트럼과 3배 주파수 성분의 전력으로 확인한 대역폭 측정 결과는 각각 그림 3과 그림 4이다.

또한 대조용으로 같은 위상의 입력을 LO와 IF에 가했을 때와 90도 위상 차가 있는 입력을 가했을 때의 시뮬레이션 결과를 확인하였다. 그 결과는 그림 2이다. 이 경우, 펀더멘탈 톤 억제는 동위상일 경우엔 19.6 dBc, 90도 위상



(a) 동위상일 때

(a) In-phase



(b) 90도 위상차가 있을 때

(b) Quadrature

그림 2. LO와 IF가 동위상일 때와 90도 위상 차이가 있을 때의 출력 시뮬레이션 비교

Fig. 2. Comparison of simulation result of tripler with in-phase LO and IF and tripler with quadrature LO and IF.

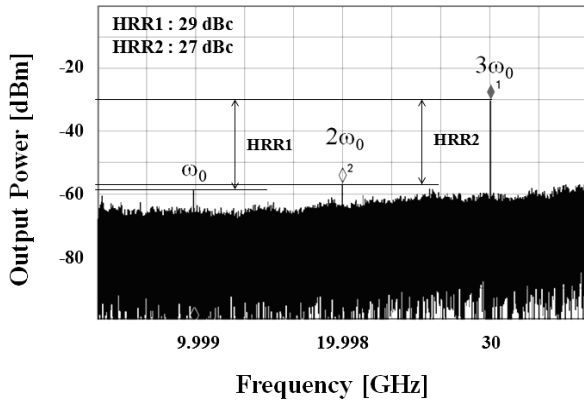


그림 3. 위상이 조절되었을 때의 측정 결과  
Fig. 3. Measurement result of tripler with phase-shifted IF.

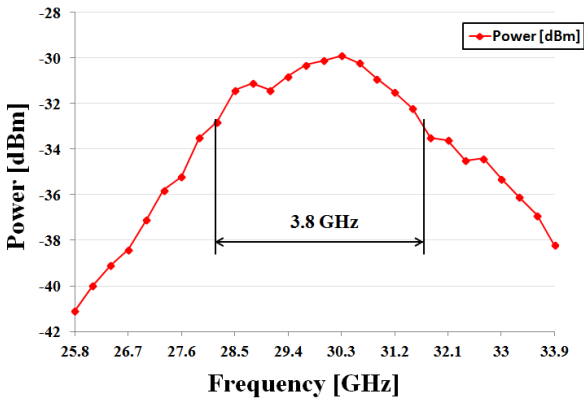


그림 4. 대역폭 확인 결과  
Fig. 4. Measurement result of bandwidth.

차가 있을 경우엔 29.6 dBm로 나타났다.

추가로 그림 5에는 시뮬레이션으로 IF, LO 위상 차에 따른 고조파 억제 결과를 확인하여 나타내었다.

측정 결과, 기본 주파수는 크게 상쇄되어 29 dBc의 억제를 보였다. 이는 다상 여과 회로가 없는 시뮬레이션 결과와 비교했을 때 9.4 dB 개선된 것이다. 가장 지배적인 2차 고조파 톤의 경우 27 dBc의 억제를 보였으며, 3 dB 대역폭은 3.8 GHz(27.9~31.7 GHz)로 나타났다.

다만 측정 시 출력 전력면에서 좋지 않은 성능을 보였는데, 이는 캐스코드 버퍼의 출력단과 패드 사이의 임피던스 정합이 제대로 이루어지지 않아서인 것으로 생각된다.

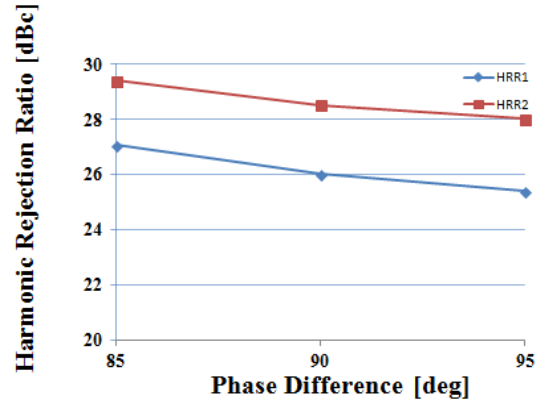


그림 5. IF, LO 위상 차에 따른 고조파 억제 시뮬레이션 결과  
Fig. 5. Simulation result of HRR with phase difference sweep.

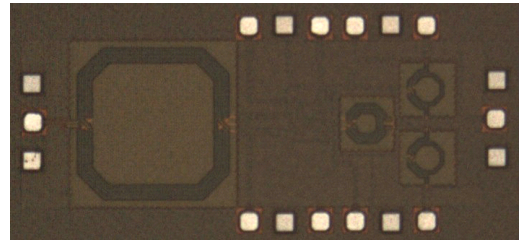


그림 6. 제작된 칩의 사진  
Fig. 6. Chip microphotograph.

패드를 포함한 칩의 면적은  $1,389 \mu\text{m} \times 624 \mu\text{m}$ 이며, 해당 칩의 사진은 그림 6이다.

표 1은 본 논문이 제시하는 주파수 체배기와 기존의 3배수 주파수 체배기를 비교한 것이다. 기존의 논문들에 비해 중심 주파수 대비 준수한 3 dB 대역폭과 무난한 고조파 톤 억제를 보인다.

#### IV. 결 론

본 논문은 삼성 28-nm FD-SOI 공정을 사용한 30 GHz 주파수 체배기를 제시하였다. 푸시-푸시 2체배기와 혼합기 회로를 이용한 3체배기로써, 기본 주파수 불요파 억제를 위한 RC-CR 다상 여과 회로와 출력 전압 스윙 개선을 위한 크로스 커플된 트랜지스터 쌍을 적용하였다. 단일-차동 변환 및 혼합기와 버퍼 사이의 결합은 트랜스포머 구조를 이용하였다. 측정 결과, 29 dBc의 기본 주파수 불

요파 억제와 27 dBc의 2차 고조파 억제, 3.8 GHz의 3 dB 대역폭을 보였다. 공급 전원은 1.0 V이며, 이 때 21.0 mW의 DC 전력 소모를 보였다.

표 1. 기존 주파수 3채배기들과의 성능 비교

Table 1. Comparison of frequency tripler performance with prior arts.

	This work	Ref. [1]	Ref. [4]	Ref. [5]
Technology	28-nm FD-SOI	0.18- $\mu$ m CMOS	90-nm CMOS	65-nm CMOS
Center frequency [GHz]	30	20	42	62.5
Fundamental suppression [dBc]	29	21.5	40.0	32*
2nd harmonic suppression [dBc]	27	29	10	53*
3-dB bandwidth or locking range [GHz]	3.8	3.9	6*	21
$P_{dc}$ [mW]	21	18.8	24.5	60
Size [mm <sup>2</sup> ]	0.867	1.343	0.264	0.45

\* Graphically estimated.

## References

- [1] Y. Lo, J. Kiang, "A 0.18  $\mu$ m CMOS self-mixing frequency tripler," *IEEE Microwave and Wireless Components Letters*, vol. 22, no. 2, pp. 79-81, Feb. 2010.
- [2] A. Boudiaf, D. Bachelet, and C. Rumelhard, "A high-efficiency and low-phase-noise 38-GHz pHEMT MMIC tripler," *IEEE Transactions on Microwave Theory and Techniques*, vol. 48, no. 12, pp. 2546-2553, Dec. 2000.
- [3] W. L. Chan, J. R. Long, and J. J. Pekarik, "A 56-to-65 GHz injection-locked frequency tripler with quadrature outputs in 90 nm CMOS," in *2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, San Francisco, CA, Feb. 2008, pp. 480-629.
- [4] S. S. Ghouhani, J. Paramesh, "A wideband millimeter-wave frequency doubler-tripler in 0.13- $\mu$ m CMOS," in *2010 IEEE Radio Frequency Integrated Circuits Symposium*, Anaheim, CA, May 2010, pp. 65-68.
- [5] Y. Lee, Y. Hsiao, and H. Wang, "A 57~78 frequency tripler MMIC in 65-nm CMOS," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 9, pp. 723-725, Sep. 2016.

윤 규 원 [성균관대학교/석사과정]

<https://orcid.org/0000-0002-0825-2734>



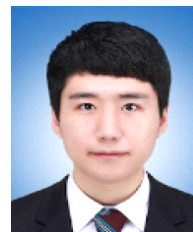
2018년 2월: 성균관대학교 전자전기공학과 (공학사)

2018년 3월: 성균관대학교 전자전기컴퓨터공학과 석사과정

[주 관심분야] RFIC 설계

김 준 성 [성균관대학교/석박사 통합과정]

<https://orcid.org/0000-0003-0036-4034>



2014년 2월: 광운대학교 전자재료공학과 (공학사)

2014년 3월: 성균관대학교 전자전기컴퓨터공학과 석박사 통합과정

[주 관심분야] RFIC 설계

김 병 성 [성균관대학교/교수]

<https://orcid.org/0000-0003-3084-6499>



1989년 2월: 서울대학교 전자공학과 (공학  
사)

1991년 2월: 서울대학교 전자공학과 (공학  
석사)

1997년 2월: 서울대학교 전자공학과 (공학  
박사)

1997년 3월 ~ 현재: 성균관대학교 정보통

신대학 교수

[주 관심분야] RFIC 설계, mm-Wave Radar